

(19) 世界知的所有権機関  
国際事務局



(43) 国際公開日  
2003年4月3日 (03.04.2003)

PCT

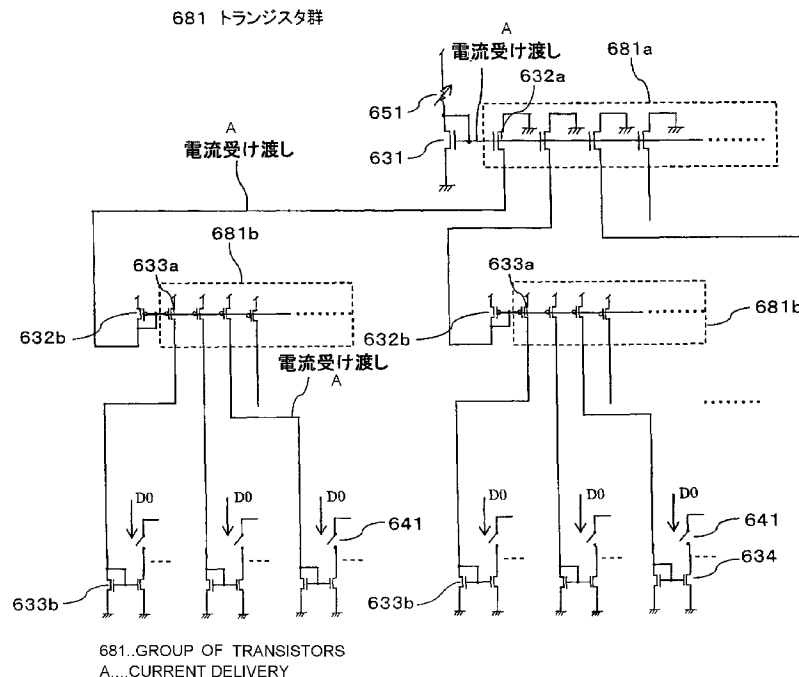
(10) 国際公開番号  
WO 03/027998 A1

- (51) 国際特許分類<sup>7</sup>: G09G 3/30, 3/20, H03M 1/74
- (21) 国際出願番号: PCT/JP02/09668
- (22) 国際出願日: 2002年9月20日 (20.09.2002)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:  
特願2001-291598 2001年9月25日 (25.09.2001) JP  
特願2001-332196  
2001年10月30日 (30.10.2001) JP  
特願2002-136157 2002年5月10日 (10.05.2002) JP
- (71) 出願人 (米国を除く全ての指定国について): 松下電器産業株式会社 (MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.) [JP/JP]; 〒571-8501 大阪府 門真市 大字門真1006番地 Osaka (JP).
- (72) 発明者; および  
(75) 発明者/出願人 (米国についてのみ): 山野 敦浩 (YAMANO, Atsuhiko) [JP/JP]; 〒666-0001 兵庫県 川西市 大和東 2-26-5 Hyogo (JP). 高原 博司 (TAKAHARA, Hiroshi) [JP/JP]; 〒572-0807 大阪府 寝屋川市 大字太秦 1011-1-345-C-345 Osaka (JP). 柘植 仁志 (TSUGE, Hitoshi) [JP/JP]; 〒571-0074 大阪府 門真市 宮前町 16-1-314 Osaka (JP).
- (74) 代理人: 角田 嘉宏, 外 (SUMIDA, Yoshihiro et al.); 〒650-0031 兵庫県 神戸市中央区 東町123番地の1 貿易ビル3階 有古特許事務所 Hyogo (JP).
- (81) 指定国 (国内): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NO, NZ, OM, PH, PL, PT, RO, RU, SD, SE, SG, SI, SK, SL, TJ,

[続葉有]

(54) Title: EL DISPLAY PANEL AND EL DISPLAY APPARATUS COMPRISING IT

(54) 発明の名称: EL表示パネルおよびそれを用いたEL表示装置



(57) Abstract: In a source driver (14) which an EL display apparatus comprises, the gate voltage of the first-stage current source by a transistor (631) is impressed on the gate of an adjacent transistor (632a) of the second-stage current source. As a result, a current flowing through the transistor (632a) is delivered to a transistor (632b) of the second-stage current source. The gate voltage by the transistor (632b) of the second-stage current

[続葉有]



WO 03/027998 A1



TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

添付公開書類:  
— 国際調査報告書

(84) 指定国 (広域): ARIPO 特許 (GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア特許 (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ特許 (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, SK, TR), OAPI 特許 (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

source is impressed on the gate of a transistor (633a) of the third-stage current source. As a result, a current flowing through the transistor (633a) is delivered to a transistor (633b) of the third-stage current source. The gate of the transistor (633b) of the third-stage current source is provided with many current sources (634) according to a necessary number of bits.

(57) 要約:

本発明のEL表示装置が備えるソースドライバ(14)において、トランジスタ(631)による第1段電流源のゲート電圧が、隣接する第2段電流源のトランジスタ(632a)のゲートに印加され、その結果トランジスタ(632a)に流れる電流が、第2段電流源のトランジスタ(632b)に受け渡される。また、第2の電流源のトランジスタ(632b)によるゲート電圧が、隣接する第3段電流源のトランジスタ(633a)のゲートに印加され、その結果トランジスタ(633a)に流れる電流が、第3段電流源のトランジスタ(633b)に受け渡される。第3段電流源のトランジスタ(633b)のゲートには多数の電流源(634)が必要なビット数に応じて設けられている。

## 明 細 書

## EL表示パネルおよびそれを用いたEL表示装置

5

## 〔技術分野〕

本発明は、有機または無機エレクトロルミネッセンス（EL）素子を用いたEL表示装置に関し、特に所望の電流を正確にEL素子に対して供給することができるEL表示装置に関するものである。

## 〔技術背景〕

一般に、アクティブマトリクス型表示装置では、多数の画素をマトリクス状に並べ、与えられた画像信号に応じて画素毎に光強度を制御することによって画像を表示する。たとえば、電気光学物質として液晶を用いた場合は、各画素に書き込まれる電圧に応じて画素の透過率が変化する。電気光学変換物質として有機エレクトロルミネッセンス（EL）材料を用いたアクティブマトリクス型の画像表示装置でも、基本的な動作は液晶を用いた場合と同様である。

液晶表示パネルでは、各画素はシャッタとして動作し、バックライトからの光を画素であるシャッタでオンオフさせることにより画像を表示する。有機EL表示パネルは各画素に発光素子を有する自発光型の表示パネルである。このような自発光型の表示パネルは、液晶表示パネルに比べて画像の視認性が高い、バックライトが不要、応答速度が速い等の利点を有している。

有機EL表示パネルは各発光素子（画素）の輝度を電流量によって制御する。このように、発光素子が電流駆動型あるいは電流制御型であるという点で液晶表示パネルとは大きく異なる。

有機EL表示パネルにおいても、液晶表示パネルと同様に、単純マト

リクス方式およびアクティブマトリクス方式の構成が可能である。前者は構造が単純であるものの大型かつ高精細の表示パネルの実現が困難である。しかし、安価である。後者は大型、高精細表示パネルを実現できる。しかし、制御方法が技術的に難しい、比較的高価であるという課題がある。現在では、アクティブマトリクス方式の開発が盛んに行われている。アクティブマトリクス方式は、各画素に設けた発光素子に流れる電流を画素内部に設けた薄膜トランジスタ（TFT）によって制御する。

このアクティブマトリクス方式の有機EL表示パネルは、例えば特開平8-234683号公報に開示されている。この表示パネルの一画素分の等価回路を第62図に示す。画素216は発光素子であるEL素子215、第1のトランジスタ211a、第2のトランジスタ211bおよび蓄積容量219からなる。ここでEL素子215は有機エレクトロルミネッセンス（EL）素子である。

なお、本明細書では、EL素子に電流を供給（制御）するトランジスタを駆動用トランジスタと呼ぶ。また、第62図におけるトランジスタ211bのように、スイッチとして動作するトランジスタをスイッチ用トランジスタと呼ぶ。

EL素子215は多くの場合、整流性があるため、OLED（有機発光ダイオード）と呼ばれることがある。そのため、第62図ではEL素子215をOLEDとしてダイオードの記号を用いている。

第62図の例では、Pチャンネル型のトランジスタ211aのソース端子（S）をVdd（電源電位）とし、EL素子215のカソード（陰極）は接地電位（Vk）に接続される。一方、アノード（陽極）はトランジスタ211bのドレイン端子（D）に接続されている。一方、Pチャンネル型のトランジスタ211bのゲート端子はゲート信号線217aに接続され、ソース端子はソース信号線218に接続され、ドレイン端子は蓄積容量219およびトランジスタ211aのゲート端子



(G) に接続されている。

画素 2 1 6 を動作させるために、まず、ゲート信号線 2 1 7 a を選択状態とし、ソース信号線 2 1 8 に輝度情報を表す画像信号を印加する。すると、トランジスタ 2 1 1 b が導通し、蓄積容量 2 1 9 が充電又は放電され、トランジスタ 2 1 1 a のゲート電位は画像信号の電位に一致する。ゲート信号線 2 1 7 a を非選択状態とすると、トランジスタ 2 1 1 a がオフになり、トランジスタ 2 1 1 a は電氣的にソース信号線 2 1 8 から切り離される。しかし、トランジスタ 2 1 1 a のゲート電位は蓄積容量 2 1 9 によって安定に保持される。トランジスタ 2 1 1 a を介して EL 素子 2 1 5 に流れる電流は、トランジスタ 2 1 1 a のゲート／ソース端子間電圧  $V_{gs}$  に応じた値となり、EL 素子 2 1 5 はトランジスタ 2 1 1 a を通って供給される電流量に応じた輝度で発光し続ける。

以上のように、第 6 2 図に示した従来例は、1 画素が、1 つの選択トランジスタ（スイッチング素子）と、1 つの駆動用トランジスタとで構成されたものである。その他の従来例は、例えば特願平 1 1 - 3 2 7 6 3 7 号公報に開示されている。この公報には、画素がカレントミラー回路で構成された実施例が示されている。

ところで、有機 EL 表示パネルは、通常、低温ポリシリコントランジスタアレイを用いてパネルを構成している。しかし、有機 EL 素子は、電流に基づいて発光するため、トランジスタの特性にバラツキがあると、表示ムラが発生するという問題があった。

また、ソース信号線 1 8 には寄生容量が存在するが、従来の EL 表示パネルではこの寄生容量を十分に充放電することができなかった。そのため、画素 1 6 に所望の電流を供給することができない場合が生じるという問題があった。

また、表示ムラは、電流プログラム方式の画素構成を採用することにより低減することが可能である。ここで、電流プログラムを実施するためには、電流駆動方式のソースドライバが必要となる。しかし、電流駆

動方式のソースドライバにおいても電流出力段を構成するトランジスタ素子にバラツキが発生する。そのため、各出力端子からの出力電流にバラツキが発生し、良好な画像表示ができないという課題があった。

さらに、人間の視覚は、低階調領域では輝度の変化に対する感度が低く、高階調領域では輝度の変化に対する感度が高いという特性を有している。そのため、電流駆動方式のソースドライバにおいて全階調領域に亘って一定の電流値の刻みで表示を行うこととすると、人間にとって自然な画像を表示することができないという課題があった。

〔発明の開示〕

10 本発明はこのような事情に鑑みてなされたものであり、その目的は、ソースドライバが備える出力端子からの出力電流のばらつきを抑制することにより、良好な画像表示を実現することができるEL表示装置を提供することにある。

そして、これらの目的を達成するために、本発明に係るEL表示装置  
15 は、複数のソース信号線と、前記ソース信号線を介して供給される電流に応じた輝度で発光する複数のEL素子と、前記ソース信号線を介して画像の階調に応じた電流を前記EL素子に供給するソースドライバとを備えるEL表示装置において、前記ソースドライバは、基準信号を生成する基準信号生成手段と、前記基準信号生成手段によって生成された  
20 基準信号を電流にて出力する第1電流源と、前記ソース信号線に対応して複数設けられ、それぞれが、前記第1電流源によって出力された基準信号を電圧にて受け渡すように構成されている第2電流源とを具備し、前記第2電流源のそれぞれが有している基準信号を用いて前記画像の階調に応じた電流を生成するように構成されている。

25 このように構成すると、ソースドライバからの出力電流のばらつきを抑制することができるので、良好な画像表示を実現することができる。

また、前記発明に係るEL表示装置において、前記第2電流源のそれぞれには、選択された場合に前記基準信号を電流にて出力するように構

成されている単位トランジスタが複数接続され、前記ソースドライバは、前記画像の階調に応じて1または複数の前記単位トランジスタを選択するように構成されており、表示可能な階調数を $K$ とし、前記単位トランジスタの大きさを $S_t$ （平方 $\mu\text{m}$ ）としたとき、 $40 \leq K / (S_t)^{1/2}$ かつ $S_t \leq 300$ の関係を満足するように構成されていることが好ましい。

このように構成すると、ソースドライバからの出力電流に多少のばらつきが発生したとしても画像表示でそのばらつきが認識されにくくなる。

10      また、前記発明に係るEL表示装置において、前記複数の第2電流源は、2平方mm以下の領域内に形成されていることが好ましい。これによりソースドライバからの出力電流のばらつきを極力抑えることができる。

15      また、前記発明に係るEL表示装置において、前記ソースドライバには、前記EL素子から発せられる光が前記第1電流源および第2電流源に照射されることを防止するための遮光膜が形成されていることが好ましい。これにより、EL素子から発せられる光が第1電流源および第2電流源に入射することによって生じるホトコンダクタ現象を防止することができる。

20      また、本発明に係るEL表示装置において、複数のソース信号線と、前記ソース信号線を介して供給される電流に応じた輝度で発光する複数のEL素子と、前記ソース信号線を介して画像の階調に応じた電流を前記EL素子に供給するソースドライバとを備えるEL表示装置において、前記ソースドライバは、第1単位電流を出力する複数の単位トランジスタを含んでなり、前記第1単位電流を組み合わせることにより所望の電流を前記EL素子に出力する第1電流出力回路と、前記第1単位電流よりも大きい第2単位電流を出力する複数の単位トランジスタを含んでなり、前記第2単位電流を組み合わせることにより所望の電流を前記EL

25

素子に出力する第 2 電流出力回路とを具備し、表示すべき階調が所定の階調よりも低い場合に、該表示すべき階調に応じた電流を出力すべく前記第 1 電流出力回路を動作させ、表示すべき階調が所定の階調以上の場合に、該表示すべき階調に応じた電流を出力すべく前記第 2 電流出力回路を動作させると共に、所定の電流を前記第 1 電流出力回路に出力させるように構成されている。

このように構成すると、表示すべき階調が所定の階調よりも低いときには低い電流値の刻みで表示を行い、同じく所定の階調以上のときには高い電流値の刻みで表示を行うことになる。これにより、低階調領域では輝度の変化が小さく、高階調領域では輝度の変化が大きくなるような表示特性とすることが可能となり、人間にとって自然な映像を表示することができるようになる。

また、前記発明に係る E L 表示装置において、前記第 2 電流の大きさは、前記第 1 電流の大きさの 4 倍以上 8 倍以下であることが好ましい。

さらに、前記発明に係る E L 表示装置において、前記ソースドライバには、前記 E L 素子から発せられる光が前記第 1 電流出力回路および第 2 電流出力回路に照射されることを防止するための遮光膜が形成されていることが好ましい。

また、本発明に係る電子機器は、請求の範囲第 2 項に記載の E L 表示装置を備え、前記 E L 表示装置に対して画像信号を出力するように構成されている。

また、本発明に係る E L 表示装置は、E L 素子がマトリックス状に形成された表示領域と、前記 E L 素子に映像信号を電流として供給するソースドライバとを具備し、前記ソースドライバは、基準電流を発生する基準電流発生手段と、前記基準電流発生手段からの基準電流が入力され、かつ前記基準電流に対応する第 1 の電流を出力する第 1 の電流源と、前記第 1 の電流源から出力される第 1 の電流が入力され、かつ前記第 1 の電流に対応する第 2 の電流を出力する第 2 の電流源と、前記第 2 の電流

源から出力される第 2 の電流が入力され、かつ前記第 2 の電流に対応する第 3 の電流を出力する第 3 の電流源と、前記第 3 の電流源から出力される第 3 の電流が入力され、かつ入力画像データに対応して前記第 3 の電流に対応する単位電流を前記 E L 素子に出力する複数の単位電流源と  
5 を有していることを特徴とする。

また、本発明に係る E L 表示装置は、E L 素子がマトリックス状に形成された表示領域と、前記 E L 素子に映像信号を電流として供給するソースドライバとを具備し、前記ソースドライバは、複数の単位トランジスタを有し、前記単位トランジスタは、入力された映像信号の大きさに  
10 対応して選択された場合に単位電流を出力するように構成されており、表示可能な階調数を K とし、前記単位トランジスタの大きさを  $S_t$  (平方  $\mu m$ ) としたとき、 $40 \leq K / (S_t)^{1/2}$  かつ  $S_t \leq 300$  の関係を満足するように構成されていることを特徴とする。

また、本発明に係る E L 表示装置は、E L 素子がマトリックス状に形成された表示領域と、前記 E L 素子に映像信号を電流として供給する  
15 ソースドライバとを具備し、前記ソースドライバは、第 1 のトランジスタと、前記第 1 のトランジスタとカレントミラー接続された複数の第 2 のトランジスタからなるトランジスタ群とを有し、前記トランジスタ群は 2 平方 mm 以内の範囲に形成されていることを特徴とする。

また、前記発明に係る E L 表示装置において、前記第 1 のトランジスタは、複数の単位トランジスタから構成され、該複数の単位トランジスタは、2 平方 mm 以内の範囲に形成されていることが好ましい。  
20

また、本発明に係る E L 表示装置は、E L 素子を有する画素がマトリックス状に形成された表示領域と、前記画素に形成されたトランジスタ  
25 素子と、前記トランジスタ素子をオンオフ制御するゲートドライバと、前記トランジスタ素子に映像信号を供給するソースドライバとを具備し、前記ゲートドライバは、P チャンネルトランジスタで構成されており、前記画素に形成されたトランジスタは、P チャンネルトランジスタ素子

であり、前記ソースドライバは、半導体チップで構成されていることを特徴とする。

また、本発明に係るEL表示装置は、EL素子と、駆動用トランジスタと、前記駆動用トランジスタと前記EL素子間の経路を形成する第1  
5 のスイッチング素子と、前記駆動用トランジスタとソース信号線間の経路を形成する第2のスイッチング素子とが、マトリックス状に形成された表示領域と、前記第1のスイッチング素子をオンオフ制御する第1のゲートドライバと、前記第2のスイッチング素子をオンオフ制御する第2のゲートドライバと、前記トランジスタ素子に映像信号を印加するソ  
10 ースドライバとを具備し、前記ゲートドライバは、Pチャンネルトランジスタで構成されており、前記画素に形成されたトランジスタおよびスイッチング素子は、Pチャンネルトランジスタ素子であり、前記ソースドライバは、半導体チップで構成されていることを特徴とする。

また、前記発明に係るEL表示装置において、前記ソースドライバは、  
15 映像信号を電流で出力することが好ましい。

さらに、前記発明に係るEL表示装置において、前記ゲートドライバは、4つのクロック信号により、データをシフト動作することが好ましい。

本発明の上記目的、他の目的、特徴、及び利点は、添付図面参照の下、  
20 以下の好適な実施態様の詳細な説明から明らかにされる。

〔図面の簡単な説明〕

第1図は、本発明のEL表示パネルの画素構成図である。

第2図は、本発明のEL表示パネルの画素構成図である。

第3図は、本発明のEL表示パネルの動作の説明図である。

25 第4図は、本発明のEL表示パネルの動作の説明図である。

第5図は、本発明のEL表示装置の駆動方法の説明図である。

第6図は、本発明のEL表示装置の構成図である。

第7図は、本発明のEL表示パネルの製造方法の説明図である。

第 8 図は、本発明の E L 表示装置の構成図である。

第 9 図は、本発明の E L 表示装置の構成図である。

第 1 0 図は、本発明の E L 表示パネルの断面図である。

第 1 1 図は、本発明の E L 表示パネルの断面図である。

5 第 1 2 図は、本発明の E L 表示パネルの説明図である。

第 1 3 図は、本発明の E L 表示装置の駆動方法の説明図である。

第 1 4 図は、本発明の E L 表示装置の駆動方法の説明図である。

第 1 5 図は、本発明の E L 表示装置の駆動方法の説明図である。

第 1 6 図は、本発明の E L 表示装置の駆動方法の説明図である。

10 第 1 7 図は、本発明の E L 表示装置の駆動方法の説明図である。

第 1 8 図は、本発明の E L 表示装置の駆動方法の説明図である。

第 1 9 図は、本発明の E L 表示装置の駆動方法の説明図である。

第 2 0 図は、本発明の E L 表示装置の駆動方法の説明図である。

第 2 1 図は、本発明の E L 表示装置の駆動方法の説明図である。

15 第 2 2 図は、本発明の E L 表示装置の駆動方法の説明図である。

第 2 3 図は、本発明の E L 表示装置の駆動方法の説明図である。

第 2 4 図は、本発明の E L 表示装置の駆動方法の説明図である。

第 2 5 図は、本発明の E L 表示装置の駆動方法の説明図である。

第 2 6 図は、本発明の E L 表示装置の駆動方法の説明図である。

20 第 2 7 図は、本発明の E L 表示装置の駆動方法の説明図である。

第 2 8 図は、本発明の E L 表示装置の駆動方法の説明図である。

第 2 9 図は、本発明の E L 表示装置の駆動方法の説明図である。

第 3 0 図は、本発明の E L 表示装置の駆動方法の説明図である。

第 3 1 図は、本発明の E L 表示装置の駆動方法の説明図である。

25 第 3 2 図は、本発明の E L 表示装置の駆動方法の説明図である。

第 3 3 図は、本発明の E L 表示装置の駆動方法の説明図である。

第 3 4 図は、本発明の E L 表示装置の構成図である。

第 3 5 図は、本発明の E L 表示装置の駆動方法の説明図である。

第 3 6 図は、本発明の E L 表示装置の駆動方法の説明図である。

第 3 7 図は、本発明の E L 表示装置の構成図である。

第 3 8 図は、本発明の E L 表示装置の構成図である。

第 3 9 図は、本発明の E L 表示装置の駆動方法の説明図である。

5 第 4 0 図は、本発明の E L 表示装置の構成図である。

第 4 1 図は、本発明の E L 表示装置の構成図である。

第 4 2 図は、本発明の E L 表示パネルの画素構成図である。

第 4 3 図は、本発明の E L 表示パネルの画素構成図である。

第 4 4 図は、本発明の E L 表示装置の駆動方法の説明図である。

10 第 4 5 図は、本発明の E L 表示装置の駆動方法の説明図である。

第 4 6 図は、本発明の E L 表示装置の駆動方法の説明図である。

第 4 7 図は、本発明の E L 表示パネルの画素構成図である。

第 4 8 図は、本発明の E L 表示装置の構成図である。

第 4 9 図は、本発明の E L 表示装置の駆動方法の説明図である。

15 第 5 0 図は、本発明の E L 表示パネルの画素構成図である。

第 5 1 図は、本発明の E L 表示パネルの画素図である。

第 5 2 図は、本発明の E L 表示装置の駆動方法の説明図である。

第 5 3 図は、本発明の E L 表示装置の駆動方法の説明図である。

第 5 4 図は、本発明の E L 表示パネルの画素構成図である。

20 第 5 5 図は、本発明の E L 表示装置の駆動方法の説明図である。

第 5 6 図は、本発明の E L 表示装置の駆動方法の説明図である。

第 5 7 図は、本発明の携帯型電話機の説明図である。

第 5 8 図は、本発明のビューファインダの説明図である。

第 5 9 図は、本発明のデジタルビデオカメラの説明図である。

25 第 6 0 図は、本発明のデジタルスチルカメラの説明図である。

第 6 1 図は、本発明のテレビ（モニター）の説明図である。

第 6 2 図は、従来の E L 表示パネルの画素構成図である。

第 6 3 図は、本発明のドライバ回路の機能ブロック図である。



第 6 4 図は、本発明のドライバ回路の説明図である。

第 6 5 図は、本発明のドライバ回路の説明図である。

第 6 6 図は、電圧受け渡し方式の多段式カレントミラー回路の説明図である。

5 第 6 7 図は、電流受け渡し方式の多段式カレントミラー回路の説明図である。

第 6 8 図は、本発明の他の実施例におけるドライバ回路の説明図である。

10 第 6 9 図は、本発明の他の実施例におけるドライバ回路の説明図である。

第 7 0 図は、本発明の他に実施例におけるドライバ回路の説明図である。

第 7 1 図は、本発明の他の実施例におけるドライバ回路の説明図である。

15 第 7 2 図は、本発明のドライバ回路の説明図である。

第 7 3 図は、本発明のドライバ回路の説明図である。

第 7 4 図は、本発明のドライバ回路の説明図である。

第 7 5 図は、本発明のドライバ回路の説明図である。

第 7 6 図は、本発明のドライバ回路の説明図である。

20 第 7 7 図は、本発明のドライバ回路の制御方法の説明図である。

第 7 8 図は、本発明のドライバ回路の説明図である。

第 7 9 図は、本発明のドライバ回路の説明図である。

第 8 0 図は、本発明のドライバ回路の説明図である。

第 8 1 図は、本発明のドライバ回路の説明図である。

25 第 8 2 図は、本発明のドライバ回路の説明図である。

第 8 3 図は、本発明のドライバ回路の説明図である。

第 8 4 図は、本発明のドライバ回路の説明図である。

第 8 5 図は、本発明のドライバ回路の説明図である。

- 第 8 6 図は、本発明のドライバ回路の説明図である。
- 第 8 7 図は、本発明のドライバ回路の説明図である。
- 第 8 8 図は、本発明の駆動方法の説明図である。
- 第 8 9 図は、本発明のドライバ回路の説明図である。
- 5 第 9 0 図は、本発明の駆動方法の説明図である。
- 第 9 1 図は、本発明の E L 表示装置の構成図である。
- 第 9 2 図は、本発明の E L 表示装置の構成図である。
- 第 9 3 図は、本発明のドライバ回路の説明図である。
- 第 9 4 図は、本発明のドライバ回路の説明図である。
- 10 第 9 5 図は、本発明の E L 表示装置の構成図である。
- 第 9 6 図は、本発明の E L 表示装置の構成図である。
- 第 9 7 図は、本発明の E L 表示装置の構成図である。
- 第 9 8 図は、本発明の E L 表示装置の構成図である。
- 第 9 9 図は、本発明の E L 表示装置の構成図である。
- 15 第 1 0 0 図は、本発明の E L 表示装置の断面図である。
- 第 1 0 1 図は、本発明の E L 表示装置の断面図である。
- 第 1 0 2 図は、本発明の E L 表示装置の構成図である。
- 第 1 0 3 図は、本発明の E L 表示装置の構成図である。
- 第 1 0 4 図は、本発明の E L 表示装置の構成図である。
- 20 第 1 0 5 図は、本発明の E L 表示装置の構成図である。
- 第 1 0 6 図は、本発明の E L 表示装置の構成図である。
- 第 1 0 7 図は、本発明の E L 表示装置の構成図である。
- 第 1 0 8 図は、本発明の E L 表示装置の構成図である。
- 第 1 0 9 図は、本発明の E L 表示装置の構成図である。
- 25 第 1 1 0 図は、本発明のソースドライバの説明図である。
- 第 1 1 1 図は、本発明のゲートドライバのブロック図である。
- 第 1 1 2 図は、第 1 1 1 図のゲートドライバのタイミングチャート図である。

第 1 1 3 図は、本発明のゲートドライバの 1 部のブロック図である。

第 1 1 4 図は、第 1 1 3 図のゲートドライバのタイミングチャート図である。

第 1 1 5 図は、本発明の E L 表示装置の駆動方法の説明図である。

5 第 1 1 6 図は、本発明の E L 表示装置の駆動方法の説明図である。

第 1 1 7 図は、本発明の E L 表示装置の駆動方法の説明図である。

〔発明を実施するための最良の形態〕

以下、本発明の実施の形態について、図面を参照しながら説明する。

本明細書において各図面は理解を容易にまたは／および作図を容易  
10 にするため、省略または／および拡大縮小した箇所がある。たとえば、  
第 1 1 図に図示する表示パネルの断面図では封止膜 1 1 1 などを十分  
厚く図示している。一方、第 1 0 図において、封止フタ 8 5 は薄く図示  
している。また、省略した箇所もある。たとえば、本発明の表示パネル  
などでは、反射防止のために円偏光板などの位相フィルムが必要である。  
15 しかし、本明細書の各図面では省略している。以上のことは以下の図面  
に対しても同様である。また、同一番号または、記号等を付した箇所は  
同一もしくは類似の形態、材料、機能または動作を示している。

なお、各図面等で説明した内容は特に断りがなくとも、他の実施例等  
と組み合わせることができる。たとえば、第 8 図の表示パネルにタッチ  
20 パネルなどを付加し、第 1 9 図、第 5 9 図から第 6 1 図に図示する情報  
表示装置とすることができる。また、拡大レンズ 5 8 2 を取り付け、ビ  
デオカメラ（第 5 9 図など参照のこと）などに用いるビューファインダ  
（第 5 8 図を参照のこと）を構成することもできる。また、第 4 図、第  
1 5 図、第 1 8 図、第 2 1 図、第 2 3 図などで説明した本発明の駆動方  
25 法は、いずれの本発明の表示装置または表示パネルに適用することがで  
きる。

なお、本明細書では、駆動用トランジスタ 1 1、スイッチング用トラ  
ンジスタ 1 1 は薄膜トランジスタとして説明するが、これに限定するも

のではない。薄膜ダイオード（TFD）、リングダイオードなどでも構成することができる。また、薄膜素子に限定するものではなく、シリコンウエハに形成したものでもよい。もちろん、FET、MOS-FET、MOSトランジスタ、バイポーラトランジスタでもよい。これらも基本的

5 的に薄膜トランジスタである。その他、バリスタ、サイリスタ、リングダイオード、ホトダイオード、ホトトランジスタ、PLZT素子などでもよいことは言うまでもない。つまり、スイッチ素子11、駆動用素子11はこれらのいずれで構成されていてもよい。

有機EL表示パネルは、第10図に示すように、画素電極としての透明電極105が形成されたガラス板71（アレイ基板）上に、電子輸送層、発光層、正孔輸送層などからなる少なくとも1層の有機機能層（EL層）15（15R、15G、15B）、及び金属電極（反射膜）（カソード）106が積層されたものである。透明電極（画素電極）105である陽極（アノード）にプラス、金属電極（反射電極）106の陰極

10 15（カソード）にマイナスの電圧をそれぞれ加え、すなわち、透明電極105及び金属電極106間に直流を印加することにより、有機機能層（EL層）15が発光する。

アノードあるいはカソードへ電流を供給する配線（第8図のカソード配線86、アノード配線87）には大きな電流が流れる。たとえば、EL表示装置の画面サイズが40インチになると100（A）程度の電流が流れる。したがって、これらの配線の抵抗値は十分低く作製する必要がある。この課題に対して、本発明では、まず、アノードなどの配線（EL素子に発光電流を供給する配線）を薄膜で形成する。そして、この薄膜配線に電解めっき技術あるいは無電解めっき技術で配線の厚みを厚く形成している。

20 25

めっき金属としては、クロム、ニッケル、金、銅、アルミあるいはこれらの合金、アマンガムもしくは積層構造などが例示される。また、必要に応じて、配線そのもの、あるいは配線に銅薄からなる金属配線を付

加している。また、配線の上に銅ペーストなどをスクリーン印刷し、ペーストなどを積層させることにより配線の厚みを厚くし、配線抵抗を低下させる。また、ボンディング技術で配線を重複して形成することにより配線を補強してもよい。また、必要に応じて、配線に積層してグラウンドパターンを形成し、配線との間にコンデンサ（容量）を形成してもよい。

また、アノードあるいはカソード配線に大きな電流を供給するため、電流供給手段から高電圧で小電流の電力配線で、前記アノード配線などの近傍まで配線し、D C D Cコンバータなどを用いて低電圧、高電流に電力変換して供給している。つまり、電源から高電圧、小電流配線で電力消費対象まで配線し、電力消費対象の近傍で大電流、低電圧に変換する。このようなものとして、D C D Cコンバータ、トランスなどが例示される。

金属電極 1 0 6 には、リチウム、銀、アルミニウム、マグネシウム、インジウム、銅または各々の合金等の仕事関数が小さなものを用いることが好ましい。特に、例えばA 1 - L i 合金を用いることが好ましい。また、透明電極 1 0 5 には、I T O等の仕事関数の大きな導電性材料または金等を用いることができる。なお、金を電極材料として用いた場合、電極は半透明の状態となる。なお、I T OはI Z Oなどの他の材料でもよい。この事項は他の画素電極 1 0 5 に対しても同様である。

なお、画素電極 1 0 5 などに薄膜を蒸着する際は、アルゴン雰囲気中で有機E L 膜 1 5 を成膜するとよい。また、画素電極 1 0 5 としてのI T O上にカーボン膜を2 0 以上5 0 n m以下で成膜することにより、界面の安定性が向上し、発光輝度および発光効率も良好なものとなる。また、E L 膜 1 5 は蒸着で形成することに限定するものではなく、インクジェットで形成してもよいことは言うまでもない

なお、封止フタ 8 5 とアレイ基板 7 1 との空間には乾燥剤 1 0 7 を配置する。これは、有機E L 膜 1 5 は湿度に弱いためである。乾燥剤 1 0

7によりシール剤を浸透する水分を吸収し有機EL膜15の劣化を防止する。

第10図はガラスのフタ85を用いて封止する構成であるが、第11図のようにフィルム（薄膜でもよい。つまり、薄膜封止膜である）111を用いた封止であってもよい。たとえば、封止フィルム（薄膜封止膜）111としては電解コンデンサのフィルムにDLC（ダイヤモンドライクカーボン）を蒸着したものをを用いることが例示される。このフィルムは水分浸透性が極めて悪い（防湿性能が高い）。そのため、このフィルムを封止膜111として用いる。また、DLC膜などを電極106の表面に直接蒸着する構成でもよいことは言うまでもない。その他、樹脂薄膜と金属薄膜を多層に積層して、薄膜封止膜を構成してもよい。

薄膜の膜厚は $n \cdot d$ （ $n$ は薄膜の屈折率、複数の薄膜が積層されている場合はそれらの屈折率を総合（各薄膜の $n \cdot d$ を計算）して計算する。 $d$ は薄膜の膜厚、複数の薄膜が積層されている場合はそれらの屈折率を総合して計算する）が、EL素子15の発光主波長 $\lambda$ 以下となるようにするとよい。この条件を満足させることにより、EL素子15からの光取り出し効率が、ガラス基板で封止した場合に比較して2倍以上になる。また、アルミニウムと銀との合金あるいは混合物あるいは積層物を形成してもよい。

20 以上のようにフタ85を用いず、封止膜111で封止する構成を薄膜封止と呼ぶ。基板71側から光を取り出す「下取り出し（第10図を参照、光取り出し方向は第10図の矢印方向である）」の場合の薄膜封止は、EL膜を形成後、EL膜上にカソードとなるアルミ電極を形成する。次にこのアルミ膜上に緩衝層としての樹脂層を形成する。緩衝層として  
25 は、アクリル、エポキシなどの有機材料が例示される。また、膜厚は $1 \mu\text{m}$ 以上 $10 \mu\text{m}$ 以下の厚みが適する。さらに好ましくは、膜厚は $2 \mu\text{m}$ 以上 $6 \mu\text{m}$ 以下の厚みが適する。この緩衝膜上の封止膜74を形成する。緩衝膜がないと、応力によりEL膜の構造が崩れ、筋状に欠陥が発

生する。封止膜 1 1 1 は前述したように、D L C（ダイヤモンドライクカーボン）、あるいは電界コンデンサの層構造（誘電体薄膜とアルミ薄膜とを交互に多層蒸着した構造）が例示される。

5 E L 層 1 5 側から光を取り出す「上取り出し（第 1 1 図を参照、光取り出し方向は第 1 1 図の矢印方向である）」の場合の薄膜封止は、E L 膜 1 5 を形成後、E L 膜 1 5 上にカソード（アノード）となる A g - M g 膜を 2 0 オングストローム以上 3 0 0 オングストローム以下の膜厚で形成する。その上に、I T O などの透明電極を形成して低抵抗化する。次にこの電極膜上に緩衝層としての樹脂層を形成する。この緩衝膜上に  
10 封止膜 1 1 1 を形成する。

有機 E L 層 1 5 から発生した光の半分は、反射膜 1 0 6 で反射され、アレイ基板 7 1 を透過して出射される。しかし、反射膜 1 0 6 に外光が反射することにより写り込みが発生して表示コントラストが低下する。この対策のために、アレイ基板 7 1 に  $\lambda/4$  板 1 0 8 および偏光板（偏  
15 光フィルム）1 0 9 を配置している。これらは一般的に円偏光板（円偏光シート）と呼ばれる。

なお、画素が反射電極の場合は E L 層 1 5 から発生した光は上方向に出射される。したがって、位相板 1 0 8 および偏光板 1 0 9 は光出射側に配置することはいうまでもない。なお、反射型画素は、画素電極 1 0  
20 5 を、アルミニウム、クロム、銀などで構成して得られる。また、画素電極 1 0 5 の表面に、凸部（もしくは凹凸部）を設けることで有機 E L 層 1 5 との界面が広くなり発光面積が大きくなり、また、発光効率が向上する。なお、カソード 1 0 6（アノード 1 0 5）となる反射膜を透明電極に形成する、あるいは反射率を 3 0 % 以下に低減できる場合は、円  
25 偏光板は不要である。写り込みが大幅に減少するからである。また、光の干渉も低減することになるため望ましい。

トランジスタ 1 1 は L D D（ロードーピングドレイン）構造を採用することが好ましい。また、本明細書では E L 素子として有機 E L 素子（O

EL、PEL、PLED、OLEDなど多種多様な略称で記述される)  
15を例にあげて説明するがこれに限定するものではなく、無機EL素子にも適用されることは言うまでもない。

まず、有機EL表示パネルに用いられるアクティブマトリックス方式  
5は、

(1) 特定の画素を選択し、必要な表示情報を与えられること

(2) 1フレーム期間を通じてEL素子に電流を流すことができること、という2つの条件を満足させなければならない。

この2つの条件を満足させるため、第62図に図示する従来の有機EL  
10の画素構成では、第1のトランジスタ211bは画素を選択するためのスイッチング用トランジスタ、第2のトランジスタ211aはEL素子(EL膜)215に電流を供給するための駆動用トランジスタとする。

この構成を用いて階調を表示させる場合、駆動用トランジスタ211aのゲート電圧として階調に応じた電圧を印加する必要がある。したが  
15って、駆動用トランジスタ211aのオン電流のばらつきがそのまま表示に現れる。

トランジスタのオン電流は単結晶で形成されたトランジスタであれば、きわめて均一であるが、安価なガラス基板に形成することのできる  
形成温度が450度以下の低温ポリシリコン技術で形成した低温多結  
20晶トランジスタでは、そのしきい値に $\pm 0.2\text{ V} \sim 0.5\text{ V}$ の範囲ではばらつきがある。そのため、駆動用トランジスタ211aを流れるオン電流がこれに対応してばらつき、表示にムラが発生する。これらのムラは、しきい値電圧のばらつきのみならず、トランジスタの移動度、ゲート絶縁膜の厚みなどでも発生する。また、トランジスタ211の劣化によっ  
25ても特性は変化する。

この現象は、低温ポリシリコン技術に限定されるものではなく、プロセス温度が450度(摂氏)以上の高温ポリシリコン技術でも、固相(CGS)成長させた半導体膜を用いてトランジスタなどを形成したもので



も発生する。その他、有機トランジスタでも発生する。アモルファスシリコントランジスタでも発生する。したがって、以下に説明する本発明は、これらの技術に対応し、対策することができる構成あるいは方式である。なお、本明細書では低温ポリシリコン技術で形成したトランジスタを主として説明する。

第62図のように、電圧を書き込むことにより、階調を表示させる方法では、均一な表示を得るために、デバイスの特性を厳密に制御する必要がある。しかし、現状の低温多結晶ポリシリコントランジスタなどではこのバラツキを所定範囲以内に抑えるという要求を満足できない。

本発明のEL表示装置の画素構造は、具体的には第1図に示すように、単位画素が4つのトランジスタ11ならびにEL素子により形成される。画素電極はソース信号線と重なるように構成する。つまり、ソース信号線18上に絶縁膜あるいはアクリル材料からなる平坦化膜を形成して絶縁し、この絶縁膜上に画素電極105を形成する。このようにソース信号線18上の少なくとも1部に画素電極を重ねる構成をハイパーチャ(HA)構造と呼ぶ。不要な干渉光などが低減し、良好な発光状態が期待できる。

ゲート信号線(第1の走査線)17aに対してゲート信号を出力してアクティブ(ON電圧を印加)とすることによりEL素子15の駆動用のトランジスタ11aおよびスイッチ用トランジスタ11cを通して、前記EL素子15に流すべき電流値をソースドライバ14から流す。また、トランジスタ11aのゲートとドレイン間を短絡するように、ゲート信号線17aをアクティブ(ON電圧を印加)とすることによりトランジスタ11bを開くと共に、トランジスタ11aのゲートとソース間に接続されたコンデンサ(キャパシタ、蓄積容量、付加容量)19にトランジスタ11aのゲート電圧(あるいはドレイン電圧)を記憶する(第3図(a)を参照のこと)。

なお、トランジスタ11aのソース(S)ーゲート(G)間容量(コ

ンデンサ) 19は0.2 pF以上の容量とすることが好ましい。他の構成として、別途、コンデンサ19を形成する構成も例示される。つまり、コンデンサ電極レイヤーとゲート絶縁膜およびゲートメタルとから蓄積容量を形成する構成である。トランジスタ11cのリークによる輝度低下を防止する観点、表示動作を安定化させるための観点からはこのように別途コンデンサを構成するほうが好ましい。

また、コンデンサ(蓄積容量)19の大きさは、0.2 pF以上2 pF以下とすることが好ましく、中でもコンデンサ(蓄積容量)19の大きさは、0.4 pF以上1.2 pF以下とすることが好ましい。画素サイズを考慮してコンデンサ19の容量を決定する。1画素に必要な容量を $C_s$ (pF)とし、1画素が占める面積(開口率ではない)を $S_p$ (平方 $\mu m$ )とすれば、 $500/S \leq C_s \leq 20000/S$ とし、さらに好ましくは、 $1000/S_p \leq C_s \leq 10000/S_p$ となるようにする。なお、トランジスタのゲート容量は小さいので、ここでいう $Q$ とは、蓄積容量(コンデンサ)19単独の容量である。

コンデンサ19は隣接する画素間の非表示領域におおむね形成することが好ましい。一般的に、フルカラー有機EL素子15を作成する場合、有機EL層15をメタルマスクによるマスク蒸着で形成するためマスク位置ずれによるEL層の形成位置が発生する。位置ずれが発生すると各色の有機EL層15(15R、15G、15B)が重なる危険性がある。そのため、各色の隣接する画素間の非表示領域は $10\mu$ 以上離れなければならない。この部分は発光に寄与しない部分となる。したがって、蓄積容量19をこの領域に形成することは開口率向上のために有効な手段となる。

次に、ゲート信号線17aを非アクティブ(OFF電圧を印加)、ゲート信号線17bをアクティブとして、電流の流れる経路を前記第1のトランジスタ11aおよびEL素子15に接続されたトランジスタ11dならびにEL素子15を含む経路に切り替えて、上述したようにし

て記憶した電流を前記 E L 素子 1 5 に流すように動作する（第 3 図（b）を参照のこと）。

この回路は 1 画素内に 4 つのトランジスタ 1 1 を有しており、トランジスタ 1 1 a のゲートはトランジスタ 1 1 b のソースに接続されている。また、トランジスタ 1 1 b およびトランジスタ 1 1 c のゲートはゲート信号線 1 7 a に接続されている。トランジスタ 1 1 b のドレインはトランジスタ 1 1 c のドレインならびにトランジスタ 1 1 d のソースに接続され、トランジスタ 1 1 c のソースはソース信号線 1 8 に接続されている。トランジスタ 1 1 d のゲートはゲート信号線 1 7 b に接続され、トランジスタ 1 1 d のドレインは E L 素子 1 5 のアノード電極に接続されている。

なお、第 1 図ではすべてのトランジスタが P チャンネルで構成されている。P チャンネルは N チャンネルのトランジスタに比較して多少モビリティが低い、耐圧が大きくまた劣化も発生しにくいので好ましい。しかし、本発明は E L 素子構成を P チャンネルで構成することのみに限定するものではない。N チャンネルのみで構成してもよい。また、N チャンネルと P チャンネルの両方を用いて構成してもよい。

また、第 1 図においてトランジスタ 1 1 c、1 1 b は同一の極性で構成し、かつ N チャンネルで構成し、トランジスタ 1 1 a、1 1 d は P チャンネルで構成することが好ましい。一般的に P チャンネルトランジスタは N チャンネルトランジスタに比較して、信頼性が高い、キック電流が少ないなどの特長があり、電流を制御することによって目的とする発光強度を得る E L 素子 1 5 に対しては、トランジスタ 1 1 a を P チャンネルにする効果大きい。

最適には画素を構成するトランジスタ 1 1 をすべて P チャンネルで形成し、内蔵ゲートドライバ 1 2 も P チャンネルで形成することが好ましい。このようにアレイを P チャンネルのみのトランジスタで形成することにより、マスク枚数が 5 枚となり、低コスト化、高歩留まり化を実

現できる。

以下、さらに本発明の理解を容易にするために、本発明のEL素子構成について第3図を用いて説明する。本発明のEL素子構成は2つのタイミングにより制御される。第1のタイミングは必要な電流値を記憶させるタイミングである。このタイミングでトランジスタ11bおよびトランジスタ11cをONにすることにより、等価回路として第3図(a)となる。ここで、信号線より所定の電流 $I_w$ が書き込まれる。これによりトランジスタ11aはゲートとドレインとが接続された状態となり、このトランジスタ11aとトランジスタ11cを通じて電流 $I_w$ が流れる。従って、トランジスタ11aのゲートーソース間の電圧は電流 $I_w$ が流れるような電圧となる。

第2のタイミングはトランジスタ11bとトランジスタ11cが閉じ、トランジスタ11dが開くタイミングであり、そのときの等価回路は第3図(b)となる。トランジスタ11aのソースーゲート間の電圧は保持されたままとなる。この場合、トランジスタ11aは常に飽和領域で動作するため、 $I_w$ の電流は一定となる。

このように動作させると、第5図に示すようになる。第5図(a)の51aは表示画面50における、ある時刻での電流プログラムされている画素(行)(書き込み画素(行))を示している。この画素(行)51aは、第5図(b)に図示するように非点灯(非表示画素(行))とする。他の、画素(行)は表示画素(行)53とする(表示画素(行)53のEL素子15には電流が流れ、EL素子15が発光している)。

第1図の画素構成の場合、第3図(a)に示すように、電流プログラム時は、プログラム電流 $I_w$ がソース信号線18に流れる。この電流 $I_w$ がトランジスタ11aを流れ、電流 $I_w$ を流す電圧が保持されるように、コンデンサ19に電圧設定(プログラム)される。このとき、トランジスタ11dはオープン状態(オフ状態)である。

次に、EL素子15に電流を流す期間は第3図(b)のように、トラ

ンジスタ 1 1 c、1 1 b がオフし、トランジスタ 1 1 d がオンする。つまり、ゲート信号線 1 7 a にオフ電圧 (V g h) が印加され、トランジスタ 1 1 b、1 1 c がオフする。一方、ゲート信号線 1 7 d にオン電圧 (V g l) が印加され、トランジスタ 1 1 d がオンする。

- 5      このタイミングチャートを第 4 図に示す。なお、第 4 図などにおいて、括弧内の添え字 (たとえば、(1) など) は画素行の行番号を示している。つまり、ゲート信号線 1 7 a (1) とは、画素行 (1) のゲート信号線 1 7 a を示している。また、第 4 図の上段の \* H (「\*」には任意の記号、数値が当てはまり、水平走査線の番号を示す) とは、水平走査
- 10   期間を示している。つまり、1 H とは第 1 番目の水平走査期間である。なお、以上の事項は、説明を容易にするためであって、1 H の番号、1 H 周期、画素行の行番号の順番などを限定するものではない。

- 第 4 図でわかるように、各選択された画素行 (選択期間は、1 H としている) において、ゲート信号線 1 7 a にオン電圧が印加されている時
- 15   には、ゲート信号線 1 7 b にはオフ電圧が印加されている。この期間は、E L 素子 1 5 には電流が流れていない (非点灯状態)。一方、選択されていない画素行において、ゲート信号線 1 7 a にオフ電圧が印加され、ゲート信号線 1 7 b にはオン電圧が印加されている。この期間は、E L 素子 1 5 に電流が流れている (点灯状態)。

- 20    なお、トランジスタ 1 1 b のゲートとトランジスタ 1 1 c のゲートとは同一のゲート信号線 1 7 a に接続している。しかし、トランジスタ 1 1 b のゲートとトランジスタ 1 1 c のゲートとを異なるゲート信号線 (第 3 2 図におけるゲート信号線 1 7 a、1 7 c) にそれぞれ接続してもよい。この場合、1 画素のゲート信号線は 3 本となる (第 1 図の構成
- 25   は 2 本である)。トランジスタ 1 1 b のゲートの ON/OFF タイミングとトランジスタ 1 1 c のゲートの ON/OFF タイミングを個別に制御することにより、トランジスタ 1 1 a のばらつきによる E L 素子 1 5 の電流値バラツキをさらに低減することができる。

ゲート信号線 17 a とゲート信号線 17 b とを共通にし、トランジスタ 11 c と 11 d とを異なった導電型（N チャンネルと P チャンネル）とすると、駆動回路の簡略化を図ることができ、画素の開口率を向上させることができる。

- 5      このように構成すれば本発明の動作タイミングとしては信号線からの書きこみ経路がオフになる。すなわち所定の電流が記憶される際に、電流の流れる経路に分岐があると正確な電流値がトランジスタ 11 a のソース（S）－ゲート（G）間の容量（コンデンサ）に記憶されない。トランジスタ 11 c とトランジスタ 11 d とを異なった導電型にした  
10    場合、お互いの閾値を制御することによって走査線が切り替わるタイミングで必ずトランジスタ 11 c がオフした後に、トランジスタ 11 d がオンするといった動作が可能になる。

- ただし、この場合お互いの閾値を正確に制御する必要があるのでプロセスには十分な注意を払う必要がある。なお、以上述べた回路は最低 4  
15    つのトランジスタで実現可能であるが、より正確なタイミング制御を実現するために、または後述するようにミラー効果低減のために、トランジスタ 11 e を第 2 図に示すようにカスケード接続する構成としてトランジスタの総数が 4 以上になっても動作原理は同じである。このようにトランジスタ 11 e を加えた構成とすることにより、トランジスタ 1  
20    1 c を介してプログラムした電流をより精度よく EL 素子 15 に流すことができるようになる。

- トランジスタ 11 a の特性のバラツキはトランジスタサイズに相関がある。特性バラツキを小さくするため、第 1 のトランジスタ 11 a のチャンネル長が  $5\ \mu\text{m}$  以上  $100\ \mu\text{m}$  以下とすることが好ましい。さら  
25    に好ましくは、第 1 のトランジスタ 11 a のチャンネル長が  $10\ \mu\text{m}$  以上  $50\ \mu\text{m}$  以下とすることが好ましい。これは、チャンネル長  $L$  を長くした場合、チャンネルに含まれる粒界が増えることによって電界が緩和されキンク効果が低く抑えられるためであると考えられる。

また、画素を構成するトランジスタ 11 が、レーザー再結晶化方法（レーザーアニール）により形成されたポリシリコントランジスタで形成され、すべてのトランジスタにおけるチャンネルの方向がレーザーの照射方向に対して同一の方向であることが好ましい。また、レーザーは同一箇所を 2 回以上スキャンして半導体膜を形成することが好ましい。

本発明の目的は、トランジスタ特性のばらつきが表示に影響を与えない回路構成を提案するものであり、そのために 4 以上のトランジスタが必要となる。これらのトランジスタの特性により回路定数を決定する場合、4 つのトランジスタの特性がそろわなければ、適切な回路定数を求めることが困難である。レーザー照射の長軸方向に対して、チャンネル方向が水平の場合と垂直の場合とでは、トランジスタ特性の閾値と移動度が異なって形成される。なお、どちらの場合もばらつきの程度は同じである。水平方向と、垂直方向とでは移動度、閾値の平均値が異なる。したがって、画素を構成するすべてのトランジスタのチャンネル方向は同一であるほうが望ましい。

また、蓄積容量 19 の容量値を  $C_s$ 、第 2 のトランジスタ 11 b のオフ電流値を  $I_{off}$  とした場合、次式を満足させることが好ましい。

$$3 < C_s / I_{off} < 24$$

さらに、次式を満足させることがより好ましい。

$$6 < C_s / I_{off} < 18$$

トランジスタ 11 b のオフ電流を 5 pA 以下とすることにより、EL を流れる電流値の変化を 2 % 以下に抑えることが可能である。これはリーク電流が増加すると、電圧非書き込み状態においてゲートソース間（コンデンサの両端）に貯えられた電荷を 1 フィールド間保持できないためである。したがって、コンデンサ 19 の蓄積用容量が大きければオフ電流の許容量も大きくなる。前記式を満たすことによって隣接画素間の電流値の変動を 2 % 以下に抑えることができる。

また、アクティブマトリックスを構成するトランジスタが p-ch ぽ

リシリコン薄膜トランジスタで構成され、トランジスタ 1 1 b をデュアルゲート以上であるマルチゲート構造とすることが好ましい。トランジスタ 1 1 b は、トランジスタ 1 1 a のソースドレイン間のスイッチとして作用するため、できるだけ ON/OFF 比の高い特性が要求される。

- 5 トランジスタ 1 1 b のゲートの構造をデュアルゲート構造以上のマルチゲート構造とすることにより ON/OFF 比の高い特性を実現できる。

- 画素 1 6 のトランジスタ 1 1 を構成する半導体膜は、低温ポリシリコン技術において、レーザーアニールにより形成するのが一般的である。
- 10 このレーザーアニールの条件のバラツキがトランジスタ 1 1 の特性のバラツキとなる。しかし、1 画素 1 6 内のトランジスタ 1 1 の特性が一致していれば、第 1 図などの電流プログラムを行う方式では、所定の電流が EL 素子 1 5 に流れるように駆動することができる。この点は、電圧プログラムにない利点である。ここでレーザーとしてはエキシマレーザーを用いることが好ましい。
- 15

なお、本発明において、半導体膜の形成は、レーザーアニール方法に限定するものではなく、熱アニール方法、固相 (CGS) 成長による方法でもよい。その他、低温ポリシリコン技術に限定するものではなく、高温ポリシリコン技術を用いても良いことはいうまでもない。

- 20 この課題に対して、本発明では第 7 図に示すように、アニールの時のレーザー照射スポット (レーザー照射範囲) 7 2 をソース信号線 1 8 に平行に照射する。また、1 画素列に一致するようにレーザー照射スポット 7 2 を移動させる。もちろん、1 画素列に限定するものではなく、たとえば、RGB を 1 画素 1 6 という単位でレーザーを照射してもよい(この場合は、3 画素列ということになる)。また、複数の画素に同時に照射してもよい。また、レーザー照射範囲の移動がオーバーラップしてもよいことは言うまでもない (通常、移動するレーザー光の照射範囲はオーバーラップするのが普通である)。
- 25



画素はR G Bの3画素で正方形の形状となるように作製されている。したがって、R、G、Bの各画素は縦長の画素形状となる。したがって、レーザー照射スポット72を縦長にしてアニールすることにより、1画素内ではトランジスタ11の特性バラツキが発生しないようにすることができる。また、1つのソース信号線18に接続されたトランジスタ11の特性（モビリティ、 $V_t$ 、S値など）を均一にすることができる（つまり、隣接したソース信号線18のトランジスタ11とは特性が異なる場合があるが、1つのソース信号線18に接続されたトランジスタ11の特性はほぼ等しくすることができる）。

10 一般的にレーザー照射スポット72の長さは10インチなどのように固定値である。このレーザー照射スポット72を移動させるのであるから、1つのレーザー照射スポット72を移動できる範囲内におさまるようにパネルを配置する必要がある（つまり、パネルの表示領域50の中央部でレーザー照射スポット72が重ならないようにする）。

15 第7図に示す構成では、レーザー照射スポット72の長さの範囲内に3つのパネルが縦に配置されるように形成されている。レーザー照射スポット72を照射するアニール装置はガラス基板74の位置決めマーカー73a、73bを認識（パターン認識による自動位置決め）してレーザー照射スポット72を移動させる。位置決めマーカー73の認識は  
20 パターン認識装置で行う。アニール装置（図示せず）は位置決めマーカー73を認識し、画素列の位置をわりだす（レーザー照射範囲72がソース信号線18と平行になるようにする）。画素列位置に重なるようにレーザー照射スポット72を照射してアニールを順次行う。

第7図で説明したレーザーアニール方法（ソース信号線18に平行に  
25 ライン状のレーザースポットを照射する方式）は、有機EL表示パネルの電流プログラム方式の時に採用することが特に好ましい。なぜならば、ソース信号線に平行方向にトランジスタ11の特性が一致しているためである（縦方向に隣接した画素トランジスタの特性が近似している）。

そのため、電流駆動時にソース信号線の電圧レベルの変化が少なく、電流書き込み不足が発生しにくい。

たとえば、白ラスタ表示であれば、隣接した各画素のトランジスタ 1 1 a に流す電流はほぼ同一のため、ソースドライバ 1 4 から出力する  
5 電流振幅の変化が少ない。もし、第 1 図のトランジスタ 1 1 a の特性が同一であり、各画素に電流プログラムする電流値が画素列で等しいのであれば、電流プログラム時のソース信号線 1 8 の電位は一定である。したがって、ソース信号線 1 8 の電位変動は発生しない。1 つのソース信号線 1 8 に接続されたトランジスタ 1 1 a の特性がほぼ同一であれば、  
10 ソース信号線 1 8 の電位変動は小さいことになる。このことは、第 3 8 図などの他の電流プログラム方式の画素構成でも同一である（つまり、第 7 図の製造方法を適用することが好ましい）。

また、第 2 7 図、第 3 0 図などで説明する複数の画素行を同時書き込みする方式で均一な画像表示を実現することができる。これは、主としてトランジスタ特性のばらつきに起因する表示ムラが発生しにくいからである。第 2 7 図などは複数画素行同時に選択するから、隣接した画素行のトランジスタが均一であれば、縦方向のトランジスタ特性ムラは  
15 ドライバ回路 1 4 で吸収できる。

なお、第 7 図に示すとおり、ソースドライバ 1 4 は、IC チップを積載して形成されているが、これに限定するものではなく、ソースドライバ 1 4 を画素 1 6 と同一プロセスで形成してもよいことは言うまでもない。  
20

本発明では特に、トランジスタ 1 1 b の閾電圧  $V_{th2}$  が画素内で対応するトランジスタ 1 1 a の閾電圧  $V_{th1}$  より低くならない様に設定されている。例えば、トランジスタ 1 1 b のゲート長  $L_2$  をトランジスタ 1 1 a のゲート長  $L_1$  よりも長くして、これらの薄膜トランジスタのプロセスパラメータが変動しても、 $V_{th2}$  が  $V_{th1}$  よりも低くならないようにする。これにより、微少な電流リークを抑制することが可  
25

能である。

なお、以上の事項は、第 3 8 図に図示するカレントミラーの画素構成にも適用できる。第 3 8 図では、信号電流が流れる駆動用トランジスタ 1 1 a、E L 素子 1 5 等からなる発光素子に流れる駆動電流を制御する  
5 駆動用トランジスタ 1 1 b の他、ゲート信号線 1 7 a 1 の制御によって画素回路とデータ線 d a t a とを接続または遮断する取込用トランジスタ 1 1 c、ゲート信号線 1 7 a 2 の制御によって書き込み期間中にトランジスタ 1 1 a のゲート・ドレインを短絡するスイッチ用トランジスタ 1 1 d、トランジスタ 1 1 a のゲート・ソース間の電圧の書き込み  
10 終了後も保持するための蓄積容量 1 9 および発光素子としての E L 素子 1 5 などから構成される。

第 3 8 図でトランジスタ 1 1 c、1 1 d は N チャンネルトランジスタで、その他のトランジスタは P チャンネルトランジスタでそれぞれ構成しているが、これは一例であって、必ずしもこの通りである必要はない。  
15 蓄積容量 1 9 は、その一方の端子がトランジスタ 1 1 a のゲートに接続され、他方の端子が V d d (電源電位) に接続されているが、V d d に限らず任意の一定電位でも良い。E L 素子 1 5 のカソード(陰極)は接地電位に接続されている。

次に、本発明の E L 表示パネルおよび E L 表示装置について説明をする。第 6 図は E L 表示装置の回路を中心とした説明図である。画素 1 6  
20 がマトリックス状に配置または形成されている。各画素 1 6 には各画素の電流プログラムを行う電流を出力するソースドライバ 1 4 が接続されている。ソースドライバ 1 4 の出力段は階調データである画像信号のビット数に対応したカレントミラー回路が形成されている(後に説明する)。たとえば、6 4 階調であれば、6 3 個のカレントミラー回路が各  
25 ソース信号線に形成され、これらのカレントミラー回路の個数を選択することにより所望の電流をソース信号線 1 8 に印加できるように構成されている。

なお、1つのカレントミラー回路の最小出力電流は10 nA以上50 nA以下にしている。特にカレントミラー回路の最小出力電流は15 nA以上35 nA以下にすることが好ましい。ソースドライバ14内のカレントミラー回路を構成するトランジスタの精度を確保するためである。

また、ソースドライバ14は、ソース信号線18の電荷を強制的に放出または充電するプリチャージまたはディスチャージ回路を内蔵する。ソース信号線18の電荷を強制的に放出または充電するプリチャージまたはディスチャージ回路の電圧（電流）出力値は、R、G、Bで独立に設定できるように構成されていることが好ましい。EL素子15の閾値がRGBで異なるからである。

有機EL素子は大きな温度依存性特性があることが知られている。この温特による発光輝度変化を調整するため、カレントミラー回路に出力電流を変化させるサーミスタあるいはポジスタなどの非直線素子を付加し、温度依存性特性による変化を前記サーミスタなどで調整することによりアナログ的に基準電流を作成する。

本発明において、ソースドライバ14は半導体チップで形成されており、ガラスオンチップ（COG）技術で基板71のソース信号線18の端子と接続されている。ソース信号線18などの信号線の配線はクロム、銅、アルミニウム、銀などの金属配線が用いられる。細い配線幅で低抵抗の配線が得られるからである。配線は画素が反射型の場合は画素の反射膜を構成する材料で、反射膜と同時に形成することが好ましい。工程が簡略化できるからである。

ソースドライバ14の実装は、COG技術に限定するものではなく、チップオンフィルム（COF）技術に前述のソースドライバ14などを積載し、表示パネルの信号線と接続した構成としてもよい。また、ドライバICは電源IC82を別途作製し、3チップ構成としてもよい。

一方、ゲートドライバ12は低温ポリシリコン技術で形成されている。

- つまり、画素のトランジスタと同一のプロセスで形成している。これは、ソースドライバ 1 4 に比較して内部の構造が容易で、動作周波数も低い  
ためである。したがって、低温ポリシリコン技術を用いても容易にゲート  
ドライバ 1 2 を形成することができ、これにより狭額縁化を実現でき  
5 る。もちろん、ゲートドライバ 1 2 をシリコンチップで形成し、COG  
技術などを用いて基板 7 1 上に実装してもよいことは言うまでもない。  
また、画素トランジスタなどのスイッチング素子、ゲートドライバなど  
は高温ポリシリコン技術で形成してもよく、有機材料で形成（有機トラ  
ンジスタ）してもよい。
- 10 ゲートドライバ 1 2 はゲート信号線 1 7 a 用のシフトレジスタ回路  
6 1 a と、ゲート信号線 1 7 b 用のシフトレジスタ回路 6 1 b とを内蔵  
する。各シフトレジスタ回路 6 1 は正相および負相のクロック信号（C  
LK x P、CLK x N）、スタートパルス（ST x）で制御される。そ  
の他、ゲート信号線の出力、非出力を制御するイネーブル（ENABL）  
15 信号、シフト方向を上下逆転するアップダウン（UPDWM）信号を付  
加することが好ましい。他に、スタートパルスがシフトレジスタにシフ  
トされ、そして出力されていることを確認する出力端子などを設けるこ  
とが好ましい。なお、シフトレジスタのシフトタイミングはコントロー  
ル IC 8 1 からの制御信号で制御される。また、外部データのレベルシ  
フトを行うレベルシフト回路を内蔵する。また、検査回路を内蔵する。  
20 シフトレジスタ回路 6 1 のバッファ容量は小さいため、直接にはゲート  
信号線 1 7 を駆動することができない。そのため、シフトレジスタ回  
路 6 1 の出力とゲート信号線 1 7 を駆動する出力ゲート 6 3 間には少  
なくとも 2 つ以上のインバータ回路 6 2 が形成されている。
- 25 ソースドライバ 1 4 を低温ポリシリコンなどのポリシリコン技術で  
基板 7 1 上に直接形成する場合も同様であり、ソース信号線 1 8 を駆動  
するトランスファージェートなどのアナログスイッチのゲートとソース  
ドライバ 1 4 のシフトレジスタとの間には複数のインバータ回路が形

成される。以下の事項（シフトレジスタの出力と、信号線を駆動する出力段（出力ゲートあるいはトランスファージェートなどの出力段）間に配置されるインバータ回路に関する事項）は、ソースドライバおよびゲートドライバに共通の事項である。

5     たとえば、第6図ではソースドライバ14の出力が直接ソース信号線18に接続されているように図示したが、実際には、ソースドライバのシフトレジスタの出力は多段のインバータ回路に接続されて、インバータの出力がトランスファージェートなどのアナログスイッチのゲートに接続されている。

10     インバータ回路62はPチャンネルのMOSトランジスタとNチャンネルのMOSトランジスタとから構成される。先にも説明したようにゲートドライバ12のシフトレジスタ回路61の出力端にはインバータ回路62が多段に接続されており、その最終出力が出力ゲート回路63に接続されている。なお、インバータ回路62はPチャンネルのみで  
15     構成してもよい。ただし、この場合は、インバータではなく単なるゲート回路として構成してもよい。

第8図は本発明の表示装置の信号、電圧の供給の構成図あるいは表示装置の構成図である。コントロールIC81からソースドライバ14aに供給する信号（電源配線、データ配線など）はフレキシブル基板84  
20     を介して供給する。

第8図ではゲートドライバ12の制御信号はコントロールIC81で発生させ、ソースドライバ14で、レベルシフトを行った後、ゲートドライバ12に印加している。ソースドライバ14の駆動電圧は4～8（V）であるから、コントロールIC81から出力された3.3（V）  
25     振幅の制御信号を、ゲートドライバ12が受け取ることが可能な5（V）振幅に変換することができる。

ソースドライバ14内には画像メモリを設けることが好ましい。画像メモリの画像データは誤差拡散処理あるいはディザ処理を行った後の

データをメモリしてもよい。誤差拡散処理、ディザ処理などを行うことにより、26万色表示データを4096色などに変換することができ、画像メモリの容量を小さくすることができる。誤差拡散処理などは誤差拡散コントローラ81で行うことができる。また、ディザ処理を行った後、さらに誤差拡散処理を行ってもよい。以上の事項は、逆誤差拡散処理にも適用される。

なお、第8図などにおいて14をソースドライバと記載したが、単なるドライバだけでなく、電源回路、バッファ回路（シフトレジスタなどの回路を含む）、データ変換回路、ラッチ回路、コマンドデコーダ、シフト回路、アドレス変換回路、画像メモリなどを内蔵させてもよい。なお、第8図などで説明する構成にあっても、第9図などで説明する3辺フリー構成（構造）、駆動方式などを適用できることはいうまでもない。

表示パネルを携帯型電話機などの情報表示装置に使用する場合、ソースドライバ（回路）14、ゲートドライバ（回路）12を第9図に示すように、表示パネルの一辺に実装（形成）することが好ましい（なお、このように一辺にドライバIC（回路）を実装（形成）する形態を3辺フリー構成（構造）と呼ぶ。従来は、表示領域のX辺にゲートドライバ12が実装され、Y辺にソースドライバ14が実装されていた）。画面50の中心線が表示装置の中心になるように設計し易く、また、ドライバICの実装も容易となるからである。なお、ゲートドライバを高温ポリシリコンあるいは低温ポリシリコン技術などで3辺フリー構成で作製してもよい（つまり、第9図のソースドライバ14およびゲートドライバ12のうち、少なくとも一方をポリシリコン技術で基板71に直接形成する）。

なお、3辺フリー構成とは、基板71に直接ICを積載あるいは形成した構成だけでなく、ソースドライバ（回路）14、ゲートドライバ（回路）12などを取り付けたフィルム（TCP、TAB技術など）を基板71の一辺（もしくはほぼ一辺）に貼り付けた構成も含む。つまり、2

辺に I C が実装あるいは取り付けられていない構成、配置あるいはそれに類似するすべてを意味する。

第 9 図のようにゲートドライバ 1 2 をソースドライバ 1 4 の横に配置すると、ゲート信号線 1 7 は辺 C にそって形成する必要がある。

5     なお、第 9 図などにおいて太い実線で図示した箇所はゲート信号線 1 7 が並列して形成されている箇所を示している。したがって、b の部分（画面下部）はゲート信号線の本数分のゲート信号線 1 7 が並列して形成され、a の部分（画面上部）はゲート信号線 1 7 が 1 本形成されている。

10     C 辺に形成するゲート信号線 1 7 のピッチは  $5 \mu\text{m}$  以上  $12 \mu\text{m}$  以下にする。 $5 \mu\text{m}$  未満では隣接ゲート信号線に寄生容量の影響によりノイズが乗ってしまう。実験によれば  $7 \mu$  以下で寄生容量の影響が顕著に発生する。さらに  $5 \mu\text{m}$  未満では表示画面にビート状などの画像ノイズが激しく発生する。特にノイズの発生は画面の左右で異なり、このビート状などの画像ノイズを低減することは困難である。また、低減  $12 \mu$   
15     m を越えると表示パネルの額縁幅 D が大きくなりすぎ実用的でない。

前述の画像ノイズを低減するためには、ゲート信号線 1 7 を形成した部分の下層あるいは上層に、グラントパターン（一定電圧に電圧固定あるいは全体として安定した電位に設定されている導電パターン）を配置  
20     することにより低減できる。また、別途設けたシールド板（シールド箔（一定電圧に電圧固定あるいは全体として安定した電位に設定されている導電パターン））をゲート信号線 1 7 上に配置すればよい。

第 9 図の C 辺のゲート信号線 1 7 は I T O 電極で形成してもよいが、低抵抗化するため、I T O と金属薄膜とを積層して形成することが好ましい。また、金属膜で形成することが好ましい。I T O と積層する場合は、I T O 上にチタン膜を形成し、その上にアルミニウムあるいはアルミニウムとモリブデンとの合金薄膜を形成する。または I T O 上にクロム膜を形成する。金属膜の場合は、アルミニウム薄膜、クロム薄膜で形  
25



成する。以上の事項は本発明の他の実施例でも同様である。

なお、第 9 図などにおいて、ゲート信号線 17 などは表示領域の片側に配置するとしたがこれに限定されるわけではなく、両方に配置してもよい。たとえば、ゲート信号線 17 a を表示領域 50 の右側に配置（形成）し、ゲート信号線 17 b を表示領域 50 の左側に配置（形成）してもよい。以上の事項は他の実施例でも同様である。

また、ソースドライバ 14 とゲートドライバ 12 とを 1 チップ化してもよい。1 チップ化すれば、表示パネルへの IC チップの実装が 1 個で済む。したがって、実装コストも低減できる。また、1 チップドライバ IC 内で使用する各種電圧も同時に発生することができる。

なお、ソースドライバ 14、ゲートドライバ 12 はシリコンなどの半導体ウェハで作製し、表示パネルに実装するとしたがこれに限定するものではなく、低温ポリシリコン技術、高温ポリシリコン技術により表示パネル 82 に直接形成してもよいことは言うまでもない。

第 1 図などで示した構成では EL 素子 15 はトランジスタ 11 a を介して V<sub>dd</sub> 電位に接続されている。しかし、各色を構成する有機 EL の駆動電圧が異なるという問題がある。たとえば、単位平方センチメートルあたり 0.01 (A) の電流を流した場合、青 (B) では EL 素子の端子電圧は 5 (V) であるが、緑 (G) および赤 (R) では 9 (V) である。つまり、端子電圧が B と G、R で異なる。したがって、B と G および R とでは保持するトランジスタ 11 a のソースドレイン電圧 (S<sub>D</sub> 電圧) が異なる。そのため、各色でトランジスタのソースドレイン電圧 (S<sub>D</sub> 電圧) 間のオフリーク電流が異なることになる。オフリーク電流が発生し、かつオフリーク特性が各色で異なると、色バランスのずれた状態でフリッカが発生する、発光色に相関してガンマ特性がずれるという複雑な表示状態になる。

この課題に対応するため、少なくとも R、G、B 色のうち、1 つのカソード電極の電位を他色のカソード電極の電位と異ならせるように構

成している。もしくはR、G、B色のうち、1つのV d dの電位を他色のV d dの電位と異ならせるように構成している。

R、G、BのEL素子15の端子電圧は極力一致させることが好ましいことは言うまでもない。少なくとも、白ピーク輝度を表示しており、色温度が7000K以上12000K以下の範囲で、R、G、BのEL素子の端子電圧は10（V）以下となるように材料あるいは構造の選定をする必要がある。また、R、G、Bのうち、EL素子の最大の端子電圧と最小の端子電圧との差は、2.5（V）以内にする必要がある。さらに好ましくはこの差を1.5（V）以下にする必要がある。なお、以上の実施例では、色はRGBとしたがこれに限定するものではない。このことは後に説明する。

なお、画素は、R、G、Bの3原色としたがこれに限定するものではなく、シアン、イエロー、マゼンダの3色でもよい。また、Bとイエローの2色でもよい。もちろん、単色でもよい。また、R、G、B、シアン、イエロー、マゼンダの6色でもよい。R、G、B、シアン、マゼンダの5色でもよい。これらはナチュラルカラーとして色再現範囲が拡大し良好な表示を実現できる。その他、R、G、B、白の4色でもよい。R、G、B、シアン、イエロー、マゼンダ、黒、白の7色でもよい。また、白色発光の画素を表示領域50全体に形成（作製）し、RGBなどのカラーフィルタで3原色表示としてもよい。この場合は、EL層に各色の発光材料を積層して形成すればよい。また、1画素をBおよびイエローのように塗り分けても良い。以上のように本発明のEL表示装置は、RGBの3原色でカラー表示を行うものに限定されるものではない。

有機EL表示パネルのカラー化には主に三つの方式があり、色変換方式はこのうちの一つである。発光層として青色のみの単層を形成すればよく、フルカラー化に必要な残りの緑色と赤色は、青色光から色変換によって作り出す。したがって、RGBの各層を塗り分ける必要がない、RGBの各色の有機EL材料をそろえる必要がないという利点がある。

色変換方式は、塗り分け方式のように歩留まり低下がない。本発明の EL 表示パネルなどはこのいずれの方式も適用可能である。

また、3 原色の他に、白色発光の画素を形成してもよい。白色発光の画素は R、G、B 発光の構造を積層することにより作製（形成または構成）することにより実現できる。1 組の画素は、R G B の 3 原色と、白色発光の画素 1 6 W からなる。白色発光の画素を形成することにより、白色のピーク輝度が表現しやすくなる。したがって、輝き感のある画像表示を実現できる。

R G B などの 3 原色を 1 組の画素をする場合であっても、各色の画素電極の面積を異ならせることが好ましい。もちろん、各色の発光効率がバランスよく、色純度もバランスがよければ、同一面積でもかまわない。しかし、1 つまたは複数の色のバランスが悪ければ、画素電極の発光面積を調整することが好ましい。各色の電極面積は電流密度を基準に決定すればよい。つまり、色温度が 7 0 0 0 K（ケルビン）以上 1 2 0 0 0 K 以下の範囲で、ホワイトバランスを調整した時、各色の電流密度の差が  $\pm 30\%$  以内となるようにする。さらに好ましくは  $\pm 15\%$  以内となるようにする。たとえば、電流密度が 1 0 0 A / 平方メートルとすれば、3 原色がいずれも 7 0 A / 平方メートル以上 1 3 0 A / 平方メートル以下となるようにする。さらに好ましくは、3 原色がいずれも 8 5 A / 平方メートル以上 1 1 5 A / 平方メートル以下となるようにする。

有機 EL は自己発光素子である。この発光による光がスイッチング素子としてのトランジスタに入射するとホトコンダクタ現象が発生する。ホトコンとは、光励起によりトランジスタなどのスイッチング素子のオフ時でのリーク（オフリーク）が増える現象をいう。

この課題に対処するため、本発明ではゲートドライバ 1 2（場合によってはソースドライバ 1 4）の下層、画素トランジスタ 1 1 の下層に遮光膜を形成している。遮光膜はクロムなどの金属薄膜で形成し、その膜厚は 5 0 nm 以上 1 5 0 nm 以下にする。膜厚が薄いと遮光効果が乏し

く、厚いと凹凸が発生して上層のトランジスタ 11a のパターンニングが困難になる。

5 遮光膜上に 20nm 以上 100nm 以下の無機材料からなる平滑化膜を形成する。この遮光膜のレイヤーを用いて蓄積容量 19 の一方の電極を形成してもよい。この場合、平滑膜は極力薄く作り蓄積容量の容量値を大きくすることが好ましい。また遮光膜をアルミで形成し、陽極酸化技術を用いて酸化シリコン膜を遮光膜の表面に形成し、この酸化シリコン膜を蓄積容量 19 の誘電体膜として用いてもよい。平滑化膜上にはハイアパーチャ（HA）構造の画素電極が形成される。

10 ドライバ回路 12 などは裏面だけでなく、表面からの光の進入も抑制するべきである。ホトコンダクタ現象の影響により誤動作するからである。したがって、本発明では、カソード電極が金属膜の場合は、ドライバ 12 などの表面にもカソード電極を形成し、この電極を遮光膜として用いている。

15 しかし、ドライバ 12 の上にカソード電極を形成すると、このカソード電極からの電界によるドライバの誤動作あるいはカソード電極とドライバ回路との電氣的接触が発生する可能性がある。この課題に対処するため、本発明ではドライバ回路 12 などの上に少なくとも 1 層、好ましくは複数層の有機 EL 膜を画素電極上の有機 EL 膜形成と同時に形成する。

20 基本的に有機 EL 膜は絶縁物であるから、ドライバ上に有機 EL 膜を形成することにより、カソードとドライバとの間が隔離される。したがって、前述の課題を解消することができる。

25 画素の 1 つ以上のトランジスタ 11 の端子間あるいはトランジスタ 11 と信号線とが短絡すると、EL 素子 15 が常時、点灯することになり、かかる画素が輝点となる場合がある。この輝点は視覚的に目立つので黒点化（非点灯）する必要がある。輝点に対しては、該当画素 16 を検出し、コンデンサ 19 にレーザー光を照射してコンデンサの端子間を

短絡させる。したがって、コンデンサ 19 には電荷を保持できなくなるので、トランジスタ 11a は電流を流さなくすることができる。

なお、レーザー光を照射する位置にあたるカソード膜を除去しておくことが望ましい。レーザー照射により、コンデンサ 19 の端子電極とカ  
5 ソード膜とがショートすることを防止するためである。

画素 16 のトランジスタ 11 の欠陥は、ドライバ回路 14 などにも影響を与える。例えば、第 56 図では駆動用トランジスタ 11a にソース  
ードレイン (SD) ショート 562 が発生していると、パネルの Vdd  
電圧がソースドライバ 14 に印加される。したがって、ソースドライバ  
10 14 の電源電圧は、パネルの電源電圧 Vdd と同一かもしくは高くしておくことが好ましい。なお、ソースドライバ 14 で使用する基準電流は  
電子ボリウム 561 で調整できるように構成しておくことが好ましい。

トランジスタ 11a に SD ショート 562 が発生していると、EL 素  
子 15 に過大な電流が流れる。つまり、EL 素子 15 が常時点灯状態 (輝  
15 点) となる。輝点は欠陥として目立ちやすい。たとえば、第 56 図において、トランジスタ 11a のソースードレイン (SD) ショートが発生  
していると、トランジスタ 11a のゲート (G) 端子電位の大小に関わ  
らず、Vdd 電圧から EL 素子 15 に電流が常時流れる (トランジスタ  
11d がオンの時)。したがって、EL 素子 15 が輝点となる。

20 また、トランジスタ 11a に SD ショートが発生していると、トラン  
ジスタ 11c がオン状態の時、Vdd 電圧がソース信号線 18 に印加さ  
れソースドライバ 14 に Vdd 電圧が印加される。もし、ソースドライ  
バ 14 の電源電圧が Vdd 以下であれば、耐圧を越えて、ソースドライ  
バ 14 が破壊されるおそれがある。そのため、ソースドライバ 14 の電  
25 源電圧は Vdd 電圧 (パネルの高い方の電圧) 以上にすることが好まし  
い。

トランジスタ 11a の SD ショートなどは、点欠陥にとどまらず、パ  
ネルのソースドライバの破壊につながるおそれがあり、また、輝点は目

立つためパネルとしては不良となる。したがって、トランジスタ 11a と EL 素子 15 との間を接続する配線を切断し、輝点を黒点欠陥にする必要がある。この切断には、レーザー光などの光学手段を用いて切断すればよい。

- 5      なお、以上の実施例は配線を切断させるとしたが、黒表示するためにはこれに限定されるものではない。たとえば、第 1 図でもわかるように、トランジスタ 11a の電源 V<sub>dd</sub> が、トランジスタ 11a のゲート (G) 端子に常時印加されるように修正してもよい。たとえば、コンデンサ 19 の 2 つの電極間をショートさせれば、V<sub>dd</sub> 電圧がトランジスタ 11a のゲート (G) 端子に印加されるようになる。したがって、トランジスタ 11a は完全にオフ状態になり、EL 素子 15 に電流を流さなくすることができる。これは、コンデンサ 19 にレーザー光を照射することによりコンデンサ電極をショートできるため、容易に実現できる。

- 15      また、実際には、画素電極の下層に V<sub>dd</sub> 配線が配置されているから、V<sub>dd</sub> 配線と画素電極とにレーザー光を照射することにより、画素の表示状態を制御 (修正) することができる。

- 20      その他、トランジスタ 11a の S D 間 (チャンネル) をオープンにすることでも実現できる。簡単にはトランジスタ 11a にレーザー光を照射し、トランジスタ 11a のチャンネルをオープンにする。同様に、トランジスタ 11d のチャンネルをオープンにしてもよい。もちろん、トランジスタ 11b のチャンネルをオープンにした場合、該当画素 16 が選択されないから、黒表示となる。

- 25      画素 16 を黒表示にするためには、EL 素子 15 を劣化させてもよい。たとえば、レーザー光を EL 層 15 に照射し、EL 層 15 を物理的にあるいは化学的に劣化させ、発光しないようにする (常時黒表示)。レーザー光の照射により EL 層 15 を加熱し、容易に劣化させることができる。また、エキシマレーザーを用いれば、EL 膜 15 の化学的変化を容易に行うことができる。

なお、以上の実施例は、第 1 図に図示した画素構成を例示したが、本発明はこれに限定するものではない。レーザー光を用いて配線あるいは電極をオープンあるいはショートさせることは、カレントミラーなどの他の電流駆動の画素構成あるいは第 6 2 図、第 5 1 図などに示されている電圧駆動の画素構成であっても適用できることは言うまでもない。

以下、第 1 図に示す画素構成について、その駆動方法について説明をする。第 1 図に示すように、ゲート信号線 1 7 a は行選択期間に導通状態（ここでは第 1 図のトランジスタ 1 1 が p チャネルトランジスタであるためローレベルで導通となる）となり、ゲート信号線 1 7 b は非選択期間時に導通状態とする。

ソース信号線 1 8 には寄生容量（図示せず）が存在する。寄生容量は、ソース信号線 1 8 とゲート信号線 1 7 とのクロス部の容量、トランジスタ 1 1 b、1 1 c のチャンネル容量などにより発生する。

ソース信号線 1 8 の電流値変化に要する時間  $t$  は、浮遊容量の大きさを  $C$ 、ソース信号線 1 8 の電圧を  $V$ 、ソース信号線 1 8 に流れる電流を  $I$  とすると  $t = C \cdot V / I$  である。そのため、電流値を 10 倍大きくすることにより電流値変化に要する時間を 10 分の 1 近くまで短くすることができる。またはソース信号線 1 8 の寄生容量が 10 倍になっても所定の電流値に変化させることができるということを示している。従って、短い水平走査期間内に所定の電流値を書きこむためには電流値を増加させることが有効である。

入力電流を 10 倍にすると出力電流も 10 倍となる。しかし、この場合、EL の輝度も 10 倍となるため、所定の輝度を得ることができない。そこで、本発明では、第 1 図のトランジスタ 1 7 d の導通期間を従来の 10 分の 1 とし、EL 素子 1 5 の発光期間を 10 分の 1 とすることで、所定の輝度を実現するようにした。

つまり、ソース信号線 1 8 の寄生容量の充放電を十分に行い、所定の電流値を画素 1 6 のトランジスタ 1 1 a にプログラムするためには、ソ

ースドライバ 14 から比較的大きな電流を出力する必要がある。しかし、  
このように大きな電流をソース信号線 18 に流すとこの電流値が画素  
にプログラムされてしまい、所定の電流に対し大きな電流が EL 素子 1  
5 に流れる。たとえば、10 倍の電流でプログラムすれば、当然、10  
5 倍の電流が EL 素子 15 に流れ、EL 素子 15 は 10 倍の輝度で発光す  
る。所定の発光輝度にするためには、EL 素子 15 に流れる時間を  $1/10$   
10 にすればよい。このように駆動することにより、ソース信号線 18  
の寄生容量を十分に充放電できるし、所定の発光輝度を得ることができ  
る。

10     なお、10 倍の電流値を画素のトランジスタ 11a（正確にはコンデ  
ンサ 19 の端子電圧を設定している）に書き込み、EL 素子 15 のオン  
時間を  $1/10$  にするとしたがこれは一例である。場合によっては、1  
0 倍の電流値を画素のトランジスタ 11a に書き込み、EL 素子 15 の  
オン時間を  $1/5$  にしてもよい。また、10 倍の電流値を画素のラン  
15 ジスタ 11a に書き込み、EL 素子 15 のオン時間を  $1/2$  倍にする場  
合もあるであろう。

本発明は、画素への書き込み電流を所定値以外の値にし、EL 素子 1  
5 に流れる電流を間欠状態にして駆動することに特徴がある。本明細書  
では説明を容易にするため、N 倍の電流を画素のトランジスタ 11 に書  
20 き込み、EL 素子 15 のオン時間を  $1/N$  倍にするとして説明する。し  
かし、これに限定するものではなく、N1 倍の電流を画素のトランジス  
タ 11 に書き込み、EL 素子 15 のオン時間を  $1/(N2)$  倍（N1 と  
N2 とは異なる）でもよいことは言うまでもない。なお、間欠する間隔  
は等間隔に限定するものではない。たとえば、ランダムでもよい（全体  
25 として、表示期間もしくは非表示期間が所定値（一定割合）となればよ  
い）。また、RGB で異なってもよい。つまり、白（ホワイト）バ  
ランスが最適になるように、R、G、B 表示期間もしくは非表示期間が  
所定値（一定割合）となるように調整（設定）すればよい



また、説明を容易にするため、 $1/N$ とは、 $1F$ （ $1$ フィールドまたは $1$ フレーム期間）を基準にしてこの $1F$ を $1/N$ にするとして説明する。しかし、 $1$ 画素行が選択され、電流値がプログラムされる時間（通常、 $1$ 水平走査期間（ $1H$ ））があるし、また、走査状態によっては誤差も生じる。したがって、以上の説明はあくまでも説明を容易にするための便宜上の問題だけであり、これに限定するものではない。

たとえば、 $N=10$ 倍の電流で画素 $16$ に電流をプログラムし、 $1/5$ の期間の間、 $EL$ 素子 $15$ を点灯させてもよい。 $EL$ 素子 $15$ は、 $10/5=2$ 倍の輝度で点灯する。逆に、 $N=2$ 倍の電流で画素 $16$ に電流をプログラムし、 $1/4$ の期間の間、 $EL$ 素子 $15$ を点灯させてもよい。 $EL$ 素子 $15$ は、 $2/4=0.5$ 倍の輝度で点灯する。つまり、本発明は、 $N=1$ 倍でない電流でプログラムし、かつ、常時点灯（ $1/1$ 、つまり、間欠駆動でない）状態以外の表示を実施するものである。また、広義には、 $EL$ 素子 $15$ に供給する電流を $1$ フレーム（あるいは $1$ フィールド）の期間において、少なくとも $1$ 回、オフにする駆動方式である。また、所定値よりも大きな電流を画素 $16$ にプログラムし、少なくとも、間欠表示を実施する駆動方式である。

有機（無機） $EL$ 表示装置は、 $CRT$ のように電子銃で線表示の集合として画像を表示するディスプレイとは表示方法が基本的に異なる点にも課題がある。つまり、 $EL$ 表示装置では、 $1F$ （ $1$ フィールドあるいは $1$ フレーム）の期間の間は、画素に書き込んだ電流（電圧）を保持する。そのため、動画表示を行うと表示画像の輪郭ぼけが発生するという課題が生じる。

本発明では、 $1F/N$ の期間の間だけ、 $EL$ 素子 $15$ に電流を流し、他の期間（ $1F(N-1)/N$ ）は電流を流さない。この駆動方式を実施し画面の一点を観測した場合を考える。この表示状態では $1F$ ごとに画像データ表示、黒表示（非点灯）が繰り返し表示される。つまり、画像データの表示状態が時間的に飛び飛び表示（間欠表示）状態となる。

動画データ表示を、この間欠表示状態でみると画像の輪郭ぼけがなくなり良好な表示状態を実現できる。つまり、CRTに近い動画表示を実現することができる。また、間欠表示を実現するが、回路のメインクロックは従来と変わらない。したがって、回路の消費電力が増加することもない。

液晶表示パネルの場合は、光変調をする画像データ（電圧）は液晶層に保持される。したがって、黒挿入表示を実施しようとするとき液晶層に印加しているデータを書き換える必要がある。そのため、ソースドライバ14の動作クロックを高くし、画像データと黒表示データとを交互にソース信号線18に印加する必要がある。したがって、黒挿入（黒表示などの間欠表示）を実現しようとするとき回路のメインクロックをあげる必要がある。また、時間軸伸張を実施するための画像メモリも必要になる。

第1図、第2図、および第38図などに示す本発明のEL表示パネルの画素構成では、画像データはコンデンサ19に保持されている。このコンデンサ19の端子電圧に対応する電流をEL素子15に流す。したがって、画像データは液晶表示パネルのように光変調層に保持されているのではない。

本発明はスイッチングのトランジスタ11d、あるいはトランジスタ11eなどをオンオフさせるだけでEL素子15に流す電流を制御する。つまり、EL素子15に流れる電流 $I_w$ をオフにしても、画像データはそのままコンデンサ19に保持されている。したがって、次のタイミングでスイッチング素子11dなどをオンさせ、EL素子15に電流を流せば、その流れる電流は前に流れていた電流値と同一である。本発明では黒挿入（黒表示などの間欠表示）を実現する際においても、回路のメインクロックをあげる必要がない。また、時間軸伸張を実施する必要もないための画像メモリも不要である。また、有機EL素子15は電流を印加してから発光するまでの時間が短く、高速に応答する。そのた

め、動画表示に適し、さらに間欠表示を実施することにより、従来のデータ保持型の表示パネル（液晶表示パネル、EL表示パネルなど）の問題である動画表示の問題を解決できる。

さらに、大型の表示装置でソース容量が大きくなる場合はソース電流  
5 を10倍以上にしてやればよい。一般にソース電流値をN倍にした場合、ゲート信号線17b（トランジスタ11d）の導通期間を $1F/N$ とすればよい。これによりテレビ、モニター用の表示装置などにも適用が可能である。

以下、図面を参照しながら、本発明の駆動方法についてさらに詳しく  
10 説明をする。ソース信号線18の寄生容量は、隣り合うソース信号線18との間の結合容量、ソースドライバIC（回路）14のバッファ出力容量、ゲート信号線17とソース信号線18とのクロス容量などにより発生する。この寄生容量は通常10pF以上となる。電圧駆動の場合は、ドライバIC14からは低インピーダンスで電圧がソース信号線18  
15 に印加されるため、寄生容量が多少大きくとも駆動では問題とならない。

しかし、電流駆動では特に黒レベルの画像表示では20nA以下の微小電流で画素のコンデンサ19をプログラムする必要がある。したがって、寄生容量が所定値以上の大きさで発生すると、1画素行にプログラムする時間（通常、1H以内、ただし、2画素行を同時に書き込む場合  
20 もあるので1H以内に限定されるものではない）内に寄生容量を充放電することができない。しかし1H期間で充放電できなれば、画素への書き込み不足となり、所望の解像度での表示を実現することができない。

第1図の画素構成の場合、第3図（a）に示すように、電流プログラム時は、プログラム電流 $I_w$ がソース信号線18に流れる。この電流 $I_w$   
25  $I_w$ がトランジスタ11aを流れ、電流 $I_w$ を流す電圧が保持されるように、コンデンサ19に電圧設定（プログラム）される。このとき、トランジスタ11dはオープン状態（オフ状態）である。

次に、EL素子15に電流を流す期間は第3図（b）のように、トラ

ンジスタ 11c、11b がオフし、トランジスタ 11d が動作する。つまり、ゲート信号線 17a にオフ電圧 ( $V_{gh}$ ) が印加され、トランジスタ 11b、11c がオフする。一方、ゲート信号線 17b にオン電圧 ( $V_{gl}$ ) が印加され、トランジスタ 11d がオンする。

- 5      今、電流  $I_w$  が本来流すべき電流 (所定値) の 10 倍であるとする、  
第 3 図 (b) の EL 素子 15 に流れる電流も所定値の 10 倍となる。したがって、所定値の 10 倍の輝度で EL 素子 15 は発光することになる。  
つまり、第 12 図に図示するように、倍率  $N$  を高くするほど、表示パネルの表示輝度  $B$  も高くなる。したがって、輝度と倍率とは比例関係となる。  
10      一方、 $1/N$  で駆動することにより、輝度と倍率とは反比例の関係となる。

- そこで、トランジスタ 11d を本来オンする時間 (約  $1F$ ) の  $1/N$  の期間だけオンさせ、他の期間  $(N-1)/N$  期間はオフさせれば、 $1F$  全体の平均輝度は所定の輝度となる。この表示状態は、CRT が電子銃で画面を走査しているのと近似する。異なる点は、画像を表示している範囲が画面全体の  $1/N$  (全画面を 1 とする) が点灯している点である (CRT では、点灯している範囲は 1 画素行 (厳密には 1 画素) である)。

- 本発明では、この  $1F/N$  の画像表示領域 53 が第 13 図 (b) に示すように画面 50 の上から下に移動する。本発明では、 $1F/N$  の期間の間だけ、EL 素子 15 に電流が流れ、他の期間  $(1F \cdot (N-1)/N)$  は電流が流れない。したがって、各画素は間欠表示となる。しかし、人間の目には残像により画像が保持された状態となるので、全画面が均一に表示されているように見える。

- 25      なお、第 13 図に図示するように、書き込み画素行 51a は非点灯表示 52a とする。しかし、これは、第 1 図、第 2 図などの画素構成の場合である。第 38 図などで図示するカレントミラーの画素構成では、書き込み画素行 51a は点灯状態としてもよい。しかし、本明細書では、

説明を容易にするため、主として、第 1 図の画素構成を例示して説明をする。また、第 1 3 図、第 1 6 図などの所定駆動電流  $I_w$  よりも大きい電流でプログラムし、間欠駆動する駆動方法を  $N$  倍パルス駆動と呼ぶ。

この表示状態では 1 F ごとに画像データ表示、黒表示（非点灯）が繰り返  
5 り返し表示される。つまり、画像データの表示状態が時間的に飛び飛び表示（間欠表示）状態となる。液晶表示パネル（および本発明以外の EL 表示パネル）では、1 F の期間、画素にデータが保持されているため、動画表示の場合は画像データが変化してもその変化に追従することができず、動画ボケとなっていた（画像の輪郭ボケ）。しかし、本発明で  
10 は画像を間欠表示するため、画像の輪郭ぼけがなくなり良好な表示状態を実現できる。つまり、CRT に近い動画表示を実現することができる。

このタイミングチャートを第 1 4 図に示す。なお、本発明などにおいて、特に断りがない時の画素構成は第 1 図に示したものである。第 1 4 図でわかるように、各選択された画素行（選択期間は、1 H としている）  
15 において、ゲート信号線 1 7 a にオン電圧（ $V_{gl}$ ）が印加されている時（第 1 4 図（a）を参照）には、ゲート信号線 1 7 b にはオフ電圧（ $V_{gh}$ ）が印加されている（第 1 4 図（b）を参照）。この期間は、EL 素子 1 5 には電流が流れていない（非点灯状態）。一方、選択されていない画素行においては、ゲート信号線 1 7 a にオフ電圧（ $V_{gh}$ ）が印  
20 加され、ゲート信号線 1 7 b にはオン電圧（ $V_{gl}$ ）が印加されている。この期間は、EL 素子 1 5 に電流が流れている（点灯状態）。また、点灯状態では、EL 素子 1 5 は所定の  $N$  倍の輝度（ $N \cdot B$ ）で点灯し、その点灯期間は  $1 F / N$  である。したがって、1 F を平均した表示パネルの表示輝度は、 $(N \cdot B) \times (1 / N) = B$ （所定輝度）となる。

25 第 1 5 図は、第 1 4 図の動作を各画素行に適用した実施例である。ゲート信号線 1 7 に印加する電圧波形を示している。電圧波形はオフ電圧を  $V_{gh}$ （H レベル）とし、オン電圧を  $V_{gl}$ （L レベル）としている。

（1）、（2）などの添え字は選択している画素行の行番号を示してい

る。

第 15 図において、ゲート信号線 17 a (1) が選択され (V g l 電圧)、選択された画素行のトランジスタ 11 a からソースドライバ 14 に向かってソース信号線 18 にプログラム電流が流れる。このプログラム電流は所定値の N 倍 (説明を容易にするため、 $N = 10$  として説明する。もちろん、所定値とは画像を表示するデータ電流であるから、白ラスタ表示などでない限り固定値ではない。) である。したがって、コンデンサ 19 には 10 倍の電流がトランジスタ 11 a に流れるようにプログラムされる。画素行 (1) が選択されている時は、第 1 図の画素構成ではゲート信号線 17 b (1) はオフ電圧 (V g h) が印加され、EL 素子 15 には電流が流れない。

1 H 後には、ゲート信号線 17 a (2) が選択され (V g l 電圧)、選択された画素行のトランジスタ 11 a からソースドライバ 14 に向かってソース信号線 18 にプログラム電流が流れる。このプログラム電流は所定値の N 倍 (説明を容易にするため、 $N = 10$  として説明する) である。したがって、コンデンサ 19 には 10 倍の電流がトランジスタ 11 a に流れるようにプログラムされる。画素行 (2) が選択されている時は、第 1 図の画素構成ではゲート信号線 17 b (2) はオフ電圧 (V g h) が印加され、EL 素子 15 には電流が流れない。しかし、先の画素行 (1) のゲート信号線 17 a (1) にはオフ電圧 (V g h) が印加され、ゲート信号線 17 b (1) にはオン電圧 (V g l) が印加されるため、点灯状態となっている。

次の 1 H 後には、ゲート信号線 17 a (3) が選択され、ゲート信号線 17 b (3) はオフ電圧 (V g h) が印加され、画素行 (3) の EL 素子 15 には電流が流れない。しかし、先の画素行 (1) (2) のゲート信号線 17 a (1) (2) にはオフ電圧 (V g h) が印加され、ゲート信号線 17 b (1) (2) にはオン電圧 (V g l) が印加されるため、点灯状態となっている。

以上の動作を 1 H の同期信号に同期して画像を表示していく。しかし、第 15 図の駆動方式では、E L 素子 15 には 10 倍の電流が流れる。したがって、表示画面 50 は約 10 倍の輝度で表示される。もちろん、この状態で所定の輝度表示を行うためには、プログラム電流を  $1/10$  に  
5 しておけばよいことは言うまでもない。しかし、 $1/10$  の電流であれば寄生容量などにより書き込み不足が発生するため、高い電流でプログラムし、黒画面 52 の挿入により所定の輝度を得るのが本発明の基本的な主旨である。

ところで、本発明の駆動方法においては、所定電流よりも高い電流が  
10 E L 素子 15 に流れるようにし、ソース信号線 18 の寄生容量を十分に充放電することが要点である。したがって、E L 素子 15 に所定電流の N 倍の電流を流さなくともよい。たとえば、E L 素子 15 に並列に電流経路を形成し（ダミーの E L 素子を形成し、この E L 素子は遮光膜を形成して発光させないなどの処理を施す）、ダミー E L 素子と E L 素子 1  
15 5 とに分けて電流を流しても良い。たとえば、信号電流が  $0.2 \mu A$  のとき、プログラム電流を  $2.2 \mu A$  として、トランジスタ 11a には  $2.2 \mu A$  を流す。この電流のうち、信号電流  $0.2 \mu A$  を E L 素子 15 に流して、 $2 \mu A$  をダミーの E L 素子に流すなどの方式が例示される。つまり、第 27 図のダミー画素行 281 を常時選択状態にする。なお、ダ  
20 ミー画素行は発光させないか、もしくは、遮光膜などを形成し、発光していても視覚的に見えないように構成する。

以上のように構成することにより、ソース信号線 18 に流す電流を N 倍に増加させることにより、駆動用トランジスタ 11a に所定電流の N 倍の電流が流れるようにプログラムすることができ、かつ、E L 素子 1  
25 5 には、前記 N 倍の電流よりは十分小さい電流を流すことができることになる。以上の方法では、第 5 図に図示するように、非点灯領域 52 を設けることなく、全表示領域 50 を画像表示領域 53 とすることができる。

第 1 3 図 (a) は表示画面 5 0 への書き込み状態を図示している。第 1 3 図 (a) において、5 1 a は書き込み画素行である。ソースドライバ 1 4 から各ソース信号線 1 8 にプログラム電流が供給される。なお、第 1 3 図などでは 1 H 期間に書き込む画素行は 1 行である。しかし、何  
5 ら 1 H に限定するものではなく、0.5 H 期間でも、2 H 期間でもよい。また、ソース信号線 1 8 にプログラム電流を書き込むとしたが、本発明は電流プログラム方式に限定するものではなく、ソース信号線 1 8 に書き込まれるのが電圧である電圧プログラム方式 (第 6 2 図など) でもよい。

10 第 1 3 図 (a) において、ゲート信号線 1 7 a が選択されるとソース信号線 1 8 に流れる電流がトランジスタ 1 1 a にプログラムされる。このとき、ゲート信号線 1 7 b にはオフ電圧が印加され、その結果 E L 素子 1 5 には電流が流れない。これは、トランジスタ 1 1 d がオン状態であると、ソース信号線 1 8 から E L 素子 1 5 の容量成分が見え、この容  
15 量に影響されてコンデンサ 1 9 に十分に正確な電流プログラムができなくなるためである。したがって、第 1 図に示す構成を例にすれば、第 1 3 図 (b) で示すように電流が書き込まれている画素行は非点灯領域 5 2 となる。

今、N (ここでは、先に述べたように  $N = 10$  とする) 倍の電流でプログラムしたとすれば、画面の輝度は 10 倍になる。したがって、表示  
20 領域 5 0 の 90% の範囲を非点灯領域 5 2 とすればよい。したがって、画像表示領域の水平走査線が Q C I F (Quarter Common Intermediate Format) の 220 本 ( $S = 220$ ) とすれば、22 本を表示領域 5 3 とし、 $220 - 22 = 198$  本を非表示領域 5 2 とすればよい。一般的に述べれば、水平走査線の本数 (画素行数) を S とすれば、 $S/N$  の領域  
25 を表示領域 5 3 とし、この表示領域 5 3 を N 倍の輝度で発光させる。そして、この表示領域 5 3 を画面の上下方向に走査する。したがって、 $S(N-1)/N$  の領域は非点灯領域 5 2 とする。この非点灯領域は黒表



示（非発光）である。また、この非発光領域 5 2 はトランジスタ 1 1 d をオフさせることにより実現する。なお、N 倍の輝度で点灯させるとしたが、当然のことながら明るさ調整、ガンマ調整により N 倍の値に調整することは言うまでもない。

5      また、先の実施例で、10 倍の電流でプログラムしたとすれば、画面の輝度は 10 倍となるため、表示領域 5 0 の 90 % の範囲を非点灯領域 5 2 とすればよいとした。しかし、これは、R G B の画素を共通に非点灯領域 5 2 とすることに限定するものではない。例えば、R の画素は、 $1/8$  を非点灯領域 5 2 とし、G の画素は、 $1/6$  を非点灯領域 5 2 とし、B の画素は、 $1/10$  を非点灯領域 5 2 と、それぞれの色により変化させてもよい。また、R G B の色で個別に非点灯領域 5 2 （あるいは点灯領域 5 3）を調整できるようにしてもよい。これらを実現するためには、R、G、B で個別のゲート信号線 1 7 b が必要になる。しかし、以上の R G B の個別調整を可能にすることにより、ホワイトバランスを調整することが可能になり、各階調において色のバランス調整が容易になる（第 4 1 図を参照のこと）。

第 1 3 図（b）に図示するように、書き込み画素行 5 1 a を含む画素行を非点灯領域 5 2 とし、書き込み画素行 5 1 a よりも上画面の  $S/N$ （時間的には  $1F/N$ ）の範囲を表示領域 5 3 とする（画面を下から上に走査する場合は、その逆となる）。画像表示状態は、表示領域 5 3 が帯状になって、画面の上から下に移動する。

第 1 3 図の表示では、1 つの表示領域 5 3 が画面の上から下方向に移動する。フレームレートが低いと、表示領域 5 3 が移動するのが視覚的に認識される。特に、まぶたを閉じた時、あるいは顔を上下に移動させた時などに認識されやすくなる。

この課題に対しては、第 1 6 図に図示するように、表示領域 5 3 を複数に分割するとよい。この分割された総和が  $S(N-1)/N$  の面積となれば、第 1 3 図の明るさと同等になる。なお、分割された表示領域 5

3は等しく（等分に）する必要はない。また、同様に分割された非表示領域52も等しくする必要はない。

5 以上のように、表示領域53を複数に分割することにより画面のちらつきは減少する。したがって、フリッカの発生はなく、良好な画像表示を実現できる。なお、分割はもっと細かくしてもよい。しかし、分割するほど動画表示性能は低下することになる。

第17図はゲート信号線17の電圧波形およびELの発光輝度を図示している。第17図で明らかなように、ゲート信号線17bをVg1にする期間（ $1F/N$ ）を複数に分割（分割数K）している。つまり、  
10 Vg1にする期間は $1F/(K/N)$ の期間をK回実施する。このように制御すれば、フリッカの発生を抑制でき、低フレームレートの画像表示を実現できる。また、この画像の分割数も可変できるように構成することが好ましい。たとえば、ユーザーが明るさ調整スイッチを押すことにより、あるいは明るさ調整ボリュームを回すことにより、この変化を検  
15 出してKの値を変更してもよい。また、ユーザーが輝度を調整するように構成してもよい。表示する画像の内容、データにより手動で、あるいは自動的に変化させるように構成してもよい。

なお、第17図などにおいて、ゲート信号線17bをVg1にする期間（ $1F/N$ ）を複数に分割（分割数K）し、 $1F/(K/N)$ の期間  
20 をK回実施することとしたがこれに限定されるわけではない。 $1F/(K/N)$ の期間をL（ $L \neq K$ ）回実施してもよい。つまり、本発明は、EL素子15に流す期間（時間）を制御することにより画像を表示するものである。したがって、 $1F/(K/N)$ の期間をL（ $L \neq K$ ）回実施することは本発明の技術的思想に含まれる。また、Lの値を変化させることにより、画像50の輝度をデジタル的に変更することができる。  
25 たとえば、 $L=2$ と $L=3$ では50%の輝度（コントラスト）変化となる。また、画像の表示領域53を分割する時、ゲート信号線17bをVg1にする期間は同一期間に限定するものではない。

以上の実施例は、E L 素子 1 5 に流れる電流を遮断し、また、E L 素子に流れる電流を接続することにより、表示画面 5 0 をオンオフ（点灯、非点灯）するものであった。つまり、コンデンサ 1 9 に保持された電荷によりトランジスタ 1 1 a に複数回、略同一の電流を流すものである。

5   しかし、本発明はこれに限定するものではない。たとえば、コンデンサ 1 9 に保持された電荷を充放電させることにより、表示画面 5 0 をオンオフ（点灯、非点灯）する方式でもよい。

第 1 8 図は第 1 6 図の画像表示状態を実現するための、ゲート信号線 1 7 に印加する電圧波形を示している。第 1 8 図と第 1 5 図の差異は、  
10   ゲート信号線 1 7 b の動作である。ゲート信号線 1 7 b は画面を分割する個数に対応して、その個数分だけオンオフ（V g l と V g h）動作する。他の点は第 1 5 図と同一であるので説明を省略する。

E L 表示装置では黒表示は完全に非点灯であるから、液晶表示パネルを間欠表示した場合のように、コントラストの低下はない。また、第 1  
15   図に示す構成においては、トランジスタ 1 1 d をオンオフ操作するだけで間欠表示を実現できる。また、第 3 8 図、第 5 1 図の構成においては、トランジスタ素子 1 1 e をオンオフ操作するだけで、間欠表示を実現することができる。これは、コンデンサ 1 9 に画像データがメモリ（アナログ値であるから階調数は無限大）されているからである。つまり、各  
20   画素 1 6 に、画像データは 1 F の期間中は保持されている。この保持されている画像データに相当する電流を E L 素子 1 5 に流すか否かをトランジスタ 1 1 d、1 1 e の制御により実現しているのである。したがって、以上の駆動方法は、電流駆動方式に限定されるものではなく、電圧駆動方式にも適用できるものである。つまり、E L 素子 1 5 に流す電  
25   流が各画素内で保存している構成において、E L 素子 1 5 間の電流経路において駆動用トランジスタ 1 1 をオンオフすることにより、間欠駆動を実現するものである。

コンデンサ 1 9 の端子電圧を維持することは重要である。1 フィールド

ド（フレーム）期間でコンデンサ 19 の端子電圧が変化（充放電）すると、画面輝度が変化し、フレームレートが低下した時にちらつき（フリッカなど）が発生するからである。トランジスタ 11a が 1 フレーム（1 フィールド）期間で EL 素子 15 に流す電流は、少なくとも 65 % 以下に低下しないようにする必要がある。この 65 % とは、画素 16 に書き込み、EL 素子 15 に流す電流の最初が 100 % とした時、次のフレーム（フィールド）で前記画素 16 に書き込む直前の EL 素子 15 に流す電流を 65 % 以上とすることである。

第 1 図の画素構成では、間欠表示を実現する場合としない場合とでは、1 画素を構成するトランジスタ 11 の個数に変化はない。つまり、画素構成はそのまま、ソース信号線 18 の寄生容量の影響を除去し、良好な電流プログラムを実現している。その上、CRT に近い動画表示を実現しているのである。

また、ゲートドライバ 12 の動作クロックはソースドライバ 14 の動作クロックに比較して十分に遅いため、回路のメインクロックが高くなるということはない。また、N の値の変更も容易である。

なお、画像表示方向（画像書き込み方向）は、1 フィールド（1 フレーム）目では画面の上から下方向とし、つぎの第 2 フィールド（フレーム）目では画面の下から上方向としてもよい。つまり、上から下方向と、下から上方向とを交互に繰り返すようにしてもよい。

さらに、1 フィールド（1 フレーム）目では画面の上から下方向とし、いったん、全画面を黒表示（非表示）とした後、つぎの第 2 フィールド（フレーム）目では画面の下から上方向としてもよい。また、いったん、全画面を黒表示（非表示）としてもよい。

なお、以上の駆動方法の説明では、画面の書き込み方法を画面の上から下あるいは下から上としたが、これに限定するものではない。画面の書き込み方向は絶えず、画面の上から下あるいは下から上と固定し、非表示領域 52 の動作方向を 1 フィールド目では画面の上から下方向と

し、つぎの第2フィールド目では画面の下から上方向としてもよい。また、1フレームを3フィールドに分割し、第1のフィールドではR、第2のフィールドではG、第3のフィールドではBとして、3フィールドで1フレームを形成するとしてもよい。また、1水平走査期間（1H）  
5 ごとに、R、G、Bを切り替えて表示してもよい。以上の事項は他の本発明の実施例でも同様である。

非表示領域52は完全に非点灯状態である必要はない。微弱な発光あるいはうっすらとした画像表示があっても実用上は問題ない。つまり、画像表示領域53よりも表示輝度が低い領域と解釈すべきである。また、非表示領域52とは、R、G、B画像表示のうち、1色または2色  
10 のみが非表示状態という場合も含まれる。

基本的には表示領域53の輝度（明るさ）が所定値に維持される場合、表示領域53の面積が広くなるほど、画面50の輝度は高くなる。たとえば、表示領域53の輝度が100（nt）の場合、表示領域53が全  
15 画面50に占める割合が10%から20%にすれば、画面の輝度は2倍となる。したがって、全画面50に占める表示領域53の面積を変化させることにより、画面の表示輝度を変化することができる。

表示領域53の面積はシフトレジスタ61へのデータパルス（ST2）を制御することにより、任意に設定できる。また、データパルスの  
20 入力タイミング、周期を変化させることにより、第16図の表示状態と第13図の表示状態とを切り替えることができる。1F周期でのデータパルス数を多くすれば、画面50は明るくなり、少なくすれば、画面50は暗くなる。また、連続してデータパルスを入力すれば第13図の表示状態となり、間欠にデータパルスを入力すれば第16図の表示状態と  
25 なる。

第19図（a）は第13図のように表示領域53が連続している場合の明るさ調整方式を説明している。第19図（a1）の画面50の表示輝度が最も明るい。第19図（a2）の画面50の表示輝度が次に明る

く、第19図(a3)の画面50の表示輝度が最も暗い。第19図(a1)から第19図(a3)への変化(あるいはその逆)は、先にも記載したようにゲートドライバ12のシフトレジスタ回路61などの制御により、容易に実現できる。この際、第1図のV<sub>dd</sub>電圧は変化させる必要がない。つまり、電源電圧を変化させずに表示画面50の輝度変化を実施できる。また、第19図(a1)から第19図(a3)への変化の際、画面のガンマ特性は全く変化しない。したがって、画面50の輝度によらず、表示画像のコントラスト、階調特性が維持される。これは本発明の効果のある特徴である。従来の画面の輝度調整では、画面50の輝度が低いときは、階調性能が低下する。つまり、高輝度表示の時は64階調表示を実現できて、低輝度表示の時は、半分以下の階調数しか表示できない場合がほとんどである。これに比較して、本発明の駆動方法では、画面の表示輝度に依存せず、最高の64階調表示を実現できる。

第19図(b)は第16図のように表示領域53が分散している場合の明るさ調整方式を説明している。第19図(b1)の画面50の表示輝度が最も明るい。第19図(b2)の画面50の表示輝度が次に明るく、第19図(b3)の画面50の表示輝度が最も暗い。第19図(b1)から第19図(b3)への変化(あるいはその逆)は、先にも記載したようにゲートドライバ12のシフトレジスタ回路61などの制御により、容易に実現できる。第19図(b)のように表示領域53を分散させれば、低フレームレートでもフリッカが発生しない。

さらに低フレームレートでも、フリッカが発生しないようにするには、第19図(c)のように表示領域53を細かく分散させればよい。しかし、動画の表示性能は低下する。したがって、動画を表示するには、第19図(a)の駆動方法が適している。静止画を表示し、低消費電力化を要望する時は、第19図(c)の駆動方法が適している。第19図(a)から第19図(c)の駆動方法の切り替えも、シフトレジスタ61の制

御により容易に実現できる。

第20図はソース信号線18に流れる電流を増大させる他の実施例の説明図である。基本的に複数の画素行を同時に選択し、複数の画素行をあわせた電流でソース信号線18の寄生容量などを充放電し電流書き込み不足を大幅に改善する方式である。ただし、複数の画素行を同時に選択するため、1画素あたりの駆動する電流を減少させることができる。したがって、EL素子15に流れる電流を減少させることができる。ここで、説明を容易にするため、一例として、 $N=10$ として説明する（ソース信号線18に流す電流を10倍にする）。

第20図に示すように、本発明では、K行の画素行を同時に選択する。ソースドライバ14からは所定電流のN倍電流をソース信号線18に印加する。各画素にはEL素子15に流す電流の $N/K$ 倍の電流がプログラムされる。EL素子15を所定の発光輝度とするために、EL素子15に流れる時間を1フレーム（1フィールド）の $K/N$ 時間にする。このように駆動することにより、ソース信号線18の寄生容量を十分に充放電でき、良好な解像度で所定の発光輝度を得ることができる。

つまり、1フレーム（1フィールド）の $K/N$ の間だけ、EL素子15に電流を流し、他の期間（ $1F(N-1)K/N$ ）は電流を流さない。この表示状態では1Fごとに画像データ表示、黒表示（非点灯）が繰り返し表示される。つまり、画像データの表示状態が時間的に飛び飛び表示（間欠表示）状態となる。したがって、画像の輪郭ぼけがなくなり良好な動画表示を実現できる。また、ソース信号線18にはN倍の電流で駆動するため、寄生容量の影響を受けず、高精細表示パネルにも対応できる。

第21図は、第20図の駆動方法を実現するための駆動波形の説明図である。信号波形はオフ電圧を $V_{gh}$ （Hレベル）とし、オン電圧を $V_{gl}$ （Lレベル）としている。各信号線の添え字は画素行の行番号（（1）（2）（3）など）を記載している。なお、行数はQCI F表示パネル

の場合は 220 本であり、VGA パネルでは 480 本である。

第 21 図において、ゲート信号線 17a (1) が選択され (Vg1 電圧)、選択された画素行のトランジスタ 11a からソースドライバ 14 に向かってソース信号線 18 にプログラム電流が流れる。ここでは説明  
5 を容易にするため、まず、書き込み画素行 51a が 1 行目の画素行であるとして説明する。

また、ソース信号線 18 に流れるプログラム電流は所定値の N 倍 (説明を容易にするため、 $N = 10$  として説明する。もちろん、所定値とは画像を表示するデータ電流であるから、白ラスタ表示などでない限り  
10 固定値ではない。) である。また、5 画素行が同時に選択 ( $K = 5$ ) として説明をする。したがって、理想的には 1 つの画素のコンデンサ 19 には 2 倍 ( $N / K = 10 / 5 = 2$ ) に電流がトランジスタ 11a に流れるようにプログラムされる。

書き込み画素行が (1) 画素行目である時、第 21 図で図示したように  
15 に、ゲート信号線 17a は (1) (2) (3) (4) (5) が選択されている。つまり、画素行 (1) (2) (3) (4) (5) のスイッチングトランジスタ 11b、トランジスタ 11c がオン状態である。また、ゲート信号線 17b はゲート信号線 17a の逆位相となっている。したがって、画素行 (1) (2) (3) (4) (5) のスイッチングトラン  
20 ジスタ 11d がオフ状態であり、対応する画素行の EL 素子 15 には電流が流れていない。つまり、非点灯状態 52 である。

理想的には、5 画素のトランジスタ 11a が、それぞれ  $I_w \times 2$  の電流をソース信号線 18 に流す (つまり、ソース信号線 18 には  $I_w \times 2 \times N = I_w \times 2 \times 5 = I_w \times 10$ 。したがって、本発明の N 倍パルス駆  
25 動を実施しない場合が所定電流  $I_w$  とすると、 $I_w$  の 10 倍の電流がソース信号線 18 に流れる)。

以上の動作 (駆動方法) により、各画素 16 のコンデンサ 19 には、2 倍の電流がプログラムされる。ここでは、理解を容易にするため、各



トランジスタ 1 1 a は特性 ( $V_t$ 、 $S$  値) が一致しているとして説明をする。

同時に選択する画素行が 5 画素行 ( $K = 5$ ) であるから、5 つの駆動用トランジスタ 1 1 a が動作する。つまり、1 画素あたり、 $10 / 5 =$   
5 2 倍の電流がトランジスタ 1 1 a に流れる。ソース信号線 1 8 には、5 つのトランジスタ 1 1 a のプログラム電流を加えた電流が流れる。たとえば、書き込み画素行 5 1 a に、本来、書き込む電流  $I_w$  とし、ソース信号線 1 8 には、 $I_w \times 10$  の電流を流す。書き込み画素行 (1) より以降に画像データを書き込む書き込み画素行 5 1 b は、ソース信号線 1  
10 8 への電流量を増加させるため、補助的に用いる画素行である。しかし、書き込み画素行 5 1 b は後に正規の画像データが書き込まれるので問題がない。

したがって、4 画素行 5 1 b において、1 H 期間の間は 5 1 a と同一表示である。そのため、書き込み画素行 5 1 a と電流を増加させるために  
15 選択した画素行 5 1 b とを少なくとも非表示状態 5 2 とするのである。ただし、第 3 8 図のようなカレントミラーの画素構成、その他の電圧プログラム方式の画素構成では表示状態としてもよい。

1 H 後には、ゲート信号線 1 7 a (1) は非選択となり、ゲート信号線 1 7 b にはオン電圧 ( $V_{g1}$ ) が印加される。また、同時に、ゲート  
20 信号線 1 7 a (6) が選択され ( $V_{g1}$  電圧)、選択された画素行 (6) のトランジスタ 1 1 a からソースドライバ 1 4 に向かってソース信号線 1 8 にプログラム電流が流れる。このように動作することにより、画素行 (1) には正規の画像データが保持される。

次の、1 H 後には、ゲート信号線 1 7 a (2) は非選択となり、ゲート  
25 ト信号線 1 7 b にはオン電圧 ( $V_{g1}$ ) が印加される。また、同時に、ゲート信号線 1 7 a (7) が選択され ( $V_{g1}$  電圧)、選択された画素行 (7) のトランジスタ 1 1 a からソースドライバ 1 4 に向かってソース信号線 1 8 にプログラム電流が流れる。このように動作することによ

り、画素行（２）には正規の画像データが保持される。１画素行ずつシフトしながら走査して以上の動作を行うことにより１画面が書き換えられる。

第２０図の駆動方法では、各画素において２倍の電流（電圧）がプログラムされるため、各画素のＥＬ素子１５の発光輝度は理想的には２倍となる。したがって、表示画面の輝度は所定値よりも２倍となる。これを所定の輝度とするためには、第１６図に図示するように、書き込み画素行５１を含み、かつ表示領域５０の１／２の範囲を非表示領域５２とすればよい。

第１３図と同様に、第２０図のように１つの表示領域５３が画面の上から下方向に移動した場合、フレームレートが低いと、表示領域５３が移動する様子が視覚的に認識される。特に、まぶたを閉じた時、あるいは顔を上下に移動させた時などに認識されやすくなる。

この課題に対しては、第２２図に図示するように、表示領域５３を複数に分割するとよい。分割された非表示領域５２を加えた部分が $S(N-1)/N$ の面積となれば、分割しない場合と同一となる。

第２３図はゲート信号線１７に印加する電圧波形である。第２１図と第２３図との差異は、基本的にはゲート信号線１７ｂの動作である。ゲート信号線１７ｂは画面を分割する個数に対応して、その個数分だけオンオフ（ $V_{gl}$ と $V_{gh}$ ）動作する。他の点は第２１図とほぼ同一あるいは類推できるので説明を省略する。

以上のように、表示領域５３を複数に分割することにより画面のちらつきは減少する。したがって、フリッカの発生はなく、良好な画像表示を実現できる。なお、分割はもっと細かくしてもよい。分割すればするほどフリッカは軽減する。特にＥＬ素子１５の応答性は速いため、 $5\mu\text{sec}$ よりも小さい時間でオンオフしても、表示輝度の低下はない。

本発明の駆動方法において、ＥＬ素子１５のオンオフは、ゲート信号線１７ｂに印加する信号のオンオフで制御できる。そのため、クロック

周波数はKHzオーダーの低周波数で制御が可能である。また、黒画面挿入（非表示領域52挿入）を実現するのには、画像メモリなどを必要としない。したがって、低コストで本発明の駆動回路あるいは方法を実現できる。

- 5      第24図は同時に選択する画素行が2画素行の場合である。発明者等が検討した結果によると、低温ポリシリコン技術で形成した表示パネルでは、2画素行を同時に選択する方法は表示均一性が実用的であった。これは、隣接する画素の駆動用トランジスタ11aの特性が極めて一致しているためと推定される。また、レーザーアニールする際に、ストライプ状のレーザーの照射方向はソース信号線18と平行に照射すること  
10      ことで良好な結果が得られた。

- これは同一時間にアニールされる範囲の半導体膜は、その特性が均一となるためである。つまり、ストライプ状のレーザー照射範囲内では半導体膜が均一に作製され、この半導体膜を利用したトランジスタの $V_t$ 、  
15      モビリティがほぼ等しくなるためである。したがって、ソース信号線18の形成方向と平行にストライプ状のレーザーショットを照射し、この照射位置を移動させることにより、ソース信号線18に沿った画素（画素列、画面の上下方向の画素）の特性はほぼ等しく作製される。したがって、複数の画素行を同時にオンさせて電流プログラムを行った場合、  
20      同時に選択された複数の画素行には、プログラム電流を選択された画素行数で割った電流が、ほぼ同一にプログラムされる。したがって、目標値に近い電流プログラムを実施でき、均一表示を実現できる。したがって、レーザーショット方向と第24図などで説明する駆動方式とは相乗効果がある。

- 25      以上のように、レーザーショットの方向をソース信号線18の形成方向と略一致させることにより、画素の上下方向のトランジスタ11aの特性がほぼ同一になり、良好な電流プログラムを実施することができる（画素の左右方向のトランジスタ11aの特性が一致していなくとも）。

以上の動作は、1 H（1 水平走査期間）に同期して、1 画素行あるいは複数画素行ずつ選択画素行の位置をずらして実施する。なお、本発明は、レーザーショットの方向をソース信号線 1 8 と平行にするとしたが、必ずしも平行でなくともよい。ソース信号線 1 8 に対して斜め方向にレーザーショットを照射しても 1 つのソース信号線 1 8 に沿った画素の上下方向のトランジスタ 1 1 a の特性はほぼ一致して形成されるからある。したがって、ソース信号線に平行にレーザーショットを照射するということは、ソース信号線 1 8 の配線方向（上下方向）に隣接した任意の画素を、1 つのレーザー照射範囲に入るように形成するということである。また、ソース信号線 1 8 とは一般的には、画像信号となるプログラム電流あるいは電圧を伝達する配線である。

なお、本発明の実施例では 1 H ごとに、書き込み画素行位置をシフトさせることとしたが、これに限定されるわけではなく、2 H ごとにシフトしてもよく、また、それ以上の画素行ごとにシフトさせてもよい。また、任意の時間単位でシフトしてもよい。さらに、画面位置に応じて、シフトする時間を変化させてもよい。たとえば、画面の中央部でのシフト時間を短くし、画面の上下部でシフト時間を長くしてもよい。また、フレームごとにシフト時間を変化させてもよい。また、連続した複数画素行を選択することに限定するものではない。例えば、1 画素行へだてた画素行を選択してもよい。つまり、第 1 番目の水平走査期間に第 1 番目の画素行と第 3 番目の画素行とを選択し、第 2 番目の水平走査期間に第 2 番目の画素行と第 4 番目の画素行とを選択し、第 3 番目の水平走査期間に第 3 番目の画素行と第 5 番目の画素行とを選択し、第 4 番目の水平走査期間に第 4 番目の画素行と第 6 番目の画素行とを選択するといった駆動方法である。もちろん、第 1 番目の水平走査期間に第 1 番目の画素行と第 3 番目の画素行と第 5 番目の画素行とを選択するという駆動方法も技術的範疇である。もちろん、複数画素行へだてた画素行位置を選択してもよい。

なお、以上のレーザーショット方向と、複数本の画素行を同時に選択するという組み合わせは、第 1 図、第 2 図、第 3 2 図の画素構成のみに限定されるものではなく、カレントミラーの画素構成である第 3 8 図、第 4 2 図、第 5 0 図などの他の電流駆動方式の画素構成にも適用できる  
5 ことはいうまでもない。また、第 4 3 図、第 5 1 図、第 5 4 図、第 6 2 図などの電圧駆動の画素構成にも適用できる。なぜなら、上下方向に隣接する画素のトランジスタの特性が一致していれば、同一のソース信号線 1 8 に印加した電圧値により良好な電圧プログラムを実施できるからである。

10 第 2 4 図において、書き込み画素行が 1 行目である場合、ゲート信号線 1 7 a は (1) (2) が選択されている (第 2 5 図を参照のこと)。つまり、画素行 (1) (2) のスイッチングトランジスタ 1 1 b、トランジスタ 1 1 c がオン状態である。また、ゲート信号線 1 7 b はゲート信号線 1 7 a の逆位相となっている。したがって、少なくとも画素行  
15 (1) (2) のスイッチングトランジスタ 1 1 d がオフ状態であり、対応する画素行の EL 素子 1 5 には電流が流れていない。したがって、かかる画素行は非点灯状態 5 2 となる。なお、第 2 4 図では、フリッカの発生を低減するため、表示領域 5 3 を 5 分割している。

理想的には、2 画素 (行) のトランジスタ 1 1 a が、それぞれ  $I_w \times$   
20  $5$  ( $N = 10$  の場合。つまり、 $K = 2$  であるから、ソース信号線 1 8 に流れる電流は  $I_w \times K \times 5 = I_w \times 10$  となる) の電流をソース信号線 1 8 に流す。そして、各画素 1 6 のコンデンサ 1 9 には、5 倍の電流がプログラムされる。

同時に選択する画素行が 2 画素行 ( $K = 2$ ) であるから、2 つの駆動  
25 用トランジスタ 1 1 a が動作する。つまり、1 画素あたり、 $10 / 2 = 5$  倍の電流がトランジスタ 1 1 a に流れる。ソース信号線 1 8 には、2 つのトランジスタ 1 1 a のプログラム電流を加えた電流が流れる。

たとえば、書き込み画素行 5 1 a に、本来、書き込む電流  $I_d$  を流し、

ソース信号線 18 には、 $I_w \times 10$  の電流を流す。書き込み画素行 51b は後に正規の画像データが書き込まれるので問題がない。画素行 51b は、1H 期間の間は 51a と同一表示である。そのため、書き込み画素行 51a と電流を増加させるために選択した画素行 51b とを少なくとも非表示状態 52 とするのである。

次の、1H 後には、ゲート信号線 17a (1) は非選択となり、ゲート信号線 17b にはオン電圧 ( $V_{g1}$ ) が印加される。また、同時に、ゲート信号線 17a (3) が選択され ( $V_{g1}$  電圧)、選択された画素行 (3) のトランジスタ 11a からソースドライバ 14 に向かってソース信号線 18 にプログラム電流が流れる。このように動作することにより、画素行 (1) には正規の画像データが保持される。

次の、1H 後には、ゲート信号線 17a (2) は非選択となり、ゲート信号線 17b にはオン電圧 ( $V_{g1}$ ) が印加される。また、同時に、ゲート信号線 17a (4) が選択され ( $V_{g1}$  電圧)、選択された画素行 (4) のトランジスタ 11a からソースドライバ 14 に向かってソース信号線 18 にプログラム電流が流れる。このように動作することにより、画素行 (2) には正規の画像データが保持される。1 画素行ずつシフト (もちろん、複数画素行ずつシフトしてもよい。たとえば、擬似インターレース駆動であれば、2 行ずつシフトするであろう。また、画像表示の観点から、複数の画素行に同一画像を書き込む場合もあるであろう) しながら走査して以上の動作を行うことにより 1 画面が書き換えられる。

第 16 図と同様であるが、第 24 図の駆動方法では、各画素には 5 倍の電流 (電圧) でプログラムを行うため、各画素の EL 素子 15 の発光輝度は理想的には 5 倍となる。したがって、表示領域 53 の輝度は所定値の 5 倍となる。これを所定の輝度とするためには、第 16 図などに図示するように、書き込み画素行 51 を含み、かつ表示画面 50 の  $1/5$  の範囲を非表示領域 52 とすればよい。

第 2 7 図に図示するように、2 本の書き込み画素行 5 1 (5 1 a、5 1 b) が選択され、画面 5 0 の上辺から下辺に順次選択されていく (第 2 6 図も参照のこと。第 2 6 図では画素行 1 6 a と 1 6 b が選択されている)。しかし、第 2 7 図 (b) のように、画面の下辺までくると書き込み画素行 5 1 a は存在するが、5 1 b はなくなる。つまり、選択する画素行が 1 本しかなくなる。そのため、ソース信号線 1 8 に印加された電流は、すべて画素行 5 1 a に書き込まれる。したがって、画素行 5 1 a に比較して、2 倍の電流が画素にプログラムされてしまう。

この課題に対して、本発明は、第 2 7 図 (b) に図示するように画面 5 0 の下辺にダミー画素行 2 8 1 を形成 (配置) している。したがって、選択画素行が画面 5 0 の下辺まで選択された場合は、画面 5 0 の最終画素行とダミー画素行 2 8 1 が選択される。そのため、第 2 7 図 (b) の書き込み画素行には、規定どおりの電流が書き込まれる。なお、ダミー画素行 2 8 1 は表示領域 5 0 の上端あるいは下端に隣接して形成したように図示したが、これに限定するものではない。表示領域 5 0 から離れた位置に形成されていてもよい。また、ダミー画素行 2 8 1 は、第 1 図のスイッチングトランジスタ 1 1 d、EL 素子 1 5 などは形成する必要はない。これらを形成しないことにより、ダミー画素行 2 8 1 のサイズを小さくすることができる。

第 2 8 図は第 2 7 図 (b) の状態を示している。第 2 8 図で明らかのように、選択画素行が画面 5 0 の下辺の画素 1 6 c 行まで選択された場合は、画面 5 0 の最終画素行 2 8 1 が選択される。ダミー画素行 2 8 1 は表示領域 5 0 外に配置する。つまり、ダミー画素行 2 8 1 は点灯しない、あるいは点灯させない、もしくは点灯しても表示として見えないように構成する。たとえば、画素電極とトランジスタ 1 1 とのコンタクトホールをなくすとか、ダミー画素行には EL 膜を形成しないなどである。

第 2 7 図では、画面 5 0 の下辺にダミー画素 (行) 2 8 1 を設ける (形成する、配置する) としたが、これに限定するものではない。たとえば、

第29図(a)に図示するように、画面の下辺から上辺に走査する（上下逆転走査）する場合は、第29図(b)に図示するように画面50の上辺にもダミー画素行281を形成すべきである。つまり、画面50の上辺および下辺のそれぞれにダミー画素行281を形成（配置）する。

5 以上のように構成することにより、画面の上下反転走査にも対応できるようになる。

以上の実施例は、2画素行を同時に選択する場合であった。しかし、本発明はこれに限定されるものではなく、たとえば、5画素行を同時選択する方式（第23図を参照のこと）でもよい。つまり、5画素行同時

10 駆動の場合は、ダミー画素行281は4行分形成すればよい。本発明のダミー画素行構成あるいはダミー画素行駆動は、少なくとも1つ以上のダミー画素行を用いる方式である。もちろん、ダミー画素行駆動方法とN倍パルス駆動とを組み合わせる用いることが好ましい。

複数本の画素行を同時に選択する駆動方法では、同時に選択する画素

15 行数が増加するほど、トランジスタ11aの特性バラツキを吸収することが困難になる。しかし、選択本数が低下すると、1画素にプログラムする電流が大きくなり、EL素子15に大きな電流を流すことになる。EL素子15に流す電流が大きいとEL素子15が劣化しやすくなる。

第30図はこの課題を解決するものである。第30図に示した本発明

20 の基本概念は、 $1/2H$ （水平走査期間の $1/2$ ）は、第22図、第29図で説明したように、複数の画素行を同時に選択する方法である。その後の $1/2H$ （水平走査期間の $1/2$ ）は第5図、第13図などで説明したように、1画素行を選択する方法を組み合わせたものである。このように組み合わせた場合、トランジスタ11aの特性バラツキが吸収

25 されるため、高速にかつ面内均一性を良好にすることができる。

第30図において、説明を容易にするため、第1の期間では5画素行を同時に選択し、第2の期間では1画素行を選択するとして説明をする。まず、第1の期間（前半の $1/2H$ ）では、第30図(a1)に図示す



るように、5画素行を同時に選択する。この動作は第22図を用いて説明したので省略する。一例としてソース信号線18に流す電流は所定値の25倍とする。したがって、各画素16のトランジスタ11a（第1図の画素構成の場合）には5倍の電流（ $25 / 5 \text{画素行} = 5$ ）がプログラムされる。25倍の電流であるから、ソース信号線18などに発生する寄生容量は極めて短時間に充放電される。したがって、ソース信号線18の電位は、短時間で目標の電位となり、各画素16のコンデンサ19の端子電圧も5倍電流を流すようにプログラムされる。この25倍電流の印加時間は前半の $1 / 2 H$ （1水平走査期間の $1 / 2$ ）とする。

10 当然のことながら、書き込み画素行の5画素行は同一画像データが書き込まれるため、表示を行わないように5画素行のトランジスタ11dはオフ状態とされる。したがって、表示状態は第30図（a2）に示すとおりとなる。

次の後半の $1 / 2 H$ 期間は、1画素行を選択し、電流（電圧）プログラムを行う。この状態を第30図（b1）に図示している。書き込み画素行51aは先と同様に5倍の電流を流すように電流（電圧）プログラムされる。第30図（a1）と第30図（b1）とで各画素に流す電流を同一にするのは、プログラムされたコンデンサ19の端子電圧の変化を小さくして、より高速に目標の電流を流せるようにするためである。

20 つまり、第30図（a1）で、複数の画素に電流を流し、高速に概略の電流が流れる値まで近づける。この第1の段階では、複数のトランジスタ11aでプログラムしているため、目標値に対してトランジスタのバラツキによる誤差が発生している。次の第2の段階で、データを書き込みかつ保持する画素行のみを選択して、概略の目標値から、所定の目標値まで完全なプログラムを行うのである。

25 なお、非点灯領域52を画面の上から下方向に走査し、また、書き込み画素行51aも画面の上から下方向に走査することは第13図などの実施例と同様であるので説明を省略する。

第 3 1 図は第 3 0 図の駆動方法を実現するための駆動波形である。第 3 1 図でわかるように、1 H（1 水平走査期間）は 2 つのフェーズで構成されている。この 2 つのフェーズは I S E L 信号で切り替える。I S E L 信号は第 3 1 図に図示している。

5       まず、I S E L 信号について説明をしておく。第 3 0 図を実施するドライバ回路 1 4 は、第 1 電流出力回路と第 2 電流出力回路とを具備している。これらの第 1 および第 2 電流出力回路は、8 ビットの階調データを D A 変換する D A 回路およびオペアンプなどから構成される。第 3 0 図の実施例では、第 1 電流出力回路は 2 5 倍の電流を出力するように構成されている。一方、第 2 電流出力回路は 5 倍の電流を出力するように構成されている。第 1 電流出力回路および第 2 電流出力回路の出力は I S E L 信号により電流出力部に形成（配置）されたスイッチ回路が制御され、ソース信号線 1 8 に印加される。これらの第 1 および第 2 電流出力回路は各ソース信号線に配置されている。

15       I S E L 信号は、L レベルの時、2 5 倍電流を出力する第 1 電流出力回路が選択されてソース信号線 1 8 からの電流をソースドライバ 1 4 が吸収する（より適切には、ソースドライバ 1 4 内に形成された第 1 電流出力回路が吸収する）。2 5 倍、5 倍などの第 1 および第 2 電流出力回路電流の大きさ調整は容易である。複数の抵抗とアナログスイッチで  
20       容易に構成できるからである。

第 3 0 図に示すように書き込み画素行が 1 行目である時（第 3 0 図の 1 H の欄を参照）、ゲート信号線 1 7 a は（1）（2）（3）（4）（5）が選択されている（第 1 図の画素構成の場合）。つまり、画素行（1）（2）（3）（4）（5）のスイッチングトランジスタ 1 1 b、トラン  
25       ジスタ 1 1 c がオン状態である。また、I S E L が L レベルであるから、2 5 倍電流を出力する第 1 電流出力回路が選択され、ソース信号線 1 8 と接続されている。また、ゲート信号線 1 7 b には、オフ電圧（V g h）が印加されている。したがって、画素行（1）（2）（3）（4）（5）

のスイッチングトランジスタ 11d がオフ状態であり、対応する画素行の EL 素子 15 には電流が流れていない。つまり、非点灯状態 52 である。

理想的には、5 画素のトランジスタ 11a が、それぞれ  $I_w \times 2$  の電流をソース信号線 18 に流す。そして、各画素 16 のコンデンサ 19 には、5 倍の電流がプログラムされる。ここでは、理解を容易にするため、各トランジスタ 11a は特性 ( $V_t$ 、 $S$  値) が一致しているとして説明をする。

同時に選択する画素行が 5 画素行 ( $K=5$ ) であるから、5 つの駆動用トランジスタ 11a が動作する。つまり、1 画素あたり、 $25/5 = 5$  倍の電流がトランジスタ 11a に流れる。ソース信号線 18 には、5 つのトランジスタ 11a のプログラム電流を加えた電流が流れる。たとえば、書き込み画素行 51a に、従来の駆動方法で画素に書き込む電流  $I_w$  とする時、ソース信号線 18 には、 $I_w \times 25$  の電流を流す。書き込み画素行 (1) より以降に画像データを書き込む書き込み画素行 51b

10 15

ソース信号線 18 への電流量を増加させるため、補助的に用いる画素行である。しかし、書き込み画素行 51b は後に正規の画像データが書き込まれるので問題がない。

したがって、画素行 51b は、1 H 期間の間は書き込み画素行 51a と同一表示である。そのため、書き込み画素行 51a と電流を増加させるために選択した画素行 51b とを少なくとも非表示状態 52 とするのである。

20

次の  $1/2$  H (水平走査期間の  $1/2$ ) では、書き込み画素行 51a のみを選択する。つまり、1 行目のみを選択する。第 31 図で明らかのように、ゲート信号線 17a (1) のみが、オン電圧 ( $V_{gl}$ ) が印加され、ゲート信号線 17a (2) (3) (4) (5) はオフ ( $V_{gh}$ ) が印加されている。したがって、画素行 (1) のトランジスタ 11a は動作状態 (ソース信号線 18 に電流を供給している状態) であるが、画

25

素行 (2) (3) (4) (5) のスイッチングトランジスタ 11b、トランジスタ 11c がオフ状態である。つまり、非選択状態である。また、ISEL が H レベルであるから、5 倍電流を出力する電流出力回路 B が選択され、この電流出力回路 B とソース信号線 18 とが接続されている。

5 また、ゲート信号線 17b の状態は先の 1/2 H の状態と変化がなく、オフ電圧 ( $V_{gh}$ ) が印加されている。したがって、画素行 (1) (2) (3) (4) (5) のスイッチングトランジスタ 11d がオフ状態であり、対応する画素行の EL 素子 15 には電流が流れていない。よって、かかる画素行は非点灯状態 52 となる。

10 以上のことから、画素行 (1) のトランジスタ 11a が、それぞれ  $I_w \times 5$  の電流をソース信号線 18 に流す。そして、各画素行 (1) のコンデンサ 19 には、5 倍の電流がプログラムされる。

次の水平走査期間では 1 画素行、書き込み画素行がシフトする。つまり、今度は書き込み画素行が (2) である。最初の 1/2 H の期間では、  
15 第 31 図に示すように書き込み画素行が 2 行目である場合、ゲート信号線 17a は (2) (3) (4) (5) (6) が選択されている。つまり、画素行 (2) (3) (4) (5) (6) のスイッチングトランジスタ 11b、トランジスタ 11c がオン状態である。また、ISEL が L レベルであるから、25 倍電流を出力する第 1 電流出力回路が選択され、ソース信号線 18 と接続されている。また、ゲート信号線 17b には、オフ電圧 ( $V_{gh}$ ) が印加されている。したがって、画素行 (2) (3) (4) (5) (6) のスイッチングトランジスタ 11d がオフ状態であり、対応する画素行の EL 素子 15 には電流が流れていない。よって、かかる画素行は非点灯状態 52 となる。一方、画素行 (1) のゲート信号線 17b (1) は  $V_{g1}$  電圧が印加されているから、トランジスタ 11d はオン状態であり、画素行 (1) の EL 素子 15 は点灯する。  
25

同時に選択する画素行が 5 画素行 ( $K=5$ ) であるから、5 つの駆動用トランジスタ 11a が動作する。つまり、1 画素あたり、 $25/5 =$

5 倍の電流がトランジスタ 1 1 a に流れる。ソース信号線 1 8 には、5 つのトランジスタ 1 1 a のプログラム電流を加えた電流が流れる。

次の 1 / 2 H（水平走査期間の 1 / 2）では、書き込み画素行 5 1 a のみを選択する。つまり、2 行目のみを選択する。第 3 1 図で明らかなように、ゲート信号線 1 7 a（2）のみが、オン電圧（V g 1）が印加され、ゲート信号線 1 7 a（3）（4）（5）（6）はオフ（V g h）が印加されている。したがって、画素行（1）（2）のトランジスタ 1 1 a は動作状態（画素行（1）は EL 素子 1 5 に電流を流し、画素行（2）はソース信号線 1 8 に電流を供給している状態）であるが、画素行（3）（4）（5）（6）のスイッチングトランジスタ 1 1 b、トランジスタ 1 1 c がオフ状態である。つまり、非選択状態である。また、I S E L が H レベルであるから、5 倍電流を出力する第 2 電流出力回路が選択される。また、ゲート信号線 1 7 b の状態は先の 1 / 2 H の状態と変化がなく、オフ電圧（V g h）が印加されている。したがって、画素行（2）（3）（4）（5）（6）のスイッチングトランジスタ 1 1 d がオフ状態であり、対応する画素行の EL 素子 1 5 には電流が流れていない。よって、かかる画素行は非点灯状態 5 2 となる。

以上のことから、画素行（２）のトランジスタ１１aが、それぞれ  $I_w \times 5$  の電流をソース信号線１８に流す。そして、各画素行（２）のコンデンサ１９には、５倍の電流がプログラムされる。以上の動作を順次、実施することにより１画面を表示することができる。

第 30 図で説明した駆動方法は、第 1 の期間で G 画素行（G は 2 以上）を選択し、各画素行には N 倍の電流を流すようにプログラムする。第 1 の期間後の第 2 の期間では B 画素行（B は G よりも小さく、1 以上）を選択し、画素には N 倍の電流を流すようにプログラムする方式である。

しかし、他の方策もある。第 1 の期間で G 画素行（G は 2 以上）を選択し、各画素行の総和電流が N 倍の電流となるようにプログラムする。

第 1 の期間後の第 2 の期間では B 画素行（B は G よりも小さく、1 以上）を選択し、選択された画素行の総和の電流（ただし、選択画素行が 1 の時は、1 画素行の電流）が N 倍となるようにプログラムする方式である。たとえば、第 30 図（a 1）において、5 画素行を同時に選択し、  
5 各画素のトランジスタ 11a には 2 倍の電流を流す。これにより、ソース信号線 18 には  $5 \times 2$  倍 = 10 倍の電流が流れる。次の第 2 の期間では第 30 図（b 1）において、1 画素行を選択する。この 1 画素のトランジスタ 11a には 10 倍の電流を流す。

なお、第 31 図において、複数の画素行を同時に選択する期間を  $1/2 H$  とし、1 画素行を選択する期間を  $1/2 H$  としたがこれに限定するものではない。複数の画素行を同時に選択する期間を  $1/4 H$  とし、1 画素行を選択する期間を  $3/4 H$  としてもよい。また、複数の画素行を同時に選択する期間と、1 画素行を選択する期間とを加えた期間は  $1 H$  としたがこれに限定するものではない。たとえば、 $2 H$  期間でも、 $1.5 H$  期間であっても良い。  
15

また、第 30 図において、5 画素行を同時に選択する期間を  $1/2 H$  とし、次の第 2 の期間では 2 画素行を同時に選択するとしてもよい。この場合でも実用上、支障のない画像表示を実現できる。

また、第 30 図において、5 画素行を同時に選択する第 1 の期間を  $1/2 H$  とし、1 画素行を選択する第 2 の期間を  $1/2 H$  とする 2 段階としたがこれに限定するものではない。たとえば、第 1 の段階は、5 画素行を同時に選択し、第 2 の期間は前記 5 画素行のうち、2 画素行を選択し、最後に、1 画素行を選択する 3 つの段階としてもよい。つまり、複数の段階で画素行に画像データを書き込んでも良い。  
20

25 以上の本発明の N 倍パルス駆動方法では、各画素行で、ゲート信号線 17b の波形を同一にし、 $1 H$  の間隔でシフトさせて印加していく。このように走査することにより、EL 素子 15 が点灯している時間を  $1 F/N$  に規定しながら、順次、点灯する画素行をシフトさせることができ

る。このように、各画素行で、ゲート信号線 17 b の波形を同一にし、シフトさせていることを実現することは容易である。第 6 図のシフトレジスタ回路 61 a、61 b に印加するデータである S T 1、S T 2 を制御すればよいからである。たとえば、入力 S T 2 が L レベルの時、ゲート信号線 17 b に V g l が出力され、入力 S T 2 が H レベルの時、ゲート信号線 17 b に V g h が出力されるとすれば、シフトレジスタ 17 b に印加する S T 2 を  $1 F / N$  の期間だけ L レベルで入力し、他の期間は H レベルにする。この入力された S T 2 を 1 H に同期したクロック C L K 2 でシフトしていくだけである。

- 10   なお、E L 素子 15 をオンオフする周期は  $0.5 \text{ msec}$  以上にする必要がある。この周期が短いと、人間の目の残像特性により完全な黒表示状態とならず、画像がぼやけたようになり、あたかも解像度が低下したようになる。また、データ保持型の表示パネルの表示状態となる。しかし、オンオフ周期を  $100 \text{ msec}$  以上にすると、点滅状態に見える。
- 15   したがって、E L 素子のオンオフ周期は  $0.5 \mu \text{sec}$  以上  $100 \text{ msec}$  以下にすべきである。さらに好ましくは、オンオフ周期を  $2 \text{ msec}$  以上  $30 \text{ msec}$  以下にすべきである。さらに好ましくは、オンオフ周期を  $3 \text{ msec}$  以上  $20 \text{ msec}$  以下にすべきである。

20   先にも記載したが、黒画面 152 の分割数は、1 つにすると良好な動画表示を実現できるが、画面のちらつきが見えやすくなる。したがって、黒挿入部を複数に分割することが好ましい。しかし、分割数をあまりに多くすると動画ボケが発生する。分割数は 1 以上 8 以下とすべきである。さらに好ましくは 1 以上 5 以下とすることが好ましい。

25   なお、黒画面の分割数は静止画と動画で変更できるように構成することが好ましい。分割数とは、 $N = 4$  では、75 % が黒画面であり、25 % が画像表示である。このとき、75 % の黒表示部を 75 % の黒帯状態で画面の上下方向に走査するのが分割数 1 である。25 % の黒画面を  $25 / 3$  % の表示画面の 3 ブロックで走査するのが分割数 3 である。静止画

は分割数を多くする。動画は分割数を少なくする。切り替えは入力画像に応じて自動的（動画検出など）に行っても良く、ユーザーが手動で行ってもよい。また、表示装置の映像などに入力コンセントに対応して切り替え可能なように構成すればよい。

5     たとえば、携帯型電話機などにおいて、壁紙表示、入力画面では、分割数を10以上とする（極端には1Hごとにオンオフしてもよい）。NTSCの動画を表示するときは、分割数を1以上5以下とする。なお、分割数は3以上の多段階に切り替えできるように構成することが好ましい。たとえば、分割数なし、2、4、8などである。

10     また、全表示画面に対する黒画面の割合は、全画面の面積を1とした場合に0.2以上0.9以下（Nで表示すれば1.2以上9以下）とすることが好ましい。また、特に0.25以上0.6以下（Nで表示すれば1.25以上6以下）とすることが好ましい。0.20以下であると動画表示での改善効果が低い。0.9以上であると、表示部分の輝度が  
15     高くなり、表示部分が上下に移動することが視覚的に認識されやすくなる。

また、1秒あたりのフレーム数は、10以上100以下（10Hz以上100Hz以下）が好ましい。さらには12以上65以下（12Hz以上65Hz以下）が好ましい。フレーム数が少ないと、画面のちらつきが目立つようになり、あまりにもフレーム数が多いと、ドライバ回路  
20     14などからの書き込みが困難となり解像度が劣化する。

いずれにせよ、本発明では、ゲート信号線17の制御により画像の明るさを変化させることができる。ただし、画像の明るさはソース信号線18に印加する電流（電圧）を変化させて行ってもよいことは言うまでもない。また、先に説明した（第33図、第35図などを用いて）ゲート信号線17の制御と、ソース信号線18に印加する電流（電圧）を変化させることを組み合わせて行ってもよいことは言うまでもない。  
25

なお、以上の事項は、第38図などの電流プログラムの画素構成、第



4 3 図、第 5 1 図、第 5 4 図などの電圧プログラムの画素構成でも適用  
できることは言うまでもない。第 3 8 図では、トランジスタ 1 1 d を、  
第 4 3 図ではトランジスタ 1 1 d を、第 5 1 図ではトランジスタ 1 1 e  
をオンオフ制御すればよい。このように、E L 素子 1 5 に電流を流す配  
5 線をオンオフすることにより、本発明の N 倍パルス駆動を容易に実現で  
きる。

また、ゲート信号線 1 7 b の  $1 F / N$  の期間だけ、 $V g 1$  にする時刻  
は  $1 F$  ( $1 F$  に限定するものではない。単位期間でよい。) の期間のう  
ち、どの時刻でもよい。単位時間のうち、所定の期間だけ E L 素子 1 5  
10 をオンさせることにより、所定の平均輝度を得るものだからである。た  
だし、電流プログラム期間 ( $1 H$ ) 後、すぐにゲート信号線 1 7 b を  $V g 1$   
にして E L 素子 1 5 を発光させる方がよい。第 1 図のコンデンサ 1  
9 の保持率特性の影響を受けにくくなるからである。

また、この画像の分割数も可変できるように構成することが好ましい。  
15 たとえば、ユーザーが明るさ調整スイッチを押すことにより、あるいは  
明るさ調整ボリュームを回すことにより、この変化を検出して  $K$  の値を変  
更する。表示する画像の内容、データにより手動で、あるいは自動的に  
変化させるように構成してもよい。

このように  $K$  の値 (画像表示部 5 3 の分割数) を変化させることも容  
20 易に実現できる。第 6 図において  $S T$  に印加するデータのタイミング  
( $1 F$  のいつに  $L$  レベルにするか) を調整あるいは可変できるように構  
成しておけばよいからである。

なお、第 1 6 図などでは、ゲート信号線 1 7 b を  $V g 1$  にする期間 ( $1 F / N$ ) を複数に分割 (分割数  $K$ ) し、 $V g 1$  にする期間は  $1 F / (K / N)$  の期間を  $K$  回実施するとしたがこれに限定されるものではない。  
25  $1 F / (K / N)$  の期間を  $L$  ( $L \neq K$ ) 回実施してもよい。つまり、本  
発明は、E L 素子 1 5 に流す期間 (時間) を制御することにより画像 5  
0 を表示するものである。したがって、 $1 F / (K / N)$  の期間を  $L$  ( $L$

≠ K) 回実施することは本発明の技術的思想に含まれる。また、L の値を変化させることにより、画像 50 の輝度をデジタル的に変更することができる。たとえば、L = 2 と L = 3 とでは 50 % の輝度（コントラスト）変化となる。これらの制御も、本発明の他の実施例にも適用できることは言うまでもない（もちろん、以降に説明する本発明にも適用できる）。これらも本発明の N 倍パルス駆動である。

以上の実施例は、EL 素子 15 と駆動用トランジスタ 11 a との間にスイッチング素子としてのトランジスタ 11 d を配置（形成）し、このトランジスタ 11 d を制御することにより、画面 50 をオンオフ表示するものであった。この駆動方法により、電流プログラム方式の黒表示状態での電流書き込み不足をなくし、良好な解像度あるいは黒表示を実現するものであった。つまり、電流プログラム方式では、良好な黒表示を実現することが大きな利点である。次に説明する駆動方法は、駆動用トランジスタ 11 a をリセットし、良好な黒表示を実現するものである。

以下、第 3 2 図を用いて、その実施例について説明をする。

第 3 2 図は基本的には第 1 図に示した画素構成と同様である。第 3 2 図の画素構成では、プログラムされた I<sub>w</sub> 電流が EL 素子 15 に流れ、EL 素子 15 が発光する。つまり、駆動用トランジスタ 11 a はプログラムされることにより、電流を流す能力を保持している。この電流を流す能力を利用してトランジスタ 11 a をリセット（オフ状態）にする方式が第 3 2 図に示す駆動方式である。以降、この駆動方式をリセット駆動と呼ぶ。

第 1 図の画素構成でリセット駆動を実現するためには、トランジスタ 11 b とトランジスタ 11 c を独立してオンオフ制御できるように構成する必要がある。つまり、第 3 2 図で図示するようにトランジスタ 11 b をオンオフ制御するゲート信号線 17 a（ゲート信号線 WR）、トランジスタ 11 c をオンオフ制御するゲート信号線 17 c（ゲート信号線 EL）を独立して制御できるようにする。ゲート信号線 17 a および

ゲート信号線 17c の制御は第 6 図に図示するように独立した 2 つのシフトレジスタ 61 で行えばよい。

ゲート信号線 WR とゲート信号線 EL の駆動電圧は変化させるとよい。ゲート信号線 WR の振幅値（オン電圧とオフ電圧との差）は、ゲート信号線 EL の振幅値よりも小さくする。基本的にゲート信号線の振幅値が大きいと、ゲート信号線と画素との突き抜け電圧が大きくなり、黒浮きが発生する。ゲート信号線 WR の振幅は、ソース信号線 18 の電位が画素 16 に印加されない（印加する（選択時））を制御すればよいのである。ソース信号線 18 の電位変動は小さいから、ゲート信号線 WR の振幅値は小さくすることができる。一方、ゲート信号線 EL は EL のオンオフ制御を実施する必要がある。したがって、振幅値は大きくなる。これに対応するため、シフトレジスタ 61a と 61b との出力電圧を変化させる。画素が P チャンネルトランジスタで形成されている場合は、シフトレジスタ 61a および 61b の  $V_{gh}$ （オフ電圧）を略同一にし、シフトレジスタ 61a の  $V_{g1}$ （オン電圧）をシフトレジスタ 61b の  $V_{g1}$ （オン電圧）よりも低くする。

以下、第 33 図を参照しながら、リセット駆動方式について説明をする。第 33 図はリセット駆動の原理説明図である。まず、第 33 図 (a) に図示するように、トランジスタ 11c、トランジスタ 11d をオフ状態にし、トランジスタ 11b をオン状態にする。すると、駆動用トランジスタ 11a のドレイン (D) 端子とゲート (G) 端子はショート状態となり、 $I_b$  電流が流れる。一般的に、トランジスタ 11a は 1 つ前のフィールド (フレーム) で電流プログラムされ、電流を流す能力がある。この状態でトランジスタ 11d がオフ状態となり、トランジスタ 11b がオン状態となれば、駆動電流  $I_b$  がトランジスタ 11a のゲート (G) 端子に流れる。そのため、トランジスタ 11a のゲート (G) 端子とドレイン (D) 端子とが同一電位となり、トランジスタ 11a はリセット（電流を流さない状態）になる。

このトランジスタ 11 a のリセット状態（電流を流さない状態）は、第 51 図などを参照して説明する電圧オフセットキャンセラ方式のオフセット電圧を保持した状態と等価である。つまり、第 33 図（a）の状態では、コンデンサ 19 の端子間には、オフセット電圧が保持されていることになる。このオフセット電圧はトランジスタ 11 a の特性に応じて異なる電圧値である。したがって、第 33 図（a）の動作を実施することにより、各画素のコンデンサ 19 にはトランジスタ 11 a が電流を流さない（つまり、黒表示電流（ほとんど 0 に等しい）が保持される）ことになるのである。

10    なお、第 33 図（a）の動作の前に、トランジスタ 11 b、トランジスタ 11 c をオフ状態にし、トランジスタ 11 d をオン状態にし、駆動用トランジスタ 11 a に電流を流すという動作を実施することが好ましい。この動作は、極力短時間にすることが好ましい。EL 素子 15 に電流が流れて EL 素子 15 が点灯し、表示コントラストを低下させる恐れがあるからである。この動作時間は、1 H（1 水平走査期間）の 0.1 % 以上 10 % 以下とすることが好ましい。さらに好ましくは 0.2 % 以上 2 % 以下となるようにすることが好ましい。もしくは 0.2  $\mu$  s e c 以上 5  $\mu$  s e c 以下となるようにすることが好ましい。また、全画面の画素 16 に一括して前述の動作（第 33 図（a）の前に行う動作）を  
20    実施してもよい。以上の動作を実施することにより、駆動用トランジスタ 11 a のドレイン（D）端子電圧が低下し、第 33 図（a）の状態ですmoothな電流 I b を流すことができるようになる。なお、以上の事項は、本発明の他のリセット駆動方式にも適用される。

第 33 図（a）に示す状態の実施時間を長くするほど、電流 I b が流れ、コンデンサ 19 の端子電圧が小さくなる傾向がある。したがって、第 33 図（a）に示す状態の実施時間は固定値にする必要がある。発明者等による実験および検討によれば、第 33 図（a）に示す状態の実施時間は、1 H 以上 5 H 以下にすることが好ましい。なお、この期間は、  
25

R、G、Bの画素で異ならせることが好ましい。各色の画素でEL材料が異なり、このEL材料の立ち上がり電圧などに差異があるためである。R G Bの各画素で、EL材料に適応して、もっとも最適な期間を設定する。なお、実施例において、この期間は1 H以上5 H以下にするとしたが、黒挿入（黒画面を書き込む）を主とする駆動方式では、5 H以上であってよいことは言うまでもない。なお、この期間が長いほど、画素の黒表示状態は良好となる。

第33図（a）に示す状態を実施後、1 H以上5 H以下の期間において、第33図（b）に示す状態にする。第33図（b）はトランジスタ11c、トランジスタ11bをオンさせ、トランジスタ11dをオフさせた状態である。第33図（b）に示す状態は、以前にも説明したが、電流プログラムを行っている状態である。つまり、ソースドライバ14からプログラム電流 $I_w$ を出力（あるいは吸収）し、このプログラム電流 $I_w$ を駆動用トランジスタ11aに流す。このプログラム電流 $I_w$ が流れるように、駆動用トランジスタ11aのゲート（G）端子の電位を設定するのである（設定電位はコンデンサ19に保持される）。

もし、プログラム電流 $I_w$ が0（A）であれば、トランジスタ11aは第33図（a）に示す電流を流さない状態が保持されたままとなるから、良好な黒表示を実現できる。また、第33図（b）に示す状態で白表示の電流プログラムを行う場合であって、各画素の駆動用トランジスタの特性バラツキが発生しているときでも、黒表示状態のオフセット電圧から電流プログラムを完全に行うことができる。したがって、目標の電流値にプログラムされる時間が階調に応じて等しくなる。そのため、トランジスタ11aの特性バラツキによる階調誤差がなく、良好な画像表示を実現できる。

第33図（b）に示す状態の電流プログラミング後、第33図（c）に図示するように、トランジスタ11bとトランジスタ11cとをオフし、トランジスタ11dをオンさせて、駆動用トランジスタ11aから

のプログラム電流  $I_w (= I_e)$  を EL 素子 15 に流し、EL 素子 15 を発光させる。第 33 図 (c) に関しても、第 1 図などで以前に説明をしたので詳細は省略する。

つまり、第 33 図で説明した駆動方式 (リセット駆動) は、駆動用ト  
5 ランジスタ 11a と EL 素子 15 間とを切断 (電流が流れない状態) し、  
かつ、駆動用トランジスタのドレイン (D) 端子とゲート (G) 端子 (も  
しくはソース (S) 端子とゲート (G) 端子、さらに一般的に表現すれ  
ば駆動用トランジスタのゲート (G) 端子を含む 2 端子) との間をショ  
ートする第 1 の動作と、前記動作の後、駆動用トランジスタに電流 (電  
10 圧) プログラムを行う第 2 の動作とを実施するものである。そして、少  
なくとも第 2 の動作は第 1 の動作後に行うものである。なお、リセット  
駆動を実施するためには、第 32 図の構成のように、トランジスタ 11  
b とトランジスタ 11c とを独立に制御できるように、構成しておかね  
ばならない。

15 画像表示状態は (もし、瞬時的な変化が観察できるのであれば)、ま  
ず、電流プログラムが行われる画素行は、リセット状態 (黒表示状態)  
になり、1 H 後に電流プログラムが行われる (この時も黒表示状態であ  
る。トランジスタ 11d がオフだからである。)。次に、EL 素子 15  
に電流が供給され、画素行は所定輝度 (プログラムされた電流) で発光  
20 する。つまり、画面の上から下方向に、黒表示の画素行が移動し、この  
画素行が通りすぎた位置で画像が書き換わっていくように見えるはず  
である。なお、リセット後、1 H 後に電流プログラムを行うとしたがこ  
の期間は、5 H 程度以内としてもよい。第 33 図 (a) に示すリセット  
が完全に行われるのに比較的長時間を必要とするからである。もし、こ  
25 の期間を 5 H とすれば、5 画素行が黒表示 (電流プログラムの画素行も  
含めると 6 画素行) となるはずである。

また、リセット状態は 1 画素行ずつ行うことに限定するものではなく、  
複数画素行ずつ同時にリセット状態にしてもよい。また、複数画素行ず

- つ同時にリセット状態にし、かつオーバーラップしながら走査してもよい。たとえば、4画素行を同時にリセットするのであれば、第1の水平走査期間（1単位）に、画素行（1）（2）（3）（4）をリセット状態にし、次の第2の水平走査期間に、画素行（3）（4）（5）（6）
- 5    をリセット状態にし、さらに次の第3の水平走査期間に、画素行（5）（6）（7）（8）をリセット状態にする。また、次の第4の水平走査期間に、画素行（7）（8）（9）（10）をリセット状態にするという駆動状態が例示される。なお、当然、第33図（b）、第33図（c）に示す駆動状態も第33図（a）に示す駆動状態と同期して実施される。
- 10    また、1画面の画素すべてを同時にあるいは走査状態でリセット状態にしてから、第33図（b）、（c）に示す駆動を実施してもよいことは言うまでもない。また、インターレース駆動状態（1画素行あるいは複数画素行の飛び越し走査）で、リセット状態（1画素行あるいは複数画素行飛び越し）にしてもよいことは言うまでもない。また、ランダム
- 15    のリセット状態を実施してもよい。また、本発明のリセット駆動の説明は、画素行を操作する方式である（つまり、画面の上下方向の制御する）。しかし、リセット駆動の概念は、制御方向が画素行に限定されるものではない。たとえば、画素列方向にリセット駆動を実施してもよいことは言うまでのない。
- 20    なお、第33図に示すリセット駆動は、本発明のN倍パルス駆動などと組み合わせること、インターレース駆動と組み合わせることによりさらに良好な画像表示を実現できる。特に第22図に示す構成は、間欠N/K倍パルス駆動（1画面に点灯領域を複数設ける駆動方法である。この駆動方法は、ゲート信号線17bを制御し、トランジスタ11dをオン
- 25    オフ動作させることにより容易に実現できる。このことは以前に説明をした。）を容易に実現できるので、フリッカの発生もなく、良好な画像表示を実現できる。これは、第22図に示した構成あるいはその変形構成のすぐれた特徴である。また、他の駆動方法、たとえば、以降の説

明する逆バイアス駆動方式、プリチャージ駆動方式、突き抜け電圧駆動方式などと組み合わせることによりさらに優れた画像表示を実現できることは言うまでもない。以上のように、本発明と同様にリセット駆動も本明細書の他の実施例と組み合わせて実施することができることは言うまでもない。

第 3 4 図はリセット駆動を実現する表示装置の構成図である。ゲートドライバ 1 2 a は、第 3 2 図におけるゲート信号線 1 7 a およびゲート信号線 1 7 b を制御する。ゲート信号線 1 7 a にオンオフ電圧を印加することによりトランジスタ 1 1 b がオンオフ制御される。また、ゲート信号線 1 7 b にオンオフ電圧を印加することによりトランジスタ 1 1 d がオンオフ制御される。ゲートドライバ 1 2 b は、第 3 2 図におけるゲート信号線 1 7 c を制御する。ゲート信号線 1 7 c にオンオフ電圧を印加することによりトランジスタ 1 1 c がオンオフ制御される。

したがって、ゲート信号線 1 7 a はゲートドライバ 1 2 a で操作し、ゲート信号線 1 7 c はゲートドライバ 1 2 b で操作する。そのため、トランジスタ 1 1 b をオンさせて駆動用トランジスタ 1 1 a をリセットするタイミングと、トランジスタ 1 1 c をオンさせて駆動用トランジスタ 1 1 a に電流プログラムを行うタイミングとを自由に設定できる。なお、第 3 4 図において 3 4 1 a は出力段回路を示している。他の構成などは、以前に説明したものと同一または類似するため説明を省略する。

第 3 5 図はリセット駆動のタイミングチャートである。ゲート信号線 1 7 a にオン電圧を印加し、トランジスタ 1 1 b をオンさせ、駆動用トランジスタ 1 1 a をリセットしている時には、ゲート信号線 1 7 b にはオフ電圧を印加し、トランジスタ 1 1 d をオフ状態にしている。したがって、第 3 2 図 (a) の状態となっている。この期間に電流 I b が流れる。

第 3 5 図に示すタイミングチャートでは、リセット時間は 2 H (ゲート信号線 1 7 a にオン電圧が印加され、トランジスタ 1 1 b がオンす



る)としているが、これに限定するものではない。2 H以上でもよい。また、リセットが極めて高速に行える場合は、リセット時間は1 H未満であってもよい。また、リセット期間を何H期間にするかはゲートドライバ12に inputsするDATA (ST) パルス期間で容易に変更できる。

5   たとえば、ST端子に inputsするDATAを2 H期間の間Hレベルとすれば、各ゲート信号線17aから出力されるリセット期間は2 H期間となる。同様に、ST端子に inputsするDATAを5 H期間の間Hレベルとすれば、各ゲート信号線17aから出力されるリセット期間は5 H期間となる。

10   1 H期間のリセット後、画素行(1)のゲート信号線17c(1)に、オン電圧が印加される。トランジスタ11cがオンすることにより、ソース信号線18に印加されたプログラム電流I<sub>w</sub>がトランジスタ11cを介して駆動用トランジスタ11aに書き込まれる。

15   電流プログラム後、画素行(1)のゲート信号線17cにオフ電圧が印加され、トランジスタ11cがオフし、画素がソース信号線18と切り離される。同時に、ゲート信号線17aにもオフ電圧が印加され、駆動用トランジスタ11aのリセット状態が解消される(なお、この期間は、リセット状態と表現するよりも、電流プログラム状態と表現する方が適切である)。また、ゲート信号線17bにはオン電圧が印加され、  
20   トランジスタ11dがオンして、駆動用トランジスタ11aにプログラムされた電流がEL素子15に流れる。なお、画素行(2)以降についても、画素行(1)と同様であり、また、第35図からその動作は明らかであるから説明を省略する。

25   第35図において、リセット期間は1 H期間であった。第36図はリセット期間を5 Hとした実施例である。リセット期間を何H期間にするかはゲートドライバ12に inputsするDATA (ST) パルス期間で容易に変更できる。第36図ではゲートドライバ12aのST1端子に inputsするDATAを5 H期間の間Hレベルとし、各ゲート信号線17aから

出力されるリセット期間を 5 H 期間とした実施例である。リセット期間は、長いほど、リセットが完全に行われ、良好な黒表示を実現できる。しかし、リセット期間の割合分だけ表示輝度が低下することになる。

第 3 6 図はリセット期間を 5 H とした実施例であった。また、このリ  
5 セット状態は連続状態であった。しかし、リセット状態は連続して行うことに限定されるものではない。たとえば、各ゲート信号線 1 7 a から出力される信号を 1 H ごとにオンオフ動作させてもよい。このようにオンオフ動作させるのは、シフトレジスタの出力段に形成されたイネーブル回路（図示せず）を操作することにより容易に実現できる。また、ゲ  
10 ートドライバ 1 2 に入力する D A T A ( S T ) パルスを制御することで容易に実現できる。

第 3 4 図に示す回路構成では、ゲートドライバ 1 2 a は少なくとも 2 つのシフトレジスタ回路（1 つはゲート信号線 1 7 a の制御用、他の 1 つはゲート信号線 1 7 b の制御用）が必要であった。そのため、ゲート  
15 ドライバ 1 2 a の回路規模が大きくなるという課題があった。第 3 7 図はゲートドライバ 1 2 a のシフトレジスタを 1 つにした実施例である。第 3 7 図に示す回路を動作させた出力信号のタイミングチャートは第 3 5 図に示すようになる。なお、第 3 5 図と第 3 7 図とはゲートドライバ 1 2 a 、 1 2 b から出力されているゲート信号線 1 7 の記号が異な  
20 っているので注意が必要である。

第 3 7 図に示す構成には O R 回路 3 7 1 が付加されていることから明らかであるが、各ゲート信号線 1 7 a の出力は、シフトレジスタ回路 6 1 a の前段出力との O R をとって出力される。つまり、2 H 期間、ゲート信号線 1 7 a からはオン電圧が出力される。一方、ゲート信号線 1  
25 7 c はシフトレジスタ回路 6 1 a の出力がそのまま出力される。したがって、1 H 期間の間、オン電圧が印加される。

たとえば、シフトレジスタ回路 6 1 a の 2 番目に H レベル信号が出力されているとき、画素 1 6 ( 1 ) のゲート信号線 1 7 c にオン電圧が出

力され、画素 1 6 ( 1 ) が電流 ( 電圧 ) プログラムの状態となる。同時に、画素 1 6 ( 2 ) のゲート信号線 1 7 a にもオン電圧が出力され、画素 1 6 ( 2 ) のトランジスタ 1 1 b がオン状態となり、画素 1 6 ( 2 ) の駆動用トランジスタ 1 1 a がリセットされる。

- 5 同様に、シフトレジスタ回路 6 1 a の 3 番目に H レベル信号が出力されているとき、画素 1 6 ( 2 ) のゲート信号線 1 7 c にオン電圧が出力され、画素 1 6 ( 2 ) が電流 ( 電圧 ) プログラムの状態となる。同時に、画素 1 6 ( 3 ) のゲート信号線 1 7 a にもオン電圧が出力され、画素 1 6 ( 3 ) トランジスタ 1 1 b がオン状態となり、画素 1 6 ( 3 ) 駆動用  
10 トランジスタ 1 1 a がリセットされる。つまり、2 H 期間、ゲート信号線 1 7 a からはオン電圧が出力され、ゲート信号線 1 7 c に 1 H 期間、オン電圧が出力される。

- プログラム状態のときは、トランジスタ 1 1 b とトランジスタ 1 1 c とが同時にオン状態となる ( 第 3 3 図 ( b ) ) ため、非プログラム状態  
15 ( 第 3 3 図 ( c ) ) に移行する際、トランジスタ 1 1 c がトランジスタ 1 1 b よりも先にオフ状態となると、第 3 3 図 ( b ) のリセット状態になってしまう。これを防止するためには、トランジスタ 1 1 c をトランジスタ 1 1 b よりもあとからオフ状態にする必要がある。そのためには、ゲート信号線 1 7 a がゲート信号線 1 7 c よりも先にオン電圧が印加  
20 されるように制御する必要がある。

- 以上の実施例は、第 3 2 図 ( 基本的には第 1 図 ) に示す画素構成に関する実施例であった。しかし、本発明はこれに限定されるものではない。たとえば、第 3 8 図に示すようなカレントミラーの画素構成であっても実施することができる。なお、第 3 8 図ではトランジスタ 1 1 e をオン  
25 オフ制御することにより、第 1 3 図、第 1 5 図などで図示する N 倍パルス駆動を実現できる。第 3 9 図は第 3 8 図のカレントミラーの画素構成での実施例の説明図である。以下、第 3 9 図を参照しながら、カレントミラーの画素構成におけるリセット駆動方式について説明をする。

第39図(a)に図示するように、トランジスタ11c、トランジスタ11eをオフ状態にし、トランジスタ11dをオン状態にする。すると、電流プログラム用トランジスタ11bのドレイン(D)端子とゲート(G)端子とはショート状態となり、図に示すように電流I<sub>b</sub>が流れる。一般的に、トランジスタ11bは1つ前のフィールド(フレーム)で電流プログラムされ、電流を流す能力がある(ゲート電位はコンデンサ19に1F期間保持され、画像表示をおこなっているから当然である。ただし、完全な黒表示を行っている場合、電流は流れない)。この状態でトランジスタ11eをオフ状態とし、トランジスタ11dをオン状態にすれば、駆動電流I<sub>b</sub>がトランジスタ11aのゲート(G)端子の方向に流れる(ゲート(G)端子とドレイン(D)端子がショートされる)。そのため、トランジスタ11aのゲート(G)端子とドレイン(D)端子とが同一電位となり、トランジスタ11aはリセット(電流を流さない状態)になる。また、駆動用トランジスタ11bのゲート(G)端子は電流プログラム用トランジスタ11aのゲート(G)端子と共通であるから、駆動用トランジスタ11bもリセット状態となる。

このトランジスタ11a、トランジスタ11bのリセット状態(電流を流さない状態)は、第51図などで説明する電圧オフセットキャンセラ方式のオフセット電圧を保持した状態と等価である。つまり、第39図(a)の状態では、コンデンサ19の端子間には、オフセット電圧(電流が流れ始める開始電圧。この電圧の絶対値以上の電圧を印加することにより、トランジスタ11に電流が流れる)が保持されていることになる。このオフセット電圧はトランジスタ11a、トランジスタ11bの特性に応じて異なる電圧値となる。したがって、第39図(a)の動作を実施することにより、各画素のコンデンサ19にはトランジスタ11a、トランジスタ11bが電流を流さない(つまり、黒表示電流(ほとんど0に等しい))状態が保持されることになるのである(電流が流れ始める開始電圧にリセットされる)。

なお、第 3 9 図 (a) においても第 3 3 図 (a) と同様に、リセットの実施時間を長くするほど、I b 電流が流れ、コンデンサ 1 9 の端子電圧が小さくなる傾向がある。したがって、第 3 9 図 (a) の実施時間は固定値にする必要がある。発明者等の実験および検討によれば、第 3 9 図 (a) の実施時間は、1 H 以上 1 0 H (1 0 水平走査期間) 以下とすることが好ましい。さらには 1 H 以上 5 H 以下にすることが好ましい。あるいは、2 0  $\mu$  s e c 以上 2 m s e c 以下とすることが好ましい。このことは第 3 3 図に示す駆動方式でも同様である。

第 3 3 図 (a) も同様であるが、第 3 9 図 (a) に示すリセット状態と、第 3 9 図 (b) に示す電流プログラム状態とを同期をとって行う場合は、第 3 9 図 (a) に示すリセット状態から、第 3 9 図 (b) に示す電流プログラム状態までの期間が固定値 (一定値) となるから問題はない (固定値にされている)。つまり、第 3 3 図 (a) あるいは第 3 9 図 (a) に示すリセット状態から、第 3 3 図 (b) あるいは第 3 9 図 (b) に示す電流プログラム状態までの期間が、1 H 以上 1 0 H (1 0 水平走査期間) 以下となることが好ましい。さらには 1 H 以上 5 H 以下にすることが好ましいのである。あるいは、2 0  $\mu$  s e c 以上 2 m s e c 以下とすることが好ましいのである。この期間が短いと駆動用トランジスタ 1 1 が完全にリセットされない。また、あまりにも長いと駆動用トランジスタ 1 1 が完全にオフ状態となり、今度は電流をプログラムするのに長時間を要するようになる。また、画面 5 0 の輝度も低下する。

第 3 9 図 (a) を実施後、第 3 9 図 (b) に示す状態にする。第 3 9 図 (b) はトランジスタ 1 1 c、トランジスタ 1 1 d をオンさせ、トランジスタ 1 1 e をオフさせた状態を示している。第 3 9 図 (b) の状態は、電流プログラムを行っている状態である。つまり、ソースドライバ 1 4 からプログラム電流 I w を出力 (あるいは吸収) し、このプログラム電流 I w を電流プログラム用トランジスタ 1 1 a に流す。このプログラム電流 I w が流れるように、駆動用トランジスタ 1 1 b のゲート

(G) 端子の電位をコンデンサ 19 に設定するのである。

もし、プログラム電流  $I_w$  が 0 (A) (黒表示) であれば、トランジスタ 11b は第 33 図 (a) の電流を流さない状態が保持されたままとなるから、良好な黒表示を実現できる。また、第 39 図 (b) で白表示  
5 の電流プログラムを行う場合は、各画素の駆動用トランジスタの特性バラツキが発生していても、黒表示状態のオフセット電圧 (各駆動用トランジスタの特性に応じて設定された電流が流れる開始電圧) から電流プログラムを完全に行う。したがって、目標の電流値にプログラムされる  
10 時間が階調に応じて等しくなる。そのため、トランジスタ 11a あるいはトランジスタ 11b の特性バラツキによる階調誤差がなく、良好な画像表示を実現できる。

第 39 図 (b) の電流プログラミング後、第 39 図 (c) に図示するように、トランジスタ 11c とトランジスタ 11d とをオフし、トランジスタ 11e をオンさせて、駆動用トランジスタ 11b からのプログラム  
15 ム電流  $I_w (= I_e)$  を EL 素子 15 に流し、EL 素子 15 を発光させる。第 39 図 (c) に関しても、以前に説明をしたので詳細は省略する。

第 33 図、第 39 図で説明した駆動方式 (リセット駆動) は、駆動用トランジスタ 11a あるいはトランジスタ 11b と EL 素子 15 との間を切断 (電流が流れない状態。トランジスタ 11e あるいはトランジ  
20 スタ 11d で行う) し、かつ、駆動用トランジスタのドレイン (D) 端子とゲート (G) 端子 (もしくはソース (S) 端子とゲート (G) 端子、さらに一般的に表現すれば駆動用トランジスタのゲート (G) 端子を含む 2 端子) との間をショートする第 1 の動作と、前記動作の後、駆動用トランジスタに電流 (電圧) プログラムを行う第 2 の動作とを実施する  
25 ものである。そして、少なくとも第 2 の動作は第 1 の動作後に行うものである。なお、第 1 の動作における駆動用トランジスタ 11a あるいはトランジスタ 11b と EL 素子 15 との間を切断するという動作は、必ずしも必須の条件ではない。もし、第 1 の動作における駆動用トランジ

スタ 1 1 a あるいはトランジスタ 1 1 b と E L 素子 1 5 との間を切断せず、駆動用トランジスタのドレイン (D) 端子とゲート (G) 端子との間をショートする第 1 の動作を行っても多少のリセット状態のバラツキが発生する程度で済む場合があるからである。これは、作製した  
5 アレイのトランジスタ特性を検討して決定する。

第 3 9 図に示すカレントミラーの画素構成は、電流プログラムトランジスタ 1 1 a をリセットすることにより、結果として駆動用トランジスタ 1 1 b をリセットする駆動方法であった。

第 3 9 図に示すカレントミラーの画素構成において、リセット状態では、必ずしも駆動用トランジスタ 1 1 b と E L 素子 1 5 との間を切断する必要はない。したがって、電流プログラム用トランジスタ a のドレイン (D) 端子とゲート (G) 端子 (もしくはソース (S) 端子とゲート (G) 端子、さらに一般的に表現すれば電流プログラム用トランジスタのゲート (G) 端子を含む 2 端子、あるいは駆動用トランジスタのゲート (G) 端子を含む 2 端子) との間をショートする第 1 の動作と、前記  
10 動作の後、電流プログラム用トランジスタに電流 (電圧) プログラムを行う第 2 の動作とを実施するものである。そして、少なくとも第 2 の動作は第 1 の動作後に行うものである。

画像表示状態は (もし、瞬時的な変化が観察できるのであれば)、まず、電流プログラムを行われる画素行は、リセット状態 (黒表示状態) になり、所定 H 後に電流プログラムが行われる。画面の上から下方向に、黒表示の画素行が移動し、この画素行が通りすぎた位置で画像が書き換わっていくように見えるはずである。

以上の実施例は、電流プログラムの画素構成を中心として説明をしたが、本発明のリセット駆動は電圧プログラムの画素構成にも適用することができる。第 4 3 図は電圧プログラムの画素構成におけるリセット駆動を実施するための本発明の画素構成 (パネル構成) の説明図である。  
25

第 4 3 図の画素構成では、駆動用トランジスタ 1 1 a をリセット動作

させるためのトランジスタ 11 e が形成されている。ゲート信号線 17 e にオン電圧が印加されることにより、トランジスタ 11 e がオンし、駆動用トランジスタ 11 a のゲート (G) 端子とドレイン (D) 端子との間をショートさせる。また、EL 素子 15 と駆動用トランジスタ 11 a との電流経路を切断するトランジスタ 11 d が形成されている。以下、第 44 図を参照しながら、電圧プログラムの画素構成における本発明のリセット駆動方式について説明をする。

第 44 図 (a) に図示するように、トランジスタ 11 b とトランジスタ 11 d とをオフ状態にし、トランジスタ 11 e をオン状態にする。駆動用トランジスタ 11 a のドレイン (D) 端子とゲート (G) 端子とはショート状態となり、図に示すように電流  $I_b$  が流れる。そのため、トランジスタ 11 a のゲート (G) 端子とドレイン (D) 端子とが同一電位となり、駆動用トランジスタ 11 a はリセット (電流を流さない状態) になる。なお、トランジスタ 11 a をリセットする前に、第 33 図あるいは第 39 図で説明したように、HD 同期信号に同期して、最初にトランジスタ 11 d をオンさせ、トランジスタ 11 e をオフさせて、トランジスタ 11 a に電流を流しておく。その後、第 44 図 (a) に示す動作を実施する。

このトランジスタ 11 a、トランジスタ 11 b のリセット状態 (電流を流さない状態) は、第 41 図などで説明した電圧オフセットキャンセラ方式のオフセット電圧を保持した状態と等価である。つまり、第 44 図 (a) の状態では、コンデンサ 19 の端子間には、オフセット電圧 (リセット電圧) が保持されていることになる。このリセット電圧は駆動用トランジスタ 11 a の特性に応じて異なる電圧値となる。つまり、第 44 図 (a) の動作を実施することにより、各画素のコンデンサ 19 には駆動用トランジスタ 11 a が電流を流さない (つまり、黒表示電流 (ほとんど 0 に等しい)) 状態が保持されることになるのである (電流が流れ始める開始電圧にリセットされる)。



なお、電圧プログラムの画素構成においても、電流プログラムの画素構成と同様に、第44図(a)のリセットの実施時間を長くするほど、I<sub>b</sub>電流が流れ、コンデンサ19の端子電圧が小さくなる傾向がある。したがって、第44図(a)の実施時間は固定値にする必要がある。実施時間は、0.2H以上5H(5水平走査期間)以下とすることが好ましい。さらには0.5H以上4H以下とすることが好ましい。あるいは、2μsec以上400μsec以下とすることが好ましい。

また、ゲート信号線17eは前段の画素行のゲート信号線17aと共通にしておくことが好ましい。つまり、ゲート信号線17eと前段の画素行のゲート信号線17aとをショート状態で形成する。この構成を前段ゲート制御方式と呼ぶ。なお、前段ゲート制御方式とは、着目画素行より少なくとも1H前以上に選択される画素行のゲート信号線波形を用いるものである。したがって、1画素行前に限定されるものではない。たとえば、2画素行前のゲート信号線の信号波形を用いて着目画素行の駆動用トランジスタ11aのリセットを実施してもよい。

前段ゲート制御方式をさらに具体的に記載すれば以下になる。着目する画素行を(N)画素行とし、そのゲート信号線をゲート信号線17e(N)、ゲート信号線17a(N)とする。1H前に選択される前段の画素行を(N-1)画素行とし、そのゲート信号線をゲート信号線17e(N-1)、ゲート信号線17a(N-1)とする。また、着目画素行の次の1H後に選択される画素行を(N+1)画素行とし、そのゲート信号線をゲート信号線17e(N+1)、ゲート信号線17a(N+1)とする。

第(N-1)H期間では、第(N-1)画素行のゲート信号線17a(N-1)にオン電圧が印加されると、第(N)画素行のゲート信号線17e(N)にもオン電圧が印加される。ゲート信号線17e(N)と前段の画素行のゲート信号線17a(N-1)とがショート状態で形成されているからである。したがって、第(N-1)画素行の画素のトラ

ンジスタ 11b (N-1) がオンし、ソース信号線 18 の電圧が駆動用  
トランジスタ 11a (N-1) のゲート (G) 端子に書き込まれる。同  
時に、第 (N) 画素行の画素のトランジスタ 11e (N) がオンし、駆  
動用トランジスタ 11a (N) のゲート (G) 端子とドレイン (D) 端  
5 子との間がショートされ、駆動用トランジスタ 11a (N) がリセット  
される。

第 (N-1) H 期間の次の第 (N) 期間では、第 (N) 画素行のゲー  
ト信号線 17a (N) にオン電圧が印加されると、第 (N+1) 画素行  
のゲート信号線 17e (N+1) にもオン電圧が印加される。したがっ  
10 て、第 (N) 画素行の画素のトランジスタ 11b (N) がオンし、ソー  
ス信号線 18 に印加されている電圧が駆動用トランジスタ 11a (N)  
のゲート (G) 端子に書き込まれる。同時に、第 (N+1) 画素行の画  
素のトランジスタ 11e (N+1) がオンし、駆動用トランジスタ 11  
a (N+1) のゲート (G) 端子とドレイン (D) 端子との間がショ  
15 トされ、駆動用トランジスタ 11a (N+1) がリセットされる。

以下同様に、第 (N) H 期間の次の第 (N+1) H 期間において、第  
(N+1) 画素行のゲート信号線 17a (N+1) にオン電圧が印加さ  
れると、第 (N+2) 画素行のゲート信号線 17e (N+2) にもオン  
電圧が印加される。したがって、第 (N+1) 画素行の画素のトランジ  
20 スタ 11b (N+1) がオンし、ソース信号線 18 に印加されている電  
圧が駆動用トランジスタ 11a (N+1) のゲート (G) 端子に書き込  
まれる。同時に、第 (N+2) 画素行の画素のトランジスタ 11e (N  
+2) がオンし、駆動用トランジスタ 11a (N+2) のゲート (G)  
端子とドレイン (D) 端子との間がショートされ、駆動用トランジスタ  
25 11a (N+2) がリセットされる。

以上の本発明の前段ゲート制御方式では、1 H 期間、駆動用トランジ  
スタ 11a はリセットされ、その後、電圧 (電流) プログラムが実施さ  
れる。

第 3 3 図 (a) も同様であるが、第 4 4 図 (a) のリセット状態と、  
第 4 4 図 (b) の電圧プログラム状態とを同期をとって行う場合は、第  
4 4 図 (a) のリセット状態から、第 4 4 図 (b) の電流プログラム状  
態までの期間が固定値 (一定値) となるから問題はない (固定値にされ  
5 ている)。この期間が短いと駆動用トランジスタ 1 1 が完全にリセット  
されない。また、あまりにも長いと駆動用トランジスタ 1 1 a が完全に  
オフ状態となり、今度は電流をプログラムするのに長時間を要するよう  
になる。また、画面 1 2 の輝度も低下する。

第 4 4 図 (a) に示す状態を実施後、第 4 4 図 (b) に示す状態にす  
10 る。第 4 4 図 (b) はトランジスタ 1 1 b をオンさせ、トランジスタ 1  
1 e とトランジスタ 1 1 d とをオフさせた状態である。第 4 4 図 (b)  
に示す状態は、電圧プログラムを行っている状態である。つまり、ソー  
スドライバ 1 4 からプログラム電圧を出力し、このプログラム電圧を駆  
動用トランジスタ 1 1 a のゲート (G) 端子に書き込む (駆動用ラン  
15 ジスタ 1 1 a のゲート (G) 端子の電位をコンデンサ 1 9 に設定する)。  
なお、電圧プログラム方式の場合は、電圧プログラム時にトランジスタ  
1 1 d を必ずしもオフさせる必要はない。また、第 1 3 図、第 1 5 図な  
どの N 倍パルス駆動などと組み合わせること、あるいは以上のような、  
間欠 N/K 倍パルス駆動 (1 画面に点灯領域を複数設ける駆動方法であ  
20 る。この駆動方法は、トランジスタ 1 1 e をオンオフ動作させることに  
より容易に実現できる) を実施する必要がなければ、トランジスタ 1 1  
e は不要である。このことは以前に説明をしたので、説明を省略する。

第 4 3 図に示す構成あるいは第 4 4 図の駆動方法で白表示の電圧プ  
ログラムを行う場合は、各画素の駆動用トランジスタの特性バラツキが  
25 発生していても、黒表示状態のオフセット電圧 (各駆動用トランジスタ  
の特性に応じて設定された電流が流れる開始電圧) から電圧プログラム  
を完全に行う。したがって、目標の電流値にプログラムされる時間が階  
調に応じて等しくなる。そのため、トランジスタ 1 1 a の特性バラツキ

による階調誤差がなく、良好な画像表示を実現できる。

第 4 4 図 (b) に示す電流プログラミング後、第 4 4 図 (c) に図示するように、トランジスタ 1 1 b をオフし、トランジスタ 1 1 d をオンさせて、駆動用トランジスタ 1 1 a からのプログラム電流を E L 素子 1 5 に流し、E L 素子 1 5 を発光させる。

以上のように、第 4 3 図の電圧プログラムにおける本発明のリセット駆動は、まず、H D 同期信号に同期して、最初にトランジスタ 1 1 d をオンさせ、トランジスタ 1 1 e をオフさせて、トランジスタ 1 1 a に電流を流す第 1 の動作と、トランジスタ 1 1 a と E L 素子 1 5 との間を切断し、かつ、駆動用トランジスタ 1 1 a のドレイン (D) 端子とゲート (G) 端子 (もしくはソース (S) 端子とゲート (G) 端子、さらに一般的に表現すれば駆動用トランジスタのゲート (G) 端子を含む 2 端子) との間をショートする第 2 の動作と、前記動作の後、駆動用トランジスタ 1 1 a に電圧プログラムを行う第 3 の動作とを実施するものである。

以上の実施例では、駆動用トランジスタ素子 1 1 a (第 1 図の画素構成の場合) から E L 素子 1 5 に流す電流を制御するのに、トランジスタ 1 1 d をオンオフさせて行う。トランジスタ 1 1 d をオンオフさせるためには、ゲート信号線 1 7 b を走査する必要がある、走査のためには、シフトレジスタ 6 1 (ゲート回路 1 2) が必要となる。しかし、シフトレジスタ 6 1 は規模が大きく、ゲート信号線 1 7 b の制御にシフトレジスタ 6 1 を用いたのでは狭額縁化できない。第 4 0 図を参照して説明する方式は、この課題を解決するものである。

なお、本発明は、主として第 1 図などに図示する電流プログラムの画素構成を例示して説明をするが、これに限定するものではなく、第 3 8 図などで説明した他の電流プログラム構成 (カレントミラーの画素構成) であっても適用できることはいうまでもない。また、ブロックでオンオフする技術的概念は、第 4 1 図などの電圧プログラムの画素構成で

あっても適用できることは言うまでもない。また、本発明は、EL素子  
15に流れる電流を間欠にする方式であるから、第50図などを参照し  
て説明する逆バイアス電圧を印加する方式とも組み合わせることがで  
きることは言うまでもない。以上のように、本発明は他の実施例と組み  
5合わせて実施することができる。

第40図はブロック駆動方式の実施例を示している。まず、説明を容  
易にするため、ゲートドライバ12は基板71に直接形成したか、もし  
くはシリコンチップのゲートドライバ12を基板71に積載したとし  
て説明をする。また、ソースドライバ14およびソース信号線18は図  
10面が煩雑になるため省略する。

第40図において、ゲート信号線17aはゲートドライバ12と接続  
されている。一方、各画素のゲート信号線17bは点灯制御線401と  
接続されている。第40図では4本のゲート信号線17bが1つの点灯  
制御線401と接続されている。

15    なお、ここでは4本のゲート信号線17bをまとめて1つのブロック  
としているがこれに限定されるものではなく、それ以上であってもよい  
ことは言うまでもない。一般的に表示領域50は少なくとも5以上に分  
割することが好ましい。さらに好ましくは、10以上に分割することが  
好ましい。さらには、20以上に分割することが好ましい。分割数が少  
20ないと、フリッカが見え易くなる。一方、あまりにも分割数が多いと、  
点灯制御線401の本数が多くなり、制御線401のレイアウトが困難  
になる。

したがって、QCIF表示パネルの場合は、垂直走査線の本数が22  
0本であるから、少なくとも、 $220 / 5 = 44$ 本以上でブロック化す  
25る必要がある。好ましくは、 $220 / 10 = 11$ 以上でブロック化する  
必要がある。ただし、奇数行と偶数行とで2つのブロック化を行った場  
合は、低フレームレートでも比較的フリッカの発生が少ないため、2つ  
のブロック化で十分の場合がある。

第40図の実施例では、点灯制御線401a、401b、401c、401d、…、401nと順次、オン電圧（V<sub>g1</sub>）を印加するか、もしくはオフ電圧（V<sub>gh</sub>）を印加し、ブロックごとにEL素子15に流れる電流をオンオフさせる。

- 5      なお、第40図の実施例では、ゲート信号線17bと点灯制御線401とがクロスすることがない。したがって、ゲート信号線17bと点灯制御線401とがショートするといった欠陥は発生しない。また、ゲート信号線17bと点灯制御線401とが容量結合することがないため、点灯制御線401からゲート信号線17b側を見たときの容量付加が
- 10   極めて小さい。したがって、点灯制御線401を駆動しやすい。

ゲートドライバ12にはゲート信号線17aが接続されている。ゲート信号線17aにオン電圧を印加することにより、画素行が選択され、選択された各画素のトランジスタ11b、11cはオンして、ソース信号線18に印加された電流（電圧）を各画素のコンデンサ19にプログラムする。一方、ゲート信号線17bは各画素のトランジスタ11dの

15   ゲート（G）端子と接続されている。したがって、点灯制御線401にオン電圧（V<sub>g1</sub>）が印加されたとき、駆動用トランジスタ11aとEL素子15との電流経路を形成し、逆にオフ電圧（V<sub>gh</sub>）が印加されたときは、EL素子15のアノード端子をオープンにする。

- 20    なお、点灯制御線401に印加するオンオフ電圧の制御タイミングと、ゲートドライバ12がゲート信号線17aに出力する画素行選択電圧（V<sub>g1</sub>）のタイミングとは1水平走査クロック（1H）に同期していることが好ましい。しかし、これに限定するものではない。

点灯制御線401に印加する信号は単に、EL素子15への電流をオンオフさせるだけである。また、ソースドライバ14が出力する画像データと同期がとれている必要もない。点灯制御線401に印加する信号は、各画素16のコンデンサ19にプログラムされた電流を制御するものだからである。したがって、必ずしも、画素行の選択信号と同期がと

25

れている必要はない。また、同期する場合であってもクロックは1 H信号に限定されるものではなく、1 / 2 Hでも、1 / 4 Hであってもよい。

第38図に図示したカレントミラーの画素構成の場合であっても、ゲート信号線17bを点灯制御線401に接続することにより、トランジスタ11eをオンオフ制御できる。したがって、ブロック駆動を実現できる。

なお、第32図において、ゲート信号線17aを点灯制御線401に接続し、リセットを実施すれば、ブロック駆動を実現できる。この場合、本発明のブロック駆動は、1つの制御線で、複数の画素行を同時に非点灯（あるいは黒表示）とする駆動方法となる。

以上の実施例は、1画素行ごとに1本の選択画素行を配置（形成）する構成であった。本発明は、これに限定するものではなく、複数の画素行で1本の選択ゲート信号線を配置（形成）してもよい。

第41図はその実施例である。なお、説明を容易にするため、画素構成は第1図の場合を主として例示して説明をする。第41図において、ゲート信号線17aは3つの画素（16R、16G、16B）を同時に選択する。なお、Rの記号とは赤色の画素関連を意味し、Gの記号とは緑色の画素関連を意味し、Bの記号とは青色の画素関連を意味するものとする。

したがって、ゲート信号線17aの選択により、画素16R、画素16Gおよび画素16Bが同時に選択されデータ書き込み状態となる。画素16Rはソース信号線18Rからデータをコンデンサ19Rに書き込み、画素16Gはソース信号線18Gからデータをコンデンサ19Gに書き込む。画素16Bはソース信号線18Bからデータをコンデンサ19Bに書き込む。

画素16Rのトランジスタ11dはゲート信号線17bRに接続されている。また、画素16Gのトランジスタ11dはゲート信号線17bGに接続され、画素16Bのトランジスタ11dはゲート信号線17

b Bに接続されている。したがって、画素16RのEL素子15R、画素16GのEL素子15G、画素16BのEL素子15Bはそれぞれ独立してオンオフ制御することができる。つまり、EL素子15R、EL素子15G、EL素子15Bはゲート信号線17bR、17bG、17bBをそれぞれ制御することにより、点灯時間、点灯周期を個別に制御することができる。

この動作を実現するためには、第6図に示す構成において、ゲート信号線17aを走査するシフトレジスタ回路61と、ゲート信号線17bRを走査するシフトレジスタ回路61と、ゲート信号線17bGを走査するシフトレジスタ回路61と、ゲート信号線17bBを走査するシフトレジスタ回路61との4つを形成（配置）することが適切である。

なお、ソース信号線18に所定電流のN倍の電流を流すことにより、EL素子15に所定電流のN倍の電流を $1/N$ の期間流すとしたが、実用上はこれを実現できない。実際にはゲート信号線17に印加した信号パルスがコンデンサ19に突き抜け、コンデンサ19に所望の電圧値（電流値）を設定できないからである。一般的にコンデンサ19には所望の電圧値（電流値）よりも低い電圧値（電流値）が設定される。たとえば、10倍の電流値を設定するように駆動しても、5倍程度の電流しかコンデンサ19には設定されない。たとえば、 $N=10$ としても実際にEL素子15に流れる電流は $N=5$ の場合と同一となる。したがって、本発明はN倍の電流値を設定し、N倍に比例したあるいは対応する電流をEL素子15に流れるように駆動する方法である。もしくは、所望値よりも大きい電流をEL素子15にパルス状に印加する駆動方法である。

また、所望値より電流（そのまま、EL素子15に連続して電流を流すと所望輝度よりも高くなるような電流）を駆動用トランジスタ11a（第1図を例示する場合）に電流（電圧）プログラムを行い、EL素子15に流れる電流を間欠にすることにより、所望のEL素子の発光輝度



を得るものである。

なお、このコンデンサ 19 への突き抜けによる補償回路は、ソースドライバ 14 内に導入する。この事項については後ほど説明をする。

また、第 1 図などのスイッチングトランジスタ 11b、11c などは  
5 Nチャンネルで形成することが好ましい。コンデンサ 19 への突き抜け  
電圧が低減するからである。また、コンデンサ 19 のオフリークも減少  
するため、10 Hz 以下の低いフレームレートにも適用できるようになる。

また、画素構成によっては、突き抜け電圧が EL 素子 15 に流れる電  
10 流を増加させる方向に作用する場合は、白ピーク電流が増加し、画像表示  
のコントラスト感が増加する。したがって、良好な画像表示を実現で  
きる。

逆に、第 1 図のスイッチングトランジスタ 11b、11c を P チャン  
ネルにすることにより突き抜けを発生させて、より黒表示を良好にする  
15 方法も有効である。この場合、P チャンネルトランジスタ 11b をオフ  
にするときは  $V_{gh}$  電圧となる。そのため、コンデンサ 19 の端子電圧  
が  $V_{dd}$  側に少しシフトする。これにより、トランジスタ 11a のゲー  
ト (G) 端子電圧は上昇し、より良好な黒表示となる。また、第 1 階調  
表示とする電流値を大きくすることができるため (階調 1 までに一定の  
20 ベース電流を流すことができる)、電流プログラム方式で書き込み電流  
不足を軽減できる。

その他、ゲート信号線 17a とトランジスタ 11a のゲート (G) 端  
子との間に積極的にコンデンサ 19b を形成し、突き抜け電圧を増加さ  
せる構成も有効である (第 42 図 (a) を参照)。このコンデンサ 19  
25 b の容量は正規のコンデンサ 19a の容量の  $1/50$  以上  $1/10$  以下  
にすることが好ましい。この値は  $1/40$  以上  $1/15$  以下とすることが好ましい。  
もしくはトランジスタ 11b のソースゲート (ソース  
ードレイン (SG) もしくはゲートードレイン (GD)) 容量の 1 倍以

上 10 倍以下にする。さらに好ましくは、SG 容量の 2 倍以上 6 倍以下にすることが好ましい。なお、コンデンサ 19b は、コンデンサ 19a の一方の端子（トランジスタ 11a のゲート（G）端子）とトランジスタ 11d のソース（S）端子との間に形成または配置してもよい。この  
5 場合も容量などは先に説明した値と同様である。

突き抜け電圧発生用のコンデンサ 19b の容量（容量を  $C_b$ （pF）とする）は、電荷保持用のコンデンサ 19a の容量（容量を  $C_a$ （pF）とする）と、トランジスタ 11a の白ピーク電流時（画像表示で表示最大輝度の白ラスタ時）のゲート（G）端子電圧  $V_w$  を黒表示での電流  
10 を流す（基本的には電流は 0 である。つまり、画像表示で黒表示の場合）ときのゲート（G）端子電圧  $V_b$  とが関連する。これらの関係は、

$$C_a / (200 C_b) \leq |V_w - V_b| \leq C_a / (8 C_b)$$

の条件を満足させることが好ましい。なお、 $|V_w - V_b|$  とは、駆動用トランジスタの白表示時の端子電圧と黒表示時の端子電圧との差の  
15 絶対値である（つまり、変化する電圧幅）。

さらに好ましくは、

$$C_a / (100 C_b) \leq |V_w - V_b| \leq C_a / (10 C_b)$$

の条件を満足させることが好ましい。

トランジスタ 11b は P チャンネルにし、この P チャンネルは少なくともダブルゲート以上にする。また、好ましくは、トリプルゲート以上にする。さらに好ましくは、4 ゲート以上にする。そして、トランジスタ 11b のソースゲート（SG もしくはゲートドレイン（GD））容量（トランジスタがオンしているときの容量）の 1 倍以上 10 倍以下のコンデンサを並列に形成または配置することが好ましい。  
20

25 なお、以上の事項は、第 1 図に示す画素構成だけでなく、他の画素構成でも有効である。たとえば、第 42 図（b）に図示するようなカレントミラーの画素構成において、突き抜けを発生させるコンデンサをゲート信号線 17a または 17b とトランジスタ 11a のゲート（G）端子

との間に配置または形成する。スイッチングトランジスタ 11c の N チャンネルはダブルゲート以上とする。もしくはスイッチングトランジスタ 11c、11d を P チャンネルとし、トリプルゲート以上とする。

第 41 図に示す電圧プログラムの構成にあつては、ゲート信号線 17c と駆動用トランジスタ 11a のゲート (G) 端子との間に突き抜け電圧発生用のコンデンサ 19c を形成または配置する。また、スイッチングトランジスタ 11c はトリプルゲート以上とする。突き抜け電圧発生用のコンデンサ 19c はトランジスタ 11c のドレイン (D) 端子 (コンデンサ 19b 側) とゲート信号線 17a との間に配置してもよい。また、突き抜け電圧発生用のコンデンサ 19c はトランジスタ 11a のゲート (G) 端子とゲート信号線 17a との間に配置してもよい。また、突き抜け電圧発生用のコンデンサ 19c はトランジスタ 11c のドレイン (D) 端子 (コンデンサ 19b 側) とゲート信号線 17c との間に配置してもよい。

また、電荷保持用のコンデンサ 19a の容量を  $C_a$  とし、スイッチング用のトランジスタ 11c または 11d のソースゲート容量を  $C_c$  (突き抜け用のコンデンサがある場合には、その容量を加えた値) とし、ゲート信号線に印加される高電圧信号を ( $V_{gh}$ ) とし、ゲート信号線に印加される低電圧信号を ( $V_{gl}$ ) とした場合、以下の条件を満足するように構成することにより、良好な黒表示を実現できる。

$$0.05(V) \leq (V_{gh} - V_{gl}) \times (C_c / C_a) \leq 0.8(V)$$

また、以下の条件を満足させることが好ましい。

$$0.1(V) \leq (V_{gh} - V_{gl}) \times (C_c / C_a) \leq 0.5(V)$$

以上の事項は第 43 図などに示す画素構成にも有効である。第 43 図に示す電圧プログラムの画素構成では、トランジスタ 11a のゲート (G) 端子とゲート信号線 17a との間に突き抜け電圧発生用のコンデ

ンサ 1 9 b を形成または配置する。

なお、突き抜け電圧を発生させるコンデンサ 1 9 b は、トランジスタのソース配線およびゲート配線で形成する。ただし、トランジスタ 1 1 のソース幅を広げて、ゲート信号線 1 7 と重ねて形成する構成であるから、実用上は明確にトランジスタと分離できない構成となる場合がある。

また、スイッチングトランジスタ 1 1 b、1 1 c（第 1 図の構成の場合）を必要以上に大きく形成することにより、見かけ上、突き抜け電圧用のコンデンサ 1 9 b を構成する方式も本発明の範疇である。スイッチングトランジスタ 1 1 b、1 1 c はチャンネル幅  $W$  / チャンネル長  $L = 6 / 6 \mu m$  で形成することが多い。ここで  $W$  と  $L$  との比を大きくすることも突き抜け電圧用のコンデンサ 1 9 b を構成することになる。例えば、 $W : L$  の比を 2 : 1 以上 20 : 1 以下にする構成が例示される。好ましくは、 $W : L$  の比を 3 : 1 以上 10 : 1 以下にすることがよい。

また、突き抜け電圧用のコンデンサ 1 9 b は、画素が変調する R、G、B で大きさ（容量）を変化させることが好ましい。R、G、B の各 EL 素子 1 5 の駆動電流が異なるためである。また、EL 素子 1 5 のカットオフ電圧が異なるためである。そのため、EL 素子 1 5 の駆動用トランジスタ 1 1 a のゲート（G）端子にプログラムする電圧（電流）が異ならせる。たとえば、R の画素のコンデンサ 1 1 b R を 0.02 pF とした場合、他の色（G、B の画素）のコンデンサ 1 1 b G、1 1 b B を 0.025 pF とする。また、R の画素のコンデンサ 1 1 b R を 0.02 pF とした場合、G の画素のコンデンサ 1 1 b G と 0.03 pF とし、B の画素のコンデンサ 1 1 b B を 0.025 pF とするなどである。このように、R、G、B の画素ごとにコンデンサ 1 1 b の容量を変化させることのよりオフセットの駆動電流を R G B ごとに調整することができる。したがって、R G B のそれぞれにおける黒表示レベルを最適値にすることができる。

以上では、突き抜け電圧発生用のコンデンサ 1 9 b の容量を変化させ

るとしたが、突き抜け電圧は、保持用のコンデンサ 19 a と突き抜け電圧発生用のコンデンサ 19 b との容量の相対的なものである。したがって、コンデンサ 19 b を R、G、B の画素で変化することに限定するものではない。したがって、保持用コンデンサ 19 a の容量を変化させてもよい。たとえば、R の画素のコンデンサ 11 a R を 1.0 pF とした場合、G の画素のコンデンサ 11 a G と 1.2 pF とし、B の画素のコンデンサ 11 a B を 0.9 pF とするなどである。このとき、突き抜け用コンデンサ 19 b の容量は、R、G、B で共通の値とする。したがって、本発明は、保持用のコンデンサ 19 a と突き抜け電圧発生用のコンデンサ 19 b との容量比について、R、G、B の画素のうち、少なくとも 1 つを他と異ならせたものである。なお、保持用のコンデンサ 19 a の容量と突き抜け電圧発生用のコンデンサ 19 b との容量との両方を R、G、B 画素で変化させてもよい。

また、画面 50 の左右で突き抜け電圧用のコンデンサ 19 b の容量を変化させてもよい。ゲートドライバ 12 に近い位置にある画素 16 は信号供給側に配置されているので、ゲート信号の立ち上がりが速い（スルーレートが高いからである）ため、突き抜け電圧が大きくなる。ゲート信号線 17 の端に配置（形成）されている画素は、信号波形が鈍っている（ゲート信号線 17 には容量があるためである）。ゲート信号の立ち上がりが遅い（スルーレートが遅い）ので、突き抜け電圧が小さくなるためである。したがって、ゲートドライバ 12 との接続側に近い画素 16 の突き抜け電圧用コンデンサ 19 b を小さくする。また、ゲート信号線 17 の端はコンデンサ 19 b を大きくする。たとえば、画面の左右でコンデンサの容量は 10 % 程度変化させる。

発生する突き抜け電圧は、保持用コンデンサ 19 a と突き抜け電圧発生用のコンデンサ 19 b との容量比で決定される。したがって、画面の左右で突き抜け電圧発生用のコンデンサ 19 b の大きさを変化させるとしているが、これに限定されるわけではない。突き抜け電圧発生用の

コンデンサ 19 b は画面の左右で一定にし、電荷保持用のコンデンサ 19 a の容量を画面の左右で変化させてもよい。また、突き抜け電圧発生用のコンデンサ 19 b の容量と、電荷保持用のコンデンサ 19 a の容量との両方を画面の左右で変化させてもよいことは言うまでもない。

- 5      本発明の N 倍パルス駆動には、E L 素子 15 に印加する電流が瞬時的ではあるが、従来と比較して N 倍大きいという問題がある。電流が大きいと E L 素子の寿命を低下させる場合がある。この課題を解決するためには、E L 素子 15 に逆バイアス電圧  $V_m$  を印加することが有効である。

10      E L 素子 15 において、電子は陰極（カソード）より電子輸送層に注入されると同時に正孔も陽極（アノード）から正孔輸送層に注入される。注入された電子、正孔は印加電界により対極に移動する。その際、有機層中にトラップされたり、発光層界面でのエネルギー準位の差によりキャリアが蓄積されたりする。

15      有機層中に空間電荷が蓄積されると分子が酸化もしくは還元され、生成されたラジカル陰イオン分子もしくはラジカル陽イオン分子が不安定であることで、膜質の低下により輝度の低下および定電流駆動時の駆動電圧の上昇を招くことが知られている。これを防ぐために、一例としてデバイス構造を変化させ、逆方向電圧を印加している。

20      逆バイアス電圧が印加されると、逆方向電流が印加されることになるため、注入された電子及び正孔がそれぞれ陰極及び陽極へ引き抜かれる。これにより、有機層中の空間電荷形成を解消し、分子の電気化学的劣化を抑えることで寿命を長くすることが可能となる。

25      第 45 図は、逆バイアス電圧  $V_m$  および E L 素子 15 の端子電圧の変化を示している。ここで端子電圧とは、E L 素子 15 に定格電流を印加したときの電圧である。第 45 図は E L 素子 15 に流す電流が電流密度  $100 \text{ A/平方メートル}$  の場合を示しているが、第 45 図に示される傾向は、電流密度  $50 \sim 100 \text{ A/平方メートル}$  の場合とほとんど差がなかった。したがって、広い範囲の電流密度で適用できると推定される。

縦軸は初期のEL素子15の端子電圧に対して、2500時間後の端子電圧との比を表している。たとえば、経過時間0時間において、電流密度100A/平方メートルの電流の印加したときの端子電圧を8(V)とし、経過時間2500時間において、電流密度100A/平方メートルの電流の印加したときの端子電圧を10(V)とすれば、端子電圧比は、 $10 / 8 = 1.25$ である。

横軸は、逆バイアス電圧 $V_m$ と1周期に逆バイアス電圧を印加した時間 $t_1$ の積に対する定格端子電圧 $V_0$ の比を表している。たとえば、60Hz（とくに60Hzに意味はないが）で、逆バイアス電圧 $V_m$ を印加した時間が $1/2$ （半分）であれば、 $t_1 = 0.5$ である。また、経過時間0時間において、電流密度100A/平方メートルの電流を印加したときの端子電圧（定格端子電圧）を8(V)とし、逆バイアス電圧 $V_m$ を8(V)とすれば、 $| \text{逆バイアス電圧} \times t_1 | / (\text{定格端子電圧} \times t_2) = | -8(V) \times 0.5 | / (8(V) \times 0.5) = 1.0$ となる。

第45図によれば、 $| \text{逆バイアス電圧} \times t_1 | / (\text{定格端子電圧} \times t_2)$ が1.0以上で端子電圧比の変化はなくなる（初期の定格端子電圧から変化しない）。逆バイアス電圧 $V_m$ の印加による効果がよく発揮されている。しかし、 $| \text{逆バイアス電圧} \times t_1 | / (\text{定格端子電圧} \times t_2)$ が1.75以上で端子電圧比は増加する傾向にある。したがって、 $| \text{逆バイアス電圧} \times t_1 | / (\text{定格端子電圧} \times t_2)$ が1.0以上になるように逆バイアス電圧 $V_m$ の大きさおよび印加時間比 $t_1$ （もしくは $t_2$ 、あるいは $t_1$ と $t_2$ との比率）を決定するとよい。また、好ましくは、 $| \text{逆バイアス電圧} \times t_1 | / (\text{定格端子電圧} \times t_2)$ が1.75以下になるように逆バイアス電圧 $V_m$ の大きさおよび印加時間比 $t_1$ などを決定するとよい。

ただし、バイアス駆動を行う場合は、逆バイアス $V_m$ と定格電流とを交互に印加する必要がある。第46図に示す場合において、サンプルA

とBとの単位時間あたりの平均輝度を等しくしようとすると、逆バイアス電圧を印加するとき、印加しないときと比較して瞬時的には高い電流を流す必要がある。そのため、逆バイアス電圧  $V_m$  を印加する場合（第46図のサンプルA）のEL素子15の端子電圧も高くなる。

- 5       しかし、第45図では、逆バイアス電圧を印加する駆動方法でも、定格端子電圧  $V_0$  とは、平均輝度を満足する端子電圧（つまり、EL素子15を点灯する端子電圧）とする（本明細書の具体例によれば、電流密度  $200\text{ A}/\text{平方メートル}$  の電流の印加した時の端子電圧である。ただし、 $1/2$  デューティであるので、1周期の平均輝度は電流密度  $200$
- 10    $\text{A}/\text{平方メートル}$  での輝度となる）。

      以上の事項は、EL素子15に、白ラスタ表示させる場合（画面全体のEL素子に最大電流を印加している場合）を想定している。しかし、EL表示装置にて映像表示を行う場合は、自然画であり、階調表示を行う。したがって、たえず、EL素子15の白ピーク電流（最大白表示で

15   流れる電流。本明細書の具体例では、平均電流密度  $100\text{ A}/\text{平方メートル}$  の電流）が流れているのではない。

      一般的に、映像表示を行う場合、各EL素子15に印加される電流（流れる電流）は、白ピーク電流（定格端子電圧時に流れる電流。本明細書の具体例によれば、電流密度  $100\text{ A}/\text{平方メートル}$  の電流）の約0.

20   2倍である。

      したがって、第45図に示す実施例では、映像表示を行う場合は横軸の値に0.2をかけるものとする必要がある。したがって、 $| \text{逆バイアス電圧} \times t_1 | / (\text{定格端子電圧} \times t_2)$  が0.2以上になるように逆バイアス電圧  $V_m$  の大きさおよび印加時間比  $t_1$ （もしくは  $t_2$ 、あるいは  $t_1$  と  $t_2$  との比率など）を決定するとよい。また、好ましくは、

25    $| \text{逆バイアス電圧} \times t_1 | / (\text{定格端子電圧} \times t_2)$  が  $1.75 \times 0.2 = 0.35$  以下になるように逆バイアス電圧  $V_m$  の大きさおよび印加時間比  $t_1$  などを決定するとよい。



つまり、第 4 5 図の横軸（ $| \text{逆バイアス電圧} \times t_1 | / (\text{定格端子電圧} \times t_2)$ ）において、1. 0 の値を 0. 2 とする必要がある。したがって、表示パネルに映像を表示する（この使用状態が通常であろう。白ラスターを常時表示することはないであろう）ときは、 $| \text{逆バイアス電圧} \times t_1 | / (\text{定格端子電圧} \times t_2)$  が 0. 2 よりも大きくなるように、逆バイアス電圧  $V_m$  を所定時間  $t_1$  印加するようにする。また、 $| \text{逆バイアス電圧} \times t_1 | / (\text{定格端子電圧} \times t_2)$  の値が大きくなっても、第 4 5 図で図示するように、端子電圧比の増加は大きくない。したがって、上限値は白ラスター表示を実施することとも考慮して、 $| \text{逆バイアス電圧} \times t_1 | / (\text{定格端子電圧} \times t_2)$  の値が 1. 7 5 以下を満足するようにすればよい。

以下、図面を参照しながら、本発明の逆バイアス方式について説明をする。なお、本発明は E L 素子 1 5 に電流が流れていない期間に逆バイアス電圧  $V_m$ （電流）を印加することを基本とする。しかし、これに限定するものではない。たとえば、E L 素子 1 5 に電流が流れている状態で、強制的に逆バイアス電圧  $V_m$  を印加してもよい。なお、この場合は、結果として E L 素子 1 5 には電流が流れず、非点灯状態（黒表示状態）となるであろう。また、本発明は、主として電流プログラムの画素構成で逆バイアス電圧  $V_m$  を印加することを中心として説明するがこれに限定するものではない。

逆バイアス駆動の画素構成では、第 4 7 図に図示するように、トランジスタ 1 1 g を N チャンネルとする。もちろん、P チャンネルでもよい。

第 4 7 図では、ゲート電位制御線 4 7 3 に印加する電圧を逆バイアス線 4 7 1 に印加している電圧よりも高くすることにより、トランジスタ 1 1 g（N）がオンし、E L 素子 1 5 のアノード電極に逆バイアス電圧  $V_m$  が印加される。

また、第 4 7 図の画素構成などにおいて、ゲート電位制御線 4 7 3 を常時、電位固定して動作させてもよい。たとえば、第 4 7 図において  $V$

k 電圧が 0 (V) とする時、ゲート電位制御線 473 の電位を 0 (V) 以上 (好ましくは 2 (V) 以上) にする。なお、この電位を  $V_{sg}$  とする。この状態で、逆バイアス線 471 の電位を逆バイアス電圧  $V_m$  (0 (V) 以下、好ましくは  $V_k$  より  $-5$  (V) 以上小さい電圧) にすると、

5 トランジスタ 11g (N) がオンし、EL 素子 15 のアノードに、逆バイアス電圧  $V_m$  が印加される。逆バイアス線 471 の電圧をゲート電位制御線 473 の電圧 (つまり、トランジスタ 11g のゲート (G) 端子電圧) よりも高くすると、トランジスタ 11g はオフ状態となるため、EL 素子 15 には逆バイアス電圧  $V_m$  は印加さない。もちろん、この状態のときに、逆バイアス線 471 をハイインピーダンス状態 (オープン状態など) としてもよいことは言うまでもない。

10

また、第 48 図に図示するように、逆バイアス線 471 を制御するゲートドライバ 12c を別途形成または配置してもよい。ゲートドライバ 12c は、ゲートドライバ 12a と同様に順次シフト動作し、シフト動作に同期して、逆バイアス電圧を印加する位置がシフトされる。

15

以上の駆動方法では、トランジスタ 11g のゲート (G) 端子は電位固定し、逆バイアス線 471 の電位を変化させるだけで、EL 素子 15 に逆バイアス電圧  $V_m$  を印加することができる。したがって、逆バイアス電圧  $V_m$  の印加制御が容易である。また、トランジスタ 11g のゲート (G) 端子とソース (S) 端子との間に印加される電圧を低減できる。

20

このことは、トランジスタ 11g が P チャンネルの場合も同様である。

また、逆バイアス電圧  $V_m$  の印加は、EL 素子 15 に電流を流していないときに行うものである。したがって、トランジスタ 11d がオンしていないときに、トランジスタ 11g をオンさせることにより行えばよい。つまり、トランジスタ 11d のオンオフロジックの逆をゲート電位制御線 473 に印加すればよい。たとえば、第 47 図では、ゲート信号線 17b にトランジスタ 11d およびトランジスタ 11g のゲート (G) 端子を接続すればよい。トランジスタ 11d は P チャンネルであ

25

り、トランジスタ 11g は N チャンネルであるため、オンオフ動作は反対となる。

第 49 図は逆バイアス駆動のタイミングチャートである。なお、チャート図において (1) (2) などの添え字は、画素行を示している。説明を容易にするため、(1) とは、第 1 画素行目と示し、(2) とは第 2 画素行目を示すとして説明をするが、これに限定するものではない。(1) が N 画素行目を示し、(2) が N+1 画素行目を示すと考えても良い。以上のことは他の実施例でも、特例を除いて同様である。また、第 49 図などの実施例では、第 1 図などの画素構成を例示して説明をするがこれに限定されるものではない。たとえば、第 41 図、第 38 図などの画素構成においても適用できるものである。

第 1 画素行目のゲート信号線 17a (1) にオン電圧 ( $V_{gl}$ ) が印加されているときには、第 1 画素行目のゲート信号線 17b (1) にはオフ電圧 ( $V_{gh}$ ) が印加される。つまり、トランジスタ 11d はオフであり、EL 素子 15 には電流が流れていない。

逆バイアス線 471 (1) には、 $V_{s1}$  電圧 (トランジスタ 11g がオンする電圧) が印加される。したがって、トランジスタ 11g がオンし、EL 素子 15 には逆バイアス電圧が印加されている。逆バイアス電圧は、ゲート信号線 17b にオフ電圧 ( $V_{gh}$ ) が印加された後、所定期間 ( $1H$  の  $1/200$  以上の期間、または、 $0.5 \mu sec$ ) 後に、逆バイアス電圧が印加される。また、ゲート信号線 17b にオン電圧 ( $V_{gl}$ ) が印加される所定期間 ( $1H$  の  $1/200$  以上の期間、または、 $0.5 \mu sec$ ) 前に、逆バイアス電圧がオフされる。これは、トランジスタ 11d とトランジスタ 11g が同時にオンとなることを回避するためである。

次の水平走査期間 ( $1H$ ) において、ゲート信号線 17a にはオフ電圧 ( $V_{gh}$ ) が印加され、第 2 画素行が選択される。つまり、ゲート信号線 17b (2) にオン電圧が印加される。一方、ゲート信号線 17b

にはオン電圧 ( $V_{g1}$ ) が印加され、トランジスタ 11d がオンして、EL 素子 15 にトランジスタ 11a から電流が流れ EL 素子 15 が発光する。また、逆バイアス線 471 (1) にはオフ電圧 ( $V_{sh}$ ) が印加されて、第 1 画素行 (1) の EL 素子 15 には逆バイアス電圧が印加  
5 されないようになる。第 2 画素行の逆バイアス線 471 (2) には  $V_{s1}$  電圧 (逆バイアス電圧) が印加される。

以上の動作を順次くりかえすことにより、1 画面の画像が書き換えられる。以上の実施例では、各画素にプログラムされている期間に、逆バイアス電圧を印加するという構成であった。しかし、本発明は、第 48  
10 図に示す回路構成に限定されるものではない。複数の画素行に連続して逆バイアス電圧を印加することもできることは明らかである。また、ブロック駆動 (第 40 図参照)、N 倍パルス駆動、リセット駆動、ダミー画素駆動などと組み合わせることができることは明らかである。

また、逆バイアス電圧の印加は、画像表示の途中に実施することに限定するものではない。EL 表示装置の電源オフ後、一定の期間の間、逆  
15 バイアス電圧が印加されるように構成してもよい。

以上の実施例は、第 1 図に示す画素構成の場合であったが、他の構成においても、第 38 図、第 41 図などの逆バイアス電圧を印加する構成に適用できることは言うまでもない。たとえば、第 50 図に示す電流プ  
20 ログラム方式の画素構成に適用することも可能である。

第 50 図は、カレントミラーの画素構成である。トランジスタ 11c は画素選択素子である。ゲート信号線 17a1 にオン電圧を印加することにより、トランジスタ 11c がオンする。トランジスタ 11d はリセット機能と、駆動用トランジスタ 11a のドレイン (D) - ゲート (G)  
25 端子間をショート (GD ショート) する機能を有するスイッチ素子である。トランジスタ 11d はゲート信号線 17a2 にオン電圧を印加することによりオンする。

トランジスタ 11d は、該当画素が選択する 1H (1 水平走査期間、

つまり 1 画素行) 以上前にオンする。好ましくは 3 H 前にはオンさせる。  
3 H 前とすれば、3 H 前にトランジスタ 1 1 d がオンし、トランジスタ  
1 1 a のゲート (G) 端子とドレイン (D) 端子とがショートされる。  
そのため、トランジスタ 1 1 a はオフにする。したがって、トランジスタ  
5 1 1 b には電流が流れなくなり、E L 素子 1 5 は非点灯となる。

E L 素子 1 5 が非点灯状態の場合、トランジスタ 1 1 g がオンし、E  
L 素子 1 5 に逆バイアス電圧が印加される。したがって、逆バイアス電  
圧は、トランジスタ 1 1 d がオンされている期間、印加されることにな  
る。そのため、ロジック的にはトランジスタ 1 1 d とトランジスタ 1 1  
10 g とは同時にオンすることになる。

トランジスタ 1 1 g のゲート (G) 端子は  $V_{sg}$  電圧が印加されて固  
定されている。逆バイアス線 4 7 1 を  $V_{sg}$  電圧より十分に小さな逆バ  
イアス電圧を逆バイアス線 4 7 1 に印加することによりトランジスタ  
1 1 g がオンする。

15 その後、前記該当画素に画像信号が印加される (書き込まれる) 水平  
走査期間がくると、ゲート信号線 1 7 a 1 にオン電圧が印加され、トラ  
ンジスタ 1 1 c がオンする。したがって、ソースドライバ 1 4 からソー  
ス信号線 1 8 に出力された画像信号電圧がコンデンサ 1 9 に印加され  
る (トランジスタ 1 1 d はオン状態が維持されている)。

20 トランジスタ 1 1 d をオンさせると黒表示となる。1 フィールド (1  
フレーム) 期間に占めるトランジスタ 1 1 d のオン期間が長くなるほど、  
黒表示期間の割合が長くなる。したがって、黒表示期間が存在しても 1  
フィールド (1 フレーム) の平均輝度を所望値とするためには、表示期  
間の輝度を高くする必要がある。つまり、表示期間に E L 素子 1 5 に流  
25 す電流を大きくする必要がある。この動作は、本発明の N 倍パルス駆動  
である。したがって、N 倍パルス駆動と、トランジスタ 1 1 d をオンさ  
せて黒表示とする駆動とを組み合わせることが本発明の 1 つの特徴あ  
る動作である。また、E L 素子 1 5 が非点灯状態で、逆バイアス電圧を

EL素子15に印加することが本発明の特徴ある構成（方式）である。

以上の実施例では、画像表示を行う場合において、画素が非点灯状態のときに逆バイアス電圧を印加する方式であったが、逆バイアス電圧を印加する構成はこれに限定するものではない。画像を非表示に逆バイアス電圧を印加するのであれば、逆バイアス用のトランジスタ11gを各画素に形成する必要はない。ここで非点灯状態とは、表示パネルの使用を終了した後、あるいは使用前に逆バイアス電圧を印加している状態である。

例えば、第1図の画素構成において、画素16を選択し（トランジスタ11b、トランジスタ11cをオンさせる）、ソースドライバ（回路）14から、ソースドライバが出力できる低い電圧 $V_0$ （例えば、GND電圧）を出力して駆動用トランジスタ11aのドレイン端子（D）に印加する。この状態でトランジスタ11dもオンさせればELのアノード端子に $V_0$ 電圧が印加される。同時に、EL素子15のカソード $V_k$ に $V_0$ 電圧に対し、 $-5 \sim -15$ （V）の低い電圧 $V_m$ 電圧を印加すればEL素子15に逆バイアス電圧が印加される。また、 $V_{dd}$ 電圧も $V_0$ 電圧より $0 \sim -5$ （V）の低い電圧を印加することにより、トランジスタ11aもオフ状態となる。以上のようにソースドライバ14から電圧を出力し、ゲート信号線17を制御することにより、逆バイアス電圧をEL素子15に印加することができる。

N倍パルス駆動は、1フィールド（1フレーム）期間内において、1度、黒表示をしても再度、EL素子15に所定の電流（プログラムされた電流（コンデンサ19に保持されている電圧による））を流すことができる。しかし、第50図に示す構成では、一度、トランジスタ11dがオンすると、コンデンサ19の電荷は放電（減少を含む）されるため、EL素子15に所定の電流（プログラムされた電流）を流すことができない。しかし、回路動作が容易であるという特徴がある。

なお、以上の実施例は電流プログラム方式の場合の画素構成であった

が、本発明はこれに限定するものではなく、第 38 図、第 50 図のような他の電流方式の画素構成にも適用することができる。また、第 51 図、第 54 図、第 62 図に図示するような電圧プログラムの画素構成でも適用することができる。

5     第 51 図は一般的に最も簡単な電圧プログラムの画素構成を示している。トランジスタ 11b は選択スイッチング素子であり、トランジスタ 11a は EL 素子 15 に電流を印加する駆動用トランジスタである。この構成で、EL 素子 15 のアノードに逆バイアス電圧印加用のトランジスタ（スイッチング素子）11g を配置（形成）している。

10     第 51 図に示す画素構成では、EL 素子 15 に流す電流は、ソース信号線 18 に供給され、トランジスタ 11b が選択されることにより、トランジスタ 11a のゲート（G）端子に供給される。

15     まず、第 51 図に示す構成を説明するために、基本動作について第 52 図を用いて説明をする。第 51 図に示す画素は電圧オフセットキャンセラと呼ばれる構成であり、初期化動作、リセット動作、プログラム動作、発光動作の 4 段階で動作する。

20     水平同期信号（HD）後、初期化動作が実施される。ゲート信号線 17b にオン電圧が印加され、トランジスタ 11g がオンする。また、ゲート信号線 17a にもオン電圧が印加され、トランジスタ 11c がオンする。このとき、ソース信号線 18 には V<sub>dd</sub> 電圧が印加される。したがって、コンデンサ 19b の端子 a には V<sub>dd</sub> 電圧が印加されることになる。この状態で、駆動用トランジスタ 11a はオンし、EL 素子 15 に僅かな電流が流れる。この電流により駆動用トランジスタ 11a のドレイン（D）端子は少なくともトランジスタ 11a の動作点よりも大きな絶対値の電圧値となる。

25     次にリセット動作が実施される。ゲート信号線 17b にオフ電圧が印加され、トランジスタ 11e がオフする。一方、ゲート信号線 17c に T<sub>1</sub> の期間、オン電圧が印加され、トランジスタ 11b がオンする。こ

の T 1 の期間がリセット期間である。また、ゲート信号線 1 7 a には 1 H の期間、継続してオン電圧が印加される。なお、T 1 は 1 H 期間の 2 0 % 以上 9 0 % 以下の期間とすることが好ましい。もしくは、 $20 \mu s$  e c 以上  $160 \mu s$  e c 以下の時間とすることが好ましい。また、コン  
5 デンサ 1 9 b (C b) とコンデンサ 1 9 a (C a) の容量の比率は、C b : C a = 6 : 1 以上 1 : 2 以下とすることが好ましい。

リセット期間では、トランジスタ 1 1 b のオンにより、駆動用トラン  
ジスタ 1 1 a のゲート (G) 端子とドレイン (D) 端子との間がショ  
ートされる。したがって、トランジスタ 1 1 a のゲート (G) 端子電圧と  
10 ドレイン (D) 端子電圧とが等しくなり、トランジスタ 1 1 a はオフセ  
ット状態 (リセット状態: 電流が流れない状態) となる。このリセット  
状態とはトランジスタ 1 1 a のゲート (G) 端子が、電流を流し始める  
開始電圧近傍になる状態である。このリセット状態を維持するゲート電  
圧はコンデンサ 1 9 b の端子 b に保持される。したがって、コンデンサ  
15 1 9 には、オフセット電圧 (リセット電圧) が保持されていることにな  
る。

次のプログラム状態では、ゲート信号線 1 7 c にオフ電圧が印加され  
トランジスタ 1 1 b がオフする。一方、ソース信号線 1 8 には、T d の  
期間、D A T A 電圧が印加される。したがって、駆動用トランジスタ 1  
20 1 a のゲート (G) 端子には、D A T A 電圧 + オフセット電圧 (リセッ  
ト電圧) が加えられたものが印加される。そのため、駆動用トランジス  
タ 1 1 a はプログラムされた電流を流せるようになる。

プログラム期間後、ゲート信号線 1 7 a にはオフ電圧が印加され、ト  
ランジスタ 1 1 c はオフ状態となり、駆動用トランジスタ 1 1 a はソー  
25 ス信号線 1 8 から切り離される。また、ゲート信号線 1 7 c にもオフ電  
圧が印加され、トランジスタ 1 1 b はオフ状態となり、このオフ状態は  
1 F の期間保持される。一方、ゲート信号線 1 7 b には、必要に応じて  
オン電圧とオフ電圧とが周期的に印加される。つまり、第 1 3 図、第 1



5 図などに示すN倍パルス駆動などと組み合わせること、インターレース駆動と組み合わせることによりさらに良好な画像表示を実現できる。

第52図に示す駆動方式では、コンデンサ19には、リセット状態で、  
5 トランジスタ11aの開始電流電圧（オフセット電圧、リセット電圧）  
が保持される。そのため、このリセット電圧がトランジスタ11aのゲート（G）端子に印加されているときに、最も暗い黒表示状態である。しかし、ソース信号線18と画素16とのカップリング、コンデンサ19への突き抜け電圧あるいはトランジスタの突き抜けにより、黒浮き（コントラスト低下）が発生する。したがって、第52図に示す駆動方式では、表示コントラストを高くすることができない。  
10

逆バイアス電圧 $V_m$ をEL素子15に印加するためには、トランジスタ11aをオフさせる必要がある。トランジスタ11aをオフさせるためには、トランジスタ11aの $V_{dd}$ 端子とゲート（G）端子との間をショートすればよい。この構成については、後に第53図を用いて説明  
15

また、ソース信号線18に $V_{dd}$ 電圧またはトランジスタ11aをオフさせる電圧を印加し、トランジスタ11bをオンさせてトランジスタ11aのゲート（G）端子に印加させてもよい。この電圧によりトランジスタ11aがオフする（もしくは、ほとんど、電流が流れないような状態にする（略オフ状態：トランジスタ11aが高インピーダンス状態））。その後、トランジスタ11gをオンさせて、EL素子15に逆バイアス電圧を印加する。この逆バイアス電圧 $V_m$ の印加は、全画素同時に行ってもよい。つまり、ソース信号線18にトランジスタ11aを略オフする電圧を印加し、すべての（複数の）画素行のトランジスタ11bをオンさせる。したがって、トランジスタ11aがオフとなる。その後、トランジスタ11gをオンさせて、逆バイアス電圧をEL素子15に印加する。その後、順次、各画素行に画像信号を印加し、表示装置に画像を表示する。  
20  
25

次に、第 5 1 図に示す画素構成におけるリセット駆動について説明をする。第 5 3 図はその実施例を示している。第 5 3 図に示すように画素 1 6 a のトランジスタ 1 1 c のゲート (G) 端子に接続されたゲート信号線 1 7 a は次段画素 1 6 b のリセット用トランジスタ 1 1 b のゲート (G) 端子にも接続されている。同様に、画素 1 6 b のトランジスタ 1 1 c のゲート (G) 端子に接続されたゲート信号線 1 7 a は次段画素 1 6 c のリセット用トランジスタ 1 1 b のゲート (G) 端子に接続されている。

したがって、画素 1 6 a のトランジスタ 1 1 c のゲート (G) 端子に接続されたゲート信号線 1 7 a にオン電圧を印加すると、画素 1 6 a が電圧プログラム状態となるとともに、次段画素 1 6 b のリセット用トランジスタ 1 1 b がオンし、画素 1 6 b の駆動用トランジスタ 1 1 a がリセット状態となる。同様に、画素 1 6 b のトランジスタ 1 1 c のゲート (G) 端子に接続されたゲート信号線 1 7 a にオン電圧を印加すると、画素 1 6 b が電流プログラム状態となるとともに、次段画素 1 6 c のリセット用トランジスタ 1 1 b がオンし、画素 1 6 c の駆動用トランジスタ 1 1 a がリセット状態となる。したがって、容易に前段ゲート制御方式によるリセット駆動を実現できる。また、各画素あたりのゲート信号線の引き出し本数を減少させることができる。

さらに詳しく説明する。第 5 3 図 (a) に示すようにゲート信号線 1 7 に電圧が印加されているとする。つまり、画素 1 6 a のゲート信号線 1 7 a にオン電圧が印加され、他の画素 1 6 のゲート信号線 1 7 a にオフ電圧が印加されているとする。また、画素 1 6 a 、 1 6 b のゲート信号線 1 7 b にはオフ電圧が印加され、画素 1 6 c 、 1 6 d のゲート信号線 1 7 b にはオン電圧が印加されているとする。

この状態では、画素 1 6 a は電圧プログラム状態で非点灯、画素 1 6 b はリセット状態で非点灯、画素 1 6 c はプログラム電流の保持状態で点灯、画素 1 6 d はプログラム電流の保持状態で点灯状態である。

1 H後、制御用ゲートドライバ12のシフトレジスタ回路61内のデータが1ビットシフトし、第53図(b)に示す状態となる。第53図(b)に示す状態では、画素16aがプログラム電流保持状態で点灯、画素16bが電流プログラム状態で非点灯、画素16cがリセット状態で非点灯、画素16dがプログラム保持状態で点灯状態となる。

以上のことから、各画素は前段に印加されたゲート信号線17aの電圧により、次段の画素の駆動用トランジスタ11aがリセットされ、次の水平走査期間に電圧プログラムが順次行われることがわかる。

第43図に図示する電圧プログラムの画素構成でも前段ゲート制御を実現できる。第54図は、第43図の画素構成を前段ゲート制御方式の接続とした実施例を示している。

第54図に示すように画素16aのトランジスタ11bのゲート(G)端子に接続されたゲート信号線17aは次段画素16bのリセット用トランジスタ11eのゲート(G)端子に接続されている。同様に、画素16bのトランジスタ11bのゲート(G)端子に接続されたゲート信号線17aは、次段画素16cのリセット用トランジスタ11eのゲート(G)端子に接続されている。

したがって、画素16aのトランジスタ11bのゲート(G)端子に接続されたゲート信号線17aにオン電圧を印加すると、画素16aが電圧プログラム状態となるとともに、次段画素16bのリセット用トランジスタ11eがオンし、画素16bの駆動用トランジスタ11aがリセット状態となる。同様に、画素16bのトランジスタ11bのゲート(G)端子に接続されたゲート信号線17aにオン電圧を印加すると、画素16bが電流プログラム状態となるとともに、次段画素16cのリセット用トランジスタ11eがオンし、画素16cの駆動用トランジスタ11aがリセット状態となる。したがって、容易に前段ゲート制御方式によるリセット駆動を実現できる。

さらに詳しく説明する。第55図(a)に示すようにゲート信号線1

7に電圧が印加されているとする。つまり、画素16aのゲート信号線17aにオン電圧が印加され、他の画素16のゲート信号線17aにオフ電圧が印加されているとする。また、すべての逆バイアス用トランジスタ11gはオフ状態であるとする。

- 5      この状態では、画素16aは電圧プログラム状態、画素16bはリセット状態、画素16cはプログラム電流の保持状態、画素16dはプログラム電流の保持状態である。

1H後、制御用ゲートドライバ12のシフトレジスタ回路61内のデータが1ビットシフトし、第55図(b)に示す状態となる。第55図  
10      (b)に示す状態では、画素16aがプログラム電流保持状態、画素16bが電流プログラム状態、画素16cがりセット状態、画素16dがプログラム保持状態となる。

以上のことから、各画素は前段に印加されたゲート信号線17aの電圧により、次段の画素の駆動用トランジスタ11aがりセットされ、次  
15      の水平走査期間に電圧プログラムが順次行われることがわかる。

電流駆動方式において、完全な黒表示を行う場合、画素の駆動用トランジスタ11にプログラムされる電流は0である。つまり、ソースドライバ14からは電流が流れない。電流が流れなければ、ソース信号線18に発生した寄生容量を充放電することができず、ソース信号線18の  
20      電位を変化させることができない。したがって、駆動用トランジスタのゲート電位も変化しないことになり、1フレーム(フィールド)(1F)前の電位がコンデンサ19に蓄積されたままとなる。たとえば、1フレーム前が白表示で、次のフレームが完全黒表示であっても白表示が維持されることになる。この課題を解決するため、本発明では、1水平走査  
25      期間(1H)の最初に黒レベルの電圧をソース信号線18に書き込んでから、ソース信号線18にプログラムする電流を出力する。たとえば、映像データが黒レベルに近い0階調目~7階調目の場合、1水平期間のはじめの一定期間だけ黒レベルに相当する電圧が書き込まれて、電流駆

動の負担が減り、書き込み不足を補うことが可能となる。ここで例えば 6 4 階調表示の場合であれば、完全な黒表示を 0 階調目とし、完全な白表示を 6 3 階調目とする。

なお、プリチャージを行う階調は、黒表示領域に限定すべきである。

5   つまり、書き込み画像データを判定し、黒領域階調（低輝度、つまり、電流駆動方式では、書き込み電流が小さい（微小））を選択しプリチャージする（選択プリチャージ）。全階調データに対し、プリチャージすると、今度は、白表示領域で、輝度の低下（目標輝度に到達しない）が発生する。また、画像に縦筋が表示される。

10   好ましくは、階調データの階調 0 から 1 / 8 の領域の階調で、選択プリチャージを行う（たとえば、6 4 階調の時は、0 階調目から 7 階調目までの画像データの時、プリチャージを行ってから、画像データを書き込む）。さらに、好ましくは、階調データの階調 0 から 1 / 1 6 の領域の階調で、選択プリチャージを行う（たとえば、6 4 階調の場合、0 階  
15 調目から 3 階調目までの画像データのとき、プリチャージを行ってから、画像データを書き込む）。

特に黒表示で、コントラストを高くするためには、階調 0 のみを検出してプリチャージする方式も有効である。これにより極めて黒表示が良好になる。問題は、画面全体が階調 1、2 の場合に画面が黒浮きして観  
20 察されることである。したがって、階調データの階調 0 から 1 / 8 の領域の階調と、一定の範囲とで選択プリチャージを行う。

なお、プリチャージの電圧、階調範囲は、R、G、B で異ならせることも有効である。EL 表示素子 1 5 は、R、G、B で発光開始電圧、発光輝度が異なっているためである。たとえば、R は、階調データの階調  
25 0 から 1 / 8 の領域の階調で、選択プリチャージを行う（たとえば、6 4 階調の時は、0 階調目から 7 階調目までの画像データのとき、プリチャージを行ってから、画像データを書き込む）。他の色（G、B）は、階調データの階調 0 から 1 / 1 6 の領域の階調で、選択プリチャージを

行う（たとえば、64階調の時は、0階調目から3階調目までの画像データ  
のとき、プリチャージを行ってから、画像データを書き込む）などの  
制御を行う。また、プリチャージ電圧も、Rが7（V）であれば、他  
の色（G、B）は、7.5（V）の電圧をソース信号線18に書き込む  
5 ようにする。最適なプリチャージ電圧は、EL表示パネルの製造ロット  
で異なることが多い。したがって、プリチャージ電圧は、外部ポリウム  
などで調整できるように構成しておくことが好ましい。この調整回路も  
電子ポリウム回路を用いることにより容易に実現できる。

以後、本発明の電流駆動方式のソースドライバ（回路）14について  
10 説明をする。本発明のソースドライバは、上述した本発明の駆動方法、  
駆動回路を実現するために用いる。また、本発明の駆動方法、駆動回路、  
および表示装置を組み合わせ用いる。なお、以下の説明では、ICチ  
ップとして説明をするがこれに限定するものではなく、低温ポリシリコ  
ン技術などを用いて、表示パネル上に作製してもよいことは言うまでも  
15 ない。

まず、第72図に、本発明の電流駆動方式のドライバ回路の一例を示  
す。第72図において、721はD/A変換器である。D/A変換器7  
21にはnビットのデータ信号が入力され、入力されたデータに基づき、  
D/A変換器からアナログ信号が出力される。このアナログ信号はオペ  
20 アンプ722に入力される。オペアンプ722はNチャンネルトランジ  
スタ631aに入力され、トランジスタ631aに流れる電流が抵抗6  
91に流れる。抵抗Rの端子電圧はオペアンプ722の－（マイナス）  
入力となり、この－端子の電圧とオペアンプ722の＋端子とは同一電  
圧となる。したがってD/A変換器721の出力電圧は抵抗691の端  
25 子電圧となる。

今、抵抗691の抵抗値が1MΩとし、D/A変換器721の出力が  
1（V）であれば、抵抗691には1（V）／1MΩ＝1（μA）の電  
流が流れる。これが定電流回路となる。したがって、データ信号の値に

応じて、D/A変換器721のアナログ出力が変化し、このアナログ出力の値にもとづいて抵抗691に所定の電流が流れる。

トランジスタ631p1と631p2とはカレントミラー回路を構成している。なお、トランジスタ631pはPチャンネル型トランジスタである。一方、633nはカレントミラーを構成するnチャンネル型トランジスタである。駆動用トランジスタ631aのソースドレイン(SD)にも同じ電流が流れ、631p1と631p2とで構成されるカレントミラー回路にも同じ電流値が流れ、各トランジスタ633nで構成されるカレントミラー回路にも同じ電流値が流れるので、出力端子  
5  
10 O1、O2、O3、O4、O5、・・・は同一の電流が流れる定電流出力端子となる(カレント倍率が等しい場合)。

しかしながら、ICは、同一のマスクから同一のプロセスに基づいて製造されても、半導体チップ上に形成されるトランジスタや抵抗などの各素子の電気的特性は異なり、たとえ同一ICであっても、定電流出力  
15 端子間では各出力電流にばらつきが存在する。このように、各定電流出力端子の出力電流値にばらつきが生じると、発光素子の発光量などにばらつきが生じ、ディスプレイパネルでは表示むらが生じる。したがって、ドライバIC14を使用して、有機EL表示パネルなどの発光素子を駆動する場合は、定電流出力端子間のばらつきをできるだけ最小限に  
20 することが必要となる。

そこで、定電流出力端子間の出力電流のばらつきをできるだけ最小限にするための回路構成、レイアウト構成を有する電流駆動型ドライバIC(回路)14が望まれる。

第63図に、本発明の電流駆動方式のソースドライバ(回路)14の構成図を示す。第63図では、一例として電流源を3段構成(631、632、633)とした場合の多段式カレントミラー回路を示している。

第63図において、第1段の電流源631の電流値は、N個(ただし、Nは任意の整数)の第2段電流源632にカレントミラー回路によりコ

ピーされる。更に、第 2 段電流源 6 3 2 の電流値は、M 個（ただし、M は任意の整数）の第 3 段電流源 6 3 3 にカレントミラー回路によりコピーされる。この構成により、結果として第 1 段電流源 6 3 1 の電流値は、 $N \times M$  個の第 3 段電流源 6 3 3 にコピーされることになる。

- 5      例えば、Q C I F 形式の表示パネルのソース信号線 1 8 に 1 個のドライバ I C 1 4 で駆動する場合は、1 7 6 出力（ソース信号線が各 R G B で 1 7 6 出力必要のため）となる。この場合は、N を 1 6 個とし、M = 1 1 個とする。したがって、 $1 6 \times 1 1 = 1 7 6$  となり、1 7 6 出力に対応できる。このように、N または M のうち、一方を 8 または 1 6 もしくはその倍数とすることにより、ドライバ I C の電流源のレイアウト設計が容易になる。

- 15      第 7 2 図に示す電流駆動方式のソースドライバでは、第 1 段電流源 6 3 1 の電流値を直接  $N \times M$  個の第 3 段電流源にカレントミラー回路でコピーしていたので、第 1 段電流源 6 3 1 のトランジスタ特性と第 3 段電流源のトランジスタ特性とに差が生じると、それがそのまま電流値のばらつきとなって、表示パネルの表示むらとなって現れていた。特に、ソースドライバ 1 4 は、幅が 2 mm 程度で長さが 2 0 mm 程度という細長い形状をしているので、中央部と両端ではトランジスタ特性のばらつきが大きく、このような問題は顕著であると考えられる。

- 20      これに対して、第 6 3 図に示す多段式カレントミラー回路による電流駆動方式のソースドライバ（回路）1 4 では、前記したように、第 1 段電流源 6 3 1 の電流値を直接  $N \times M$  個の第 3 段電流源 6 3 3 にカレントミラー回路でコピーするのではなく、中間に第 2 段電流源 6 3 2 を配備しているので、そこでトランジスタ特性のばらつきを吸収することが可能である。

25      特に、本発明は、第 1 段のカレントミラー回路（電流源 6 3 1）と第 2 段にカレントミラー回路（電流源 6 3 2）を密接して配置するところに特徴がある。第 1 段の電流源 6 3 1 から第 3 段の電流源 6 3 3（つま



り、カレントミラー回路の２段構成）であれば、第１段の電流源 ６ ３ １と接続される第３段の電流源 ６ ３ ３の個数が多く、第１段の電流源 ６ ３ １と第３段の電流源 ６ ３ ３とを密接して配置することができない。

本発明のソースドライバ １ ４は、第１段のカレントミラー回路（電流源 ６ ３ １）の電流を第２段のカレントミラー回路（電流源 ６ ３ ２）にコピーし、第２段のカレントミラー回路（電流源 ６ ３ ２）の電流を第３段にカレントミラー回路（電流源 ６ ３ ２）にコピーする構成である。この構成では、第 ７ ２ 図の場合と比較して、第１段のカレントミラー回路（電流源 ６ ３ １）に接続される第２段のカレントミラー回路（電流源 ６ ３ ２）の個数は少ない。したがって、第１段のカレントミラー回路（電流源 ６ ３ １）と第２段のカレントミラー回路（電流源 ６ ３ ２）とを密接して配置することができる。

密接してカレントミラー回路を構成するトランジスタを配置できれば、当然のことながら、トランジスタのばらつきは少なくなるから、コピーされる電流値のバラツキも少なくなる。また、第２段のカレントミラー回路（電流源 ６ ３ ２）に接続される第３段のカレントミラー回路（電流源 ６ ３ ３）の個数も少なくなる。したがって、第２段のカレントミラー回路（電流源 ６ ３ ２）と第３段のカレントミラー回路（電流源 ６ ３ ３）とを密接して配置することができる。

つまり、全体として、第１段のカレントミラー回路（電流源 ６ ３ １）、第２段のカレントミラー回路（電流源 ６ ３ ２）、第３段のカレントミラー回路（電流源 ６ ３ ３）の電流受け取り部のトランジスタを密接して配置することができる。したがって、密接してカレントミラー回路を構成するトランジスタを配置できるから、トランジスタのばらつきは少なくなり、出力端子からの電流信号のバラツキは極めて少なくなる（精度が高い）。

なお、本例では簡単のため多段式カレントミラー回路を３段構成で説明したが、この段数が大きければ大きいほど、電流駆動型表示パネルの

ソースドライバ 1 4 の電流ばらつきが小さくなることは言うまでもない。したがって、カレントミラー回路の段数は 3 段に限定するものではなく、3 段以上であってもよい。

本発明において、電流源 6 3 1、6 3 2、6 3 3 と表現したり、カレントミラー回路と表現したりしているが、これらは同義に用いている。つまり、電流源とは、本発明の基本的な構成概念であり、電流源を具体的に構成するとカレントミラー回路となるからである。したがって、電流源はカレントミラー回路のみに限定するものではなく、第 7 2 図に図示するようにオペアンプ 7 2 2、トランジスタ 6 3 1、および抵抗 R の組み合わせからなる電流回路でもよい。

第 6 4 図はさらに具体的なソースドライバ（回路） 1 4 の構造図である。第 6 4 図は第 3 の電流源 6 3 3 の部分を図示している。つまり、1 つのソース信号線 1 8 に接続される出力部である。最終段のカレントミラー構成として、複数の同一サイズのカレントミラー回路（電流源 6 3 4（1 単位））で構成されており、その個数が画像データのビットに対応して、ビット重み付けされている。

なお、本発明のソースドライバ（回路） 1 4 を構成するトランジスタは、MOS タイプに限定するものではなく、バイポーラタイプでもよい。また、シリコン半導体に限定するものではなく、ガリウム砒素半導体でもよい。また、ゲルマニウム半導体でもよい。また、基板に低温ポリシリコンなどのポリシリコン技術、アモルファスシリコン技術で直接形成したものでもよい。

第 6 4 図では、図から明らかであるが、本発明の 1 実施例として、6 ビットのデジタル入力の場合を示している。つまり、2 の 6 乗であるから、6 4 階調表示が可能である。このソースドライバ 1 4 をアレイ基板に積載することにより、赤（R）、緑（G）、青（B）が各 6 4 階調であるから、 $64 \times 64 \times 64 = \text{約 } 26 \text{ 万色}$ を表示できることになる。

第 6 4 図において、D 0 は LSB 入力を示しており、D 5 は MSB 入

力を示している。D 0 入力端子がHレベルのとき（正論理のとき）、スイッチ 6 4 1 a（オンオフ手段である。もちろん、単体トランジスタで構成してもよいし、PチャンネルトランジスタとNチャンネルトランジスタとを組み合わせたアナログスイッチなどでもよい）がオンする。すると、カレントミラーを構成する電流源（1 単位） 6 3 4 に向かって電流が流れる。この電流は I C 1 4 内の内部配線 6 4 3 に流れる。この内部配線 6 4 3 は I C 1 4 の端子電極を介してソース信号線 1 8 に接続されているから、この内部配線 6 4 3 に流れる電流が画素 1 6 のプログラム電流となる。

10 D 1 入力端子がHレベルのとき（正論理のとき）、スイッチ 6 4 1 b がオンする。すると、カレントミラーを構成する 2 つの電流源（1 単位） 6 3 4 に向かって電流が流れる。この電流は I C 1 4 内の内部配線 6 4 3 に流れる。この内部配線 6 4 3 は I C 1 4 の端子電極を介してソース信号線 1 8 に接続されているから、この内部配線 6 4 3 に流れる電流が  
15 画素 1 6 のプログラム電流となる。

他のスイッチ 6 4 1 でも同様である。D 2 入力端子がHレベルのとき（正論理のとき）は、スイッチ 6 4 1 c がオンする。すると、カレントミラーを構成する 4 つの電流源（1 単位） 6 3 4 に向かって電流が流れる。D 5 入力端子がHレベルのとき（正論理のとき）は、スイッチ 6 4  
20 1 f がオンする。すると、カレントミラーを構成する 3 2 の電流源（1 単位） 6 3 4 に向かって電流が流れる。

以上のように、外部からのデータ（D 0 ～D 5）に応じて、それに対応する電流源（1 単位）に向かって電流が流れる。したがって、データに応じて、0 個から 6 3 個の電流源（1 単位）に電流が流れるように構成されている。なお、本発明は説明を容易にするため、電流源は 6 ビットの 6 3 個としているが、これに限定するものではない。8 ビットの場合は、2 5 5 個の単位電流源 6 3 4 を形成（配置）すればよい。また、4 ビットの場合は、1 5 個の単位電流源 6 3 4 を形成（配置）すればよ  
25

い。単位電流源を構成するトランジスタ 6 3 4 は同一のチャンネル幅  $W$ 、チャンネル幅  $L$  とする。このように同一のトランジスタで構成することにより、ばらつきの少ない出力段を構成することができる。

また、電流源 6 3 4 はすべてが、同一の電流を流すことに限定するものではない。たとえば、各電流源 6 3 4 を重み付けしてもよい。たとえば、1 単位の電流源 6 3 4 と、2 倍の電流源 6 3 4 と、4 倍の電流源 6 3 4 などとを混在させて電流出力回路を構成してもよい。

しかし、電流源 6 3 4 を重み付けして構成すると、各重み付けした電流源が重み付けした割合にならず、バラツキが発生する可能性がある。  
したがって、重み付けする場合であっても、各電流源は、1 単位の電流源となるトランジスタを複数個形成することにより構成することが好ましい。

単位電流源 6 3 4 を構成するトランジスタの大きさは一定以上の大きさが必要である。トランジスタサイズが小さいほど出力電流のバラツキが大きくなる。ここで、トランジスタ 6 3 4 の大きさとは、チャンネル長  $L$  とチャンネル幅  $W$  とをかけたサイズをいう。たとえば、 $W = 3 \mu\text{m}$ 、 $L = 4 \mu\text{m}$  であれば、1 つの単位電流源を構成するトランジスタ 6 3 4 のサイズは、 $W \times L = 12$  平方  $\mu\text{m}$  である。トランジスタサイズが小さくなるほどバラツキが大きくなるのはシリコンウエハの結晶界面の状態が影響しているためと考えられる。したがって、1 つのトランジスタが複数の結晶界面にまたがって形成されているとトランジスタの出力電流バラツキは小さくなる。

トランジスタサイズと出力電流のバラツキの関係を第 1 1 7 図に示す。第 1 1 7 図のグラフの横軸はトランジスタサイズ（平方  $\mu\text{m}$ ）である。縦軸は、出力電流のバラツキ（ $\sigma$ ）を % で示したものである。ただし、出力電流のバラツキ % は、単位電流源（1 つの単位トランジスタ）6 3 4 を 6 3 個の組で形成し（6 3 個形成し）、この組を多数組ウエハ上に形成し、出力電流のバラツキをもとめたものである。したがって、

グラフの横軸は、1つの単位電流源を構成するトランジスタサイズで図示しているが、実際の並列するトランジスタは63個あるので面積は63倍である。しかし、本発明は単位電流源634の大きさを単位として検討している。したがって、第117図において、30平方 $\mu\text{m}$ の単位トランジスタ634を63個形成したとき、その時の出力電流のバラツキは、0.5%となることを示している。

64階調の場合は、 $100 / 64 = 1.5\%$ である。したがって、出力電流バラツキは1.5%以内にする必要がある。第117図から1.5%以下にするためには、単位トランジスタのサイズは2平方 $\mu\text{m}$ 以上に  
10  にする必要がある（64階調は63個の2平方 $\mu\text{m}$ の単位トランジスタが動作する）。一方でトランジスタサイズには制限がある。ICチップサイズが大きくなる点と、1出力あたりの横幅に制限があるからである。この点から、単位電流源634のサイズの上限は、300平方 $\mu\text{m}$ である。したがって、64階調表示では、単位電流源634のサイズは、2  
15  平方 $\mu\text{m}$ 以上300平方 $\mu\text{m}$ 以下にする必要がある。

128階調の場合は、 $100 / 128 = 0.78\%$ である。したがって、出力電流バラツキは1%以内にする必要がある。第117図から1%以下にするためには、単位トランジスタのサイズは8平方 $\mu\text{m}$ 以上に  
20  する必要がある。したがって、128階調表示では、単位電流源634のサイズは、8平方 $\mu\text{m}$ 以上300平方 $\mu\text{m}$ 以下にする必要がある。

なお、第117図は1 $\sigma$ のバラツキデータである。3 $\sigma$ を基準とする  
  ならば、64階調の場合は、 $(100 / 64) / 3 = 0.5\%$ である。したがって、出力電流バラツキは0.5%以内にする必要がある。第117図から0.5%以下にするためには、単位トランジスタのサイズは  
25  30平方 $\mu\text{m}$ 以上にする必要がある。一方でトランジスタサイズには制限がある。3 $\sigma$ を基準とするならば、64階調表示では、単位電流源634のサイズは、30平方 $\mu\text{m}$ 以上300平方 $\mu\text{m}$ 以下にする必要がある。実際には、多少のバラツキが発生しても画像表示でそのバラツキが

認識されることはない。64階調表示では、 $2\sigma$ レベルの15平方 $\mu\text{m}$ 以上300平方 $\mu\text{m}$ 以下で実用上は十分であった。

一般的に、階調数をKとし、単位トランジスタ634の大きさを $S_t$  (平方 $\mu\text{m}$ ) としたとき、

5       $40 \leq K / (S_t)^{1/2}$  かつ  $S_t \leq 300$  の関係を満足させる。

さらに好ましくは、 $120 \leq K / (S_t)^{1/2}$  かつ  $S_t \leq 300$  の関係を満足させることが好ましい。

以上の例は、64階調で63個のトランジスタを形成した場合である。

10      64階調を127個の単位トランジスタ634で構成する場合は、単位トランジスタ634のサイズとは、2つの単位トランジスタ634を加えたサイズである。たとえば、64階調で、単位トランジスタ634のサイズが10平方 $\mu\text{m}$ であり、127個形成されていたら、第117図では単位トランジスタのサイズは $10 \times 2 = 20$ の欄をみる必要がある。  
15      同様に、64階調で、単位トランジスタ634のサイズが10平方 $\mu\text{m}$ であり、255個形成されていたら、第117図では単位トランジスタのサイズは $10 \times 4 = 40$ の欄をみる必要がある。

第64図の構成は第63図に図示する第3段のカレントミラー部である。したがって、第1の電流源631と第2段の電流源632とが別途形成されており、これらが密集（密接あるいは隣接）して配置されているのである。また、第2段の電流源632および第3段の電流源を構成するカレントミラー回路のトランジスタ633aも密集（密接あるいは隣接）して配置される。

25      なお、特に電流源（1単位）634は、密集して配置され、かつ微小な電流が流れる。したがって、EL表示パネルなどから放射される光（発光光）が、電流源634（他に631、632、633も考慮すべきである）に照射されると、ホットコンダクタ現象（ホットコン）により誤動作を引き起こす。この課題に対応するため、チップの裏面に遮光膜を形成

する。また、基板に実装する箇所で、かつ、チップの電流源が形成された箇所に遮光膜を形成する（パネル基板の表面に金属薄膜、有機材料あるいは無機材料などからなる光吸収膜を形成する）。この遮光膜は、EL素子15に電流を供給するアノード配線、カソード配線を引き回す（ICチップ下に引き回す）ことにより、構成すれば形成が容易であり、低コスト化できる。この構成は、ICチップに限定されるものではない。低温ポリシリコン、高温ポリシリコンもしくは固相成長により形成された半導体膜（CGS）、アモルファスシリコン技術を用いてソースドライバ14にも適用される。つまり、このソースドライバ14の裏面に遮光膜を形成する。

第2段のカレントミラー回路632を流れる電流は、第3段のカレントミラー回路を構成するトランジスタ633aにコピーされ、カレントミラー倍率が1倍の時は、この電流がトランジスタ633bに流れる。この電流は、最終段のトランジスタ634にコピーされる。

15 D0に対応する部分は、1個のトランジスタ634で構成されているので、最終段電流源のトランジスタ633に流れる電流値である。D1に対応する部分は2個のトランジスタ634で構成されているので、最終段電流源の2倍の電流値である。D2は4個のトランジスタ634で構成されているので、最終段電流源の4倍の電流値である。以下同様にして、D5に対応する部分は32個のトランジスタで構成されているので、最終段電流源の32倍の電流値である。したがって、6ビットの画像データD0、D1、D2、・・・、D5で制御されるスイッチを介してプログラム電流I<sub>w</sub>はソース信号線に出力される（電流を引き込む）。したがって、6ビットの画像データD0、D1、D2、・・・、D5のON、OFFに応じて、出力線には、最終段電流源633の1倍、2倍、4倍、・・・、32倍の電流が加算されて出力される。すなわち、6ビットの画像データD0、D1、D2、・・・、D5により、最終段電流源633の0～63倍の電流値が出力線より出力される（ソース信号線

1 8 から電流を引き込む。

以上のように、最終段電流源 6 3 3 の整数倍の構成により、従来の W / L の比例配分と比較して、より高精度に電流値を制御できる（各端子の出力バラツキがなくなる）。

- 5     ただし、この構成は、画素 1 6 を構成する駆動用 T F T 1 1 a が P チャンネルで構成され、かつ、ソースドライバ 1 4 を構成する電流源（1 単位）部 6 3 4 が N チャンネルトランジスタで構成されている場合である。他の場合（例えば、画素 1 6 の駆動用 T F T 1 1 a が N チャンネルトランジスタで構成されている場合など）は、プログラム電流 I w が吐  
10   き出し電流となる構成も実施できることはいうまでもない。

- なお、最終段電流源 6 3 3 の 0 ～ 6 3 倍の電流が出力されとしたが、これは最終段電流源 6 3 3 のカレントミラー倍率が 1 倍のときである。カレントミラー倍率が 2 倍のときは、最終段電流源 6 3 3 の 0 ～ 1 2 6 倍の電流が出力され、カレントミラー倍率が 0 . 5 倍のときは、最終段  
15   電流源 6 3 3 の 0 ～ 3 1 . 5 倍の電流が出力される。以上のように、本発明は最終段電流源 6 3 3 あるいは、それより前段の電流源（6 3 1、6 3 2 など）のカレントミラー倍率を変化させることにより、出力の電流値を容易に変更できる。また、以上の事項は、R、G、B ごとにカレントミラー倍率を変更する（異ならせる）ことも好ましい。たとえば、  
20   R のみ、いずれかの電流源のカレントミラー倍率を他の色に対して（他の色に対応する電流源回路に対して）、変化（異ならせる）させてもよい。特に、E L 表示パネルは、各色（R、G、B あるいはシアン、イエロー、マゼンダ）ごとに発光効率などが異なる。したがって、各色でカレントミラー倍率を変化させることにより、ホワイトバランスを良好に  
25   できる。

電流源のカレントミラー倍率を他の色に対して（他の色に対応する電流源回路に対して）、変化させる（異ならせる）という事項は、固定的なものに限定されない。可変することにも含まれる。可変は、電流源にカ



レントミラー回路を構成するトランジスタを複数形成しておき、外部からの信号によりカレント電流を流す前記トランジスタの個数を切り替えることにより実現できる。このように構成することにより、作製されたEL表示パネルの各色の発光状態を観察しながら、最適なホワイトバランスに調整することが可能になる。特に、本発明は、多数段に電流源（カレントミラー回路）を連結する構成である。したがって、第1段の電流源631と第2段の電流源632とのカレントミラー倍率を変化させると、少ない連結部（カレントミラー回路など）により容易に多数の出力の出力電流を変化できる。もちろん、第2段の電流源632と第3段の電流源633とのカレントミラー倍率を変化させるよりも、少ない連結部（カレントミラー回路など）により容易に多数の出力の出力電流を変化できることはいうまでもない。

なお、カレントミラー倍率を変化させるという概念は、電流倍率を変化（調整）させるということである。したがって、カレントミラー回路のみに限定されるものではない。たとえば、電流出力のオペアンプ回路、電流出力のD/A回路などでも実現できる。

以上に説明した事項は、本発明の他の実施例についても適用されることはいうまでもない。

第65図に、3段式カレントミラー回路による176出力（ $N \times M = 176$ ）の回路図の一例を示す。第65図では、第1段カレントミラー回路による電流源631を親電流源、第2段カレントミラー回路による電流源632を子電流源、第3段カレントミラー回路による電流源633を孫電流源と記している。最終段カレントミラー回路である第3段カレントミラー回路による電流源の整数倍の構成により、176出力のばらつきを極力抑え、高精度な電流出力が可能である。もちろん、電流源631、632、633を密集して配置するという構成を忘れてはならない。

なお、ここで「密集して配置する」とは、第1の電流源631と第2

の電流源 6 3 2 とを少なくとも 8 mm 以内の距離に配置（電流あるいは電圧の出力側と電流あるいは電圧の入力側）することをいう。さらには、5 mm 以内に配置することが好ましい。この範囲であれば、検討によりシリコンチップ内で配置されてトランジスタの特性（ $V_t$ 、モビリティ（ $\mu$ ））差がほとんど発生しないからである。また、同様に、第 2 の電流源 6 3 2 および第 3 の電流源 6 3 3（電流の出力側と電流の入力側）も少なくとも 8 mm 以内の距離に配置する。さらに好ましくは、5 mm 以内の位置に配置することが好ましい。以上の事項は、本発明の他の実施例においても適用されることは言うまでもない。

10 この電流あるいは電圧の出力側と電流あるいは電圧の入力側とは、以下の関係を意味する。第 6 6 図の電圧受け渡しの場合は、第（ $I$ ）段の電流源のトランジスタ 6 3 1（出力側）と第（ $I + 1$ ）の電流源のトランジスタ 6 3 2 a（入力側）とを密集して配置する関係である。第 6 7 図の電流受け渡しの場合は、第（ $I$ ）段の電流源のトランジスタ 6 3 1 a（出力側）と第（ $I + 1$ ）の電流源のトランジスタ 6 3 2 b（入力側）とを密集して配置する関係である。

15 なお、第 6 5 図、第 6 6 図などにおいて、トランジスタ 6 3 1 は 1 個としたが、これに限定するものではない。たとえば、小さなトランジスタ 6 3 1 を複数個形成し、この複数個のトランジスタのソースまたはドレイン端子を抵抗 6 5 1 と接続してもよい。小さなトランジスタを複数個並列に接続することにより、トランジスタのばらつきを低減することができる。

25 同様に、トランジスタ 6 3 2 a は 1 個としたが、これに限定するものではない。たとえば、小さなトランジスタ 6 3 2 a を複数個形成し、このトランジスタ 6 3 2 a の複数個のゲート端子を、トランジスタ 6 3 1 のゲート端子と接続してもよい。小さなトランジスタ 6 3 2 a を複数個並列に接続することにより、トランジスタ 6 3 2 a のばらつきを低減することができる。

したがって、本発明の構成としては、1つのトランジスタ631と複数個のトランジスタ632aとを接続する構成、複数個のトランジスタ631と1個のトランジスタ632aとを接続する構成、複数個のトランジスタ631と複数個のトランジスタ632aとを接続する構成が  
5 例示される。

以上の事項は、第68図のトランジスタ633aとトランジスタ633bとの構成にも適用される。1つのトランジスタ633aと複数個のトランジスタ633baとを接続する構成、複数個のトランジスタ633aと1個のトランジスタ633bとを接続する構成、複数個のトランジスタ633aと複数個のトランジスタ633bとを接続する構成が  
10 例示される。小さなトランジスタ633を複数個並列に接続することにより、トランジスタ633のばらつきを低減することができるからである。

また、以上の事項は、第68図のトランジスタ632a、632bとの関係にも適用することができる。また、第64図のトランジスタ633bも複数個のトランジスタで構成することが好ましい。第73図、第74図のトランジスタ633についても同様に複数個のトランジスタで構成することが好ましい。

ここで、シリコンチップとしたが、これは、半導体チップの意味である。したがって、ガリウム基板に形成されたチップ、ゲルマニウム基板など形成された他の半導体チップも同様である。  
20

さらには、低温ポリシリコン、高温ポリシリコンもしくは固相成長により形成された半導体膜(CGS)、もしくはアモルファスシリコン技術を用いてソースドライバにも適用される。ただし、この場合は、パネルが比較的大型の場合が多い。パネルが大型であると多少のソース信号線18からの出力バラツキがあっても視覚的に認識されにくい。したがって、以上のガラス基板などに画素TFEと同時にソースドライバ14を形成する表示パネルでは、密集して配置するとは、第1の電流源63  
25

1 と第 2 の電流源 6 3 2 とを少なくとも 3 0 m m 以内の距離に配置（電流の出力側と電流の入力側）することをいう。さらには、2 0 m m 以内に配置することが好ましい。この範囲であれば、検討によりこの範囲に配置されたトランジスタの特性（ $V_t$ 、モビリティ（ $\mu$ ））差がほとんど発生しないからである。また、同様に、第 2 の電流源 6 3 2 および第 3 の電流源 6 3 3（電流の出力側と電流の入力側）も少なくとも 3 0 m m 以内の距離に配置する。さらに好ましくは、2 0 m m 以内の位置に配置することが好ましい。

以上の説明は、理解を容易に、あるいは説明を容易にするため、カレントミラー回路間では電圧により信号を受け渡すように説明をした。しかし、電流受け渡し構成にすることにより、よりばらつきの小さい電流駆動型表示パネルの駆動用ドライバ回路（I C）1 4 を実現することができる。

第 6 7 図は電流受け渡し構成の実施例である。なお、第 6 6 図は電圧受け渡し構成の実施例である。第 6 6 図、第 6 7 図とも回路図としては同じであり、レイアウト構成すなわち配線の引き回し方が異なる。第 6 6 図において、6 3 1 は第 1 段電流源用 N c h トランジスタ、6 3 2 a は第 2 段電流源用 N c h トランジスタ、6 3 2 b は第 2 段電流源用 P c h トランジスタである。

第 6 7 図において、6 3 1 a は第 1 段電流源用 N c h トランジスタ、6 3 2 a は第 2 段電流源用 N c h トランジスタ、6 3 2 b は第 2 段電流源用 P c h トランジスタである。

第 6 6 図では、可変抵抗 6 5 1（電流を変化するために用いるものである）と N c h トランジスタ 6 3 1 で構成される第 1 段電流源のゲート電圧が、第 2 段電流源の N c h トランジスタ 6 3 2 a のゲートに受け渡されているので、電圧受け渡し方式のレイアウト構成となる。

一方、第 6 7 図では、可変抵抗 6 5 1 と N c h トランジスタ 6 3 1 a で構成される第 1 段電流源のゲート電圧が、隣接する第 2 段電流源の N

c h トランジスタ 6 3 2 a のゲートに印加され、その結果トランジスタに流れる電流値が、第 2 段電流源の P c h トランジスタ 6 3 2 b に受け渡されているので、電流受け渡し方式のレイアウト構成となる。

5      なお、本発明の実施例では説明を容易にするため、あるいは理解を容易にするために、第 1 の電流源と第 2 の電流源との関係を中心に説明しているが、これに限定されるものではなく、第 2 の電流源と第 3 の電流源との関係、あるいはそれ以外の電流源との関係においても適用される（適用できる）ことは言うまでもない。

10      第 6 6 図に示した電圧受け渡し方式のカレントミラー回路のレイアウト構成では、カレントミラー回路を構成する第 1 段の電流源の N c h トランジスタ 6 3 1 と第 2 段の電流源の N c h トランジスタ 6 3 2 a が離れ離れになる（離れ離れになりやすいというべきではある）ので、両者のトランジスタ特性に相違が生じやすい。したがって、第 1 段電流源の電流値が第 2 段電流源に正確に伝達されず、ばらつきが生じやすい。

15      それに対して、第 6 7 図に示した電流受け渡し方式のカレントミラー回路のレイアウト構成では、カレントミラー回路を構成する第 1 段電流源の N c h トランジスタ 6 3 1 a と第 2 段電流源の N c h トランジスタ 6 3 2 a とが隣接している（隣接して配置しやすい）ので、両者のトランジスタ特性に相違は生じにくく、第 1 段電流源の電流値が第 2 段電流源に正確に伝達され、ばらつきが生じにくい。

20      以上のことから、本発明の多段式カレントミラー回路の回路構成（本発明の電流駆動方式のソースドライバ（I C）1 4）として、電圧受け渡しではなく、電流受け渡しとなるレイアウト構成とすることにより、よりばらつきが小さくでき好ましい。以上の実施例は本発明の他の実施例にも適用できることは言うまでもない。

    なお、説明の都合上、第 1 段電流源から第 2 段電流源の場合を示したが、第 2 段電流源から第 3 段電流源、第 3 段電流源から第 4 段電流源、・・・の場合も同様であることは言うまでもない。

第 6 8 図は、第 6 5 図の 3 段構成のカレントミラー回路（3 段構成の電流源）を、電流受け渡し方式にした場合の例を示している（したがって、第 6 5 図は電圧受け渡し方式の回路構成である）。

第 6 8 図では、まず、可変抵抗 6 5 1 と N c h トランジスタ 6 3 1 で  
5 基準電流（基準信号）が作成される。なお、可変抵抗 6 5 1 で基準電流を調整するように説明しているが、実際は、ソースドライバ（回路） 1 4 内に形成（もしくは配置）された電子ポリウム回路によりトランジスタ 6 3 1 のソース電圧が設定され、調整されるように構成される。もしくは、第 6 4 図に図示するような多数の電流源（1 単位） 6 3 4 から構  
10 成される電流方式の電子ポリウムから出力される電流を直接にトランジスタ 6 3 1 のソース端子に供給することにより基準電流は調整される（第 6 9 図を参照のこと）。

トランジスタ 6 3 1 による第 1 段電流源のゲート電圧が、隣接する第 2 段電流源の N c h トランジスタ 6 3 2 a のゲートに印加され、その結  
15 果トランジスタに流れる電流値が、第 2 段電流源の P c h トランジスタ 6 3 2 b に受け渡される。また、第 2 の電流源のトランジスタ 6 3 2 b によるゲート電圧が、隣接する第 3 段電流源の N c h トランジスタ 6 3 3 a のゲートに印加され、その結果トランジスタに流れる電流値が、第 3 段電流源の N c h トランジスタ 6 3 3 b に受け渡される。第 3 段電流  
20 源の N c h トランジスタ 6 3 3 b のゲートには第 6 4 図に図示する多数の電流源 6 3 4 が必要なビット数に応じて形成（配置）される。

第 6 9 図では、前記多段式カレントミラー回路の第 1 段電流源 6 3 1 に、電流値調整用素子が具備されていることを特徴としている。この構成により、第 1 段電流源 6 3 1 の電流値を変化させることにより、出力  
25 電流をコントロールすることが可能となる。

トランジスタの  $V_t$  バラツキ（特性バラツキ）は、1 ウエハ内で 1 0 0 m V 程度のばらつきがある。しかし、1 0 0  $\mu$  以内に近接して形成されたトランジスタの  $V_t$  バラツキは、少なくとも、1 0 m V 以下である

(実測)。つまり、トランジスタを近接して形成し、カレントミラー回路を構成することにより、カレントミラー回路の出力電流バラツキを減少させることができる。したがって、ソースドライバの各端子の出力電流バラツキを少なくすることができる。

- 5      第 1 1 0 図はトランジスタの形成面積（平方ミリメートル）と、単体トランジスタの出力電流バラツキ（ $3\sigma$ ）との測定結果を示している。出力電流バラツキとは、 $V_t$  電圧での電流バラツキである。黒点は所定の形成面積内に作製された評価サンプル（10－200個）のトランジスタ出力電流バラツキである。第 1 1 0 図の A 領域（形成面積 0.5 平方
- 10   ミリメートル以内）内で形成されたトランジスタには、ほとんど出力電流のバラツキがない（ほぼ、誤差範囲の出力電流バラツキしかない。つまり、一定の出力電流が出力される）。逆に C 領域（形成面積 2.4 平方ミリメートル以上）では、形成面積に対する出力電流のバラツキが急激に大きくなる傾向がある。B 領域（形成面積 0.5 平方ミリメートル
- 15   以上 2.4 平方ミリメートル以下）では、形成面積に対する出力電流のバラツキはほぼ比例の関係にある。

ただし、出力電流の絶対値は、ウエハごとに異なる。しかし、この問題は、本発明のソースドライバ（IC）14において、基準電流を調整すること、あるいは所定値にすることにより対応できる。また、カレン

20   トミラー回路などの回路工夫で対応できる（解決できる）。

本発明は、入力デジタルデータ（D）により、単位トランジスタ 634 に流れる電流数を切り替えることによりソース信号線 18 に流れる電流量を変化（制御）する。階調数が 64 階調以上であれば、 $1/64 = 0.015625$  であるから、理論的には、1～2%以内の出力電流バラツキ

25   キ以内にする必要がある。なお、1%以内の出力バラツキは、視覚的には判別することが困難になり、0.5%以下ではほぼ判別することができない（均一に見える）。

出力電流バラツキ（%）を 1%以内にするためには、第 1 1 0 図の結

果に示すようにトランジスタ群（バラツキの発生を抑制すべきトランジスタ）の形成面積を2平方mm以内にすることがある。さらに好ましくは、出力電流のバラツキ（つまり、トランジスタの $V_t$ バラツキ）を0.5%以内にすることが好ましい。第110図の結果に示すようにトランジスタ群681の形成面積を1.2平方mm以内にすればよい。なお、形成面積とは、縦×横の長さの面積である。たとえば、一例として、1.2平方mmでは、1mm×1.2mmである。

なお、以上は、特に8ビット（256階調）以上の場合である。256階調以下の場合、たとえば、6ビット（64階調）の場合は、出力電流のバラツキは2%程度であっても良い（画像表示上、実状は問題がない）。この場合は、トランジスタ群681は、5平方ミリメートル以内に形成すればよい。また、トランジスタ群681（第68図では、トランジスタ群681aと681bの2つを図示している）の両方が、この条件を満足することを要しない。少なくとも一方が（3つ以上ある場合は、1つ以上のトランジスタ群681）この条件を満足するように構成すれば本発明の効果が発揮される。特に、下位のトランジスタ群681（681aが上位で、681bが下位の関係）に、関してこの条件を満足させることが好ましい。画像表示に問題が発生しにくくなるからである。

以上の事項は本発明の他の実施例においても適用され、また、本発明の表示パネル、アレイ、表示装置などと組み合わせることができる。

本発明のソースドライバ（IC）14は、第68図に図示するように、親、子、孫というように少なくとも複数の電流源を多段接続し、かつ各電流源密配置にしている（もちろん、親、子の2段接続でもよい）。また、各電流源間（トランジスタ群681間）を電流受け渡しにしている。具体的には、第68図の点線で囲った範囲（トランジスタ群681）を密配置にする。このトランジスタ群681は電圧受け渡しの関係にある。また、親の電流源631と子の電流源632aとは、ソースドライバ1



4 チップの略中央部に形成または配置する。チップの左右に配置された子の電流源を構成するトランジスタ 6 3 2 a と、子の電流源を構成するトランジスタ 6 3 2 b との距離を比較的短くすることができるからである。つまり、最上位のトランジスタ群 6 8 1 a を I C チップの略中央部

5 部に配置する。そして、I C チップ 1 4 の左右に、下位のトランジスタ群 6 8 1 b を配置する。好ましくは、この下位のトランジスタ群 6 8 1 b の個数が I C チップの左右で略等しくなるように配置または、形成もしくは作製するのである。なお、以上の事項は、I C チップ 1 4 に限定されず、低温あるいは高温ポリシリコン技術で基板 7 1 に直接形成した

10 ソースドライバ 1 4 にも適用される。他の事項も同様である。

本発明では、トランジスタ群 6 8 1 a は I C チップ 1 4 の略中央部に 1 つ構成または配置または形成あるいは作製されており、チップの左右に 8 個ずつトランジスタ群 6 8 1 b が形成されている ( $N = 8 + 8$ 、第 6 3 図を参照のこと)。子のトランジスタ群 6 8 1 b はチップの左右に

15 等しくなるように、もしくは、チップ中央の親が形成された位置に対し、左側に形成または配置されたトランジスタ群 6 8 1 b の個数と、チップの右側に形成または配置されたトランジスタ群 6 8 1 b の個数との差が、4 個以内となるように構成することが好ましい。さらには、チップの左側に形成または配置されたトランジスタ群 6 8 1 b の個数と、チッ

20 プの右側に形成または配置されたトランジスタ群 6 8 1 b の個数との差が、1 個以内となるように構成することが好ましい。以上の事項は、孫にあたるトランジスタ群 (第 6 8 図では省略されているが) についても同様である。

親電流源 6 3 1 と子電流源 6 3 2 a との間は電圧受け渡し (電圧接

25 続) されている。したがって、トランジスタの  $V_t$  バラツキの影響を受けやすい。そのため、トランジスタ群 6 8 1 a の部分を密配置する。このトランジスタ群 6 8 1 a の形成面積を、第 1 1 0 図で示すように 2 平方ミリメートル以内の面積に形成する。さらに好ましくは 1. 2 平方ミ

リメートル以内に形成する。もちろん、階調数が64階調以下の場合、5平方ミリメートル以内でもよい。

トランジスタ群681aと子トランジスタ632bとの間は電流でデータを受け渡し（電流受け渡し）しているので、多少、距離は離れても構わない。この距離の範囲（たとえば、上位のトランジスタ群681aの出力端から下位のトランジスタ681bの入力端までの距離）は、先に説明したように、第2の電流源（子）を構成するトランジスタ632aと第2の電流源（子）を構成するトランジスタ632bとを、少なくとも10mm以内の距離に配置する。好ましくは8mm以内に配置または形成する。さらには、5mm以内に配置することが好ましい。この範囲であれば、検討によりシリコンチップ内で配置されてトランジスタの特性（ $V_t$ 、モビリティ（ $\mu$ ））差が、電流受け渡しではほとんど影響しないからである。特に、この関係は、下位のトランジスタ群で実施することが好ましい。たとえば、トランジスタ群681aが上位で、その下位にトランジスタ群681b、さらにその下位にトランジスタ群681cがあれば、トランジスタ群681bとトランジスタ群681cの電流受け渡しがこの関係を満足させる。したがって、すべてのトランジスタ群681がこの関係を満足させることに、本発明が限定されるものではない。少なくとも1組のトランジスタ群681がこの関係を満足させるようにすればよい。特に、下位の方が、トランジスタ群681の個数が多くなるからである。

第3の電流源（孫）を構成するトランジスタ633aと第3の電流源を構成するトランジスタ633bについても同様である。なお、電圧受け渡しでも、ほぼ適用することができることは言うまでもない。

トランジスタ群681bはチップの左右方向（長手方向、つまり、出力端子761と対面する位置）に形成または作製あるいは配置されている。このトランジスタ群681bの個数Mは、本発明では11個（第63図を参照）である。

子電流源 6 3 2 b と孫電流源 6 3 3 a との間は電圧受け渡し（電圧接続）されている。そのため、トランジスタ群 6 8 1 a と同様にトランジスタ群 6 8 1 b の部分を密配置する。このトランジスタ群 6 8 1 b の形成面積を、第 1 1 0 図で示すように 2 平方ミリメートル以内とする。さらに好ましくは 1. 2 平方ミリメートル以内とする。ただし、このトランジスタ群 6 8 1 b 部分の  $V_t$  が少しでもばらつくと画像として認識されやすい。したがって、ほとんどバラツキが発生しないように、形成面積は第 1 1 0 図の A 領域（0. 5 平方ミリメートル以内）にすることが好ましい。

10 トランジスタ群 6 8 1 b を構成する孫トランジスタ 6 3 3 a とトランジスタ 6 3 3 b との間は電流でデータを受け渡し（電流受け渡し）しているので、多少、距離が離れても構わない。この距離の範囲についても先の説明と同様である。第 3 の電流源（孫）を構成するトランジスタ 6 3 3 a と第 2 の電流源（孫）を構成するトランジスタ 6 3 3 b とを、  
15 少なくとも 8 mm 以内の距離に配置する。さらには、5 mm 以内に配置することが好ましい。

第 6 9 図に、前記電流値制御用素子として、電子ボリウムで構成した場合を示す。電子ボリウムは抵抗 6 9 1（電流制限および各基準電圧を作成する。抵抗 6 9 1 はポリシリコンで形成する）、デコーダ 6 9 2、  
20 レベルシフタ 6 9 3 などで構成される。なお、電子ボリウムは電流を出力する。トランジスタ 6 4 1 はアナログスイッチ回路として機能する。

また、電子ボリウム回路は、E L 表示パネルの色数に応じて形成（もしくは配置）する。たとえば、R G B の 3 原色であれば、各色に対応する 3 つの電子ボリウム回路を形成（もしくは配置）し、各色を独立に調整  
25 できるようにすることが好ましい。しかし、1 つの色を基準にする（固定する）場合は、色数 - 1 分の電子ボリウム回路を形成（もしくは配置）する。

第 7 6 図は、R G B の 3 原色を独立に基準電流を制御する抵抗素子 6

5 1 を形成（配置）した構成である。もちろん、抵抗素子 6 5 1 は電子  
ポリウムに置き換えてもよいことは言うまでもない。電流源 6 3 1、電  
流源 6 3 2 などの親電流源、子電流源など基本（根本）となる電流源は  
第 7 6 図に図示する領域に電流出力回路 7 0 4 に密集して配置する。密  
5 集して配置することにより、各ソース信号線 1 8 からの出力バラツキが  
低減する。第 7 6 図に図示するように IC チップ（回路）1 4 の中央部  
に電流出力回路 7 0 4 に配置することにより、IC チップ（回路）1 4  
の左右に電流源 6 3 1、6 3 2 などから電流を均等に分配することが容  
易となる。したがって、左右の出力バラツキが発生しにくい。

10     ただし、中央部に電流出力回路 7 0 4 に配置することに限定するもの  
ではない。IC チップの片端もしくは両端に形成してもよい。また、出  
力段回路と平行に形成してもよい。

電流出力回路 7 0 4 は、R、G、B ごとに形成（配置）し、かつ、こ  
の RGB の電流出力回路 7 0 4 R、7 0 4 G、7 0 4 B も近接して配置  
15 する。また、各色（R、G、B）に、第 7 3 図に図示する低電流領域の  
基準電流  $I_{NL}$  を調整し、また、第 7 4 図に図示する低電流領域の基準  
電流  $I_{NH}$  を調整する（第 7 9 図も参照のこと）。したがって、R の電  
流出力回路 7 0 4 R には低電流領域の基準電流  $I_{NL}$  を調整するポリ  
ウム（もしくは、電圧出力もしくは電流出力の電子ポリウム）6 5 1 R  
20 L が配置され、高電流領域の基準電流  $I_{NH}$  を調整するポリウム（もし  
くは、電圧出力もしくは電流出力の電子ポリウム）6 5 1 R H が配置さ  
れる。同様に、G の電流出力回路 7 0 4 G には低電流領域の基準電流  $I_{NL}$   
を調整するポリウム（もしくは、電圧出力もしくは電流出力の電子  
ポリウム）6 5 1 G L が配置され、高電流領域の基準電流  $I_{NH}$  を調整  
25 するポリウム（もしくは、電圧出力もしくは電流出力の電子ポリウム）  
6 5 1 G H が配置される。また、B の電流出力回路 7 0 4 B には低電流  
領域の基準電流  $I_{NL}$  を調整するポリウム（もしくは、電圧出力もしくは  
電流出力の電子ポリウム）6 5 1 B L が配置され、高電流領域の基準

電流  $I_{NH}$  を調整するポリウム（もしくは、電圧出力もしくは電流出力の電子ポリウム）651BHが配置される。

5      なお、ポリウム651などは、EL素子15の温度特性を補償できるように、温度で変化するように構成することが好ましい。また、第79図に示すガンマ特性で、折れ曲がり点が2点以上あるときは、各色の基準電流を調整する電子ポリウムあるいは抵抗などは3個以上にしてもよいことは言うまでもない。

10      ICチップの出力端子には、出力パッド761が形成または配置されている。この出力パッドと、表示パネルのソース信号線18とが接続される。出力パッド761は、メッキ技術あるいはネイルヘッドボンダ技術によりバンプ（突起）が形成されている。突起の高さは10  $\mu m$  以上40  $\mu m$  以下の高さにする。

15      前記バンプと各ソース信号線18とは導電性接合層（図示せず）を介して電氣的に接続されている。導電性接合層は接着剤としてエポキシ系、フェノール系等を主剤とし、銀（Ag）、金（Au）、ニッケル（Ni）、カーボン（C）、酸化錫（ $SnO_2$ ）などのフレークを混ぜた物、あるいは紫外線硬化樹脂などである。導電性接合層は、転写等の技術でバンプ上に形成する。また、バンプとソース信号線18とをACF樹脂で熱圧着する。なお、バンプあるいは出力パッド761とソース信号線18  
20      との接続は、以上の方式に限定するものではない。また、アレイ基板上にIC14を積載せず、フィルムキャリア技術を用いてもよい。また、ポリイミドフィルム等を用いてソース信号線18などと接続しても良い。

25      第69図において、入力された4ビットの電流値制御用データ（DI）は、4ビットデコーダ回路692でデコードされる（分割数が64必要であれば、6ビットにすることは言うまでもない。ここでは説明を容易にするため、4ビットとして説明をする）。その出力はレベルシフタ回路693により、ロジックレベルの電圧値からアナログレベルの電

圧値に昇圧され、アナログスイッチ 6 4 1 に入力される。

電子ポリウム回路の主構成部は、固定抵抗  $R_{0691a}$  と 16 個の単位抵抗  $r_{691b}$  で構成されている。デコーダ回路 6 9 2 の出力は、16 個のアナログスイッチ 6 4 1 のいずれかに接続されており、デコーダ回路 6 9 2 の出力により、電子ポリウムの抵抗値が定まるように構成されている。すなわち、例えば、デコーダ回路 6 9 2 の出力が 4 であれば、電子ポリウムの抵抗値は  $R_0 + 5r$  となる。この電子ポリウムの抵抗は、第 1 段電流源 6 3 1 の負荷となっており、アナログ電源  $AV_{dd}$  にプルアップされている。したがって、この電子ポリウムの抵抗値が変化すると、第 1 段電流源 6 3 1 の電流値が変化し、その結果、第 2 段電流源 6 3 2 の電流値が変化し、その結果、第 3 段電流源 6 3 3 の電流値も変化して、ドライバ IC の出力電流はコントロールされることになる。

なお、説明の都合上、電流値制御用データは 4 ビットとしたが、これは 4 ビットに固定されるものではなく、ビット数が多ければ多いほど、電流値の可変数が多くなることは言うまでもない。また、多段式カレントミラーの構成を 3 段として説明したが、これも 3 段に固定されるものではなく、任意の段数でもかまわないことは言うまでもない。

また、温度変化により、EL 素子の発光輝度が変化するという課題に対して、電子ポリウム回路の構成として、温度により抵抗値が変化する外付け抵抗  $691a$  を具備させることが好ましい。温度により抵抗値が変化する外付け抵抗とは、サーミスタ、ポジスタなどが例示される。一般に、素子に流れる電流に応じて輝度が変化する発光素子は、温度特性を持っており、同じ電流値を流しても、その発光輝度は温度により変化する。そこで、温度により抵抗値が変化する外付け抵抗  $691a$  を電子ポリウムに付けることにより、定電流出力の電流値を温度により変化させることができ、温度が変化しても発光輝度を常に一定にすることができる。

なお、前記多段式カレントミラー回路を、赤 (R) 用、緑 (G) 用、

青（Ｂ）用の３系統に分離することが好ましい。一般に有機ＥＬ等の電  
流駆動型発光素子では、Ｒ、Ｇ、Ｂで発光特性が異なる。従って、Ｒ、  
Ｇ、Ｂで同じ輝度にするためには、発光素子に流す電流値をＲ、Ｇ、Ｂ  
でそれぞれ調整する必要がある。また、有機ＥＬ表示パネル等の電流駆  
5 動型発光素子では、Ｒ、Ｇ、Ｂで温度特性が異なる。従って、温度特性  
を補正するために形成または配置したサーミスタ等の外部補助素子の  
特性も、Ｒ、Ｇ、Ｂでそれぞれ調整する必要がある。

本発明では、前記多段式カレントミラー回路が、Ｒ用、Ｇ用、Ｂ用の  
３系統に分離されているので、発光特性や温度特性をＲ、Ｇ、Ｂでそれ  
10 ぞれ調整することができ、最適なホワイトバランスを得ることが可能で  
ある。

先にも説明しているが、電流駆動方式では、黒表示時で、画素に書き  
込む電流が小さい。そのため、ソース信号線１８などに寄生容量がある  
と、１水平走査期間（１Ｈ）に画素１６に十分な電流を書き込むことが  
15 できないという問題点があった。一般に、電流駆動型発光素子では、黒  
レベルの電流値は数ｎＡ程度と微弱であるため、その信号値で数１０ｐ  
Ｆ程度あると思われる寄生容量（配線負荷容量）を駆動することは困難  
である。この課題を解決するためには、ソース信号線１８に画像データ  
を書き込む前に、プリチャージ電圧を印加し、ソース信号線１８の電位  
20 レベルを画素のＴＦＴ１１ａの黒表示電流（基本的にはＴＦＴ１１ａは  
オフ状態）にすることが有効である。このプリチャージ電圧の形成（作  
成）には、画像データの上位ビットをデコードすることにより、黒レベ  
ルの定電圧出力を行うことが有効である。

第７０図に、本発明のプリチャージ機能を有した電流出力方式のソー  
25 スドライバ（ＩＣ）１４の一例を示す。第７０図では、６ビットの定電  
流出力回路の出力段にプリチャージ機能を搭載した場合を示している。  
第７０図において、プリチャージ制御信号は、画像データＤ０～Ｄ５の  
上位３ビットＤ３、Ｄ４、Ｄ５がすべて０である場合をＮＯＲ回路７０

2 でデコードし、水平同期信号 H D によるリセット機能を有するドット  
クロック C L K のカウンタ回路 7 0 1 の出力との A N D 回路 7 0 3 を  
とり、一定期間黒レベル電圧 V p を出力するように構成されている。他  
の場合は、第 6 8 図などで説明した電流出力段 7 0 4 からの出力電流が  
5 ソース信号線 1 8 に印加される（ソース信号線 1 8 からプログラム電流  
I w を吸収する）。この構成により、画像データが黒レベルに近い 0 階  
調目～7 階調目の場合、1 水平期間のはじめの一定期間だけ黒レベルに  
相当する電圧が書き込まれて、電流駆動の負担が減り、書き込み不足を  
補うことが可能となる。なお、完全黒表示を 0 階調目とし、完全白表示  
10 を 6 3 階調目とする（6 4 階調表示の場合）。

なお、プリチャージを行う階調は、黒表示領域に限定すべきである。  
つまり、書き込み画像データを判定し、黒領域階調（低輝度、つまり、  
電流駆動方式では、書き込み電流が小さい（微小））を選択しプリチャ  
ージする（選択プリチャージ）。全階調データに対し、プリチャージす  
15 ると、今度は、白表示領域で、輝度の低下（目標輝度に到達しない）が  
発生する。また、画像に縦筋が表示される。

好ましくは、階調データの階調 0 から 1 / 8 の領域の階調で、選択プ  
リチャージを行う（たとえば、6 4 階調の時は、0 階調目から 7 階調目  
までの画像データの時、プリチャージを行ってから、画像データを書き  
20 込む）。さらに、好ましくは、階調データの階調 0 から 1 / 1 6 の領域  
の階調で、選択プリチャージを行う（たとえば、6 4 階調の場合では、  
0 階調目から 3 階調目までの画像データのとき、プリチャージを行って  
から、画像データを書き込む）。

特に黒表示で、コントラストを高くするためには、階調 0 のみを検出  
25 してプリチャージする方式も有効である。これにより、極めて黒表示が  
良好になる。問題は、画面全体が階調 1、2 の場合に画面が黒浮きして  
見えることである。したがって、階調データの階調 0 から 1 / 8 の領域  
の階調と、一定の範囲で選択プリチャージを行う。



なお、プリチャージの電圧、階調範囲は、R、G、Bで異ならせることも有効である。EL表示素子15は、R、G、Bで発光開始電圧、発光輝度が異なっているからである。たとえば、Rは、階調データの階調0から1/8の領域の階調で、選択プリチャージを行う（たとえば、64階調の場合では、01階調目から7階調目までの画像データの時、プリチャージを行ってから、画像データを書き込む）。他の色（G、B）は、階調データの階調0から1/16の領域の階調で、選択プリチャージを行う（たとえば、64階調の場合では、0階調目から3階調目までの画像データの時、プリチャージを行ってから、画像データを書き込む）などの制御を行う。また、プリチャージ電圧も、Rは7（V）であれば、他の色（G、B）は、7.5（V）の電圧をソース信号線18に書き込むようにする。最適なプリチャージ電圧は、EL表示パネルの製造ロットで異なることが多い。したがって、プリチャージ電圧は、外部ボリウムなどで調整できるように構成しておくことが好ましい。この調整回路も電子ボリウム回路を用いることにより容易に実現できる。

また、全くプリチャージしない第0モード、階調0のみをプリチャージする第1モード、階調0から階調3の範囲でプリチャージする第2モード、階調0から階調7の範囲でプリチャージする第3モード、全階調の範囲でプリチャージする第4モードなどを設定し、これらをコマンドで切り替えるように構成することが好ましい。これらは、ソースドライバ（IC）14内においてロジック回路を構成（設計）することにより容易に実現できる。

第75図は選択プリチャージ回路部の具体化構成図である。PVはプリチャージ電圧の入力端子である。外部入力あるいは、電子ボリウム回路により、R、G、Bで個別のプリチャージ電圧が設定される。なお、R、G、Bで個別のプリチャージ電圧を設定するとしたがこれに限定するものではない。R、G、Bで共通であってもよい。プリチャージ電圧は、画素16の駆動TFT11aの $V_t$ に相関するものであり、この画

素 1 6 は R、G、B 画素で同一だからである。逆には、画素 1 6 の駆動  
T F T 1 1 a の W / L 比などが R、G、B で異ならせている（異なった  
設計となっている）場合は、プリチャージ電圧を異なった設計に対応し  
て調整することが好ましい。たとえば、L が大きくなれば、T F T 1 1  
5 a のダイオード特性は悪くなり、ソースドレイン（S D）電圧は大き  
くなる。したがって、プリチャージ電圧は、ソース電位（V d d）に対  
して低く設定する必要がある。

プリチャージ電圧 P V はアナログスイッチ 7 3 1 に入力されている。  
このアナログスイッチの W（チャンネル幅）はオン抵抗を低減するため  
10 に、1 0  $\mu$  m 以上にする必要がある。しかし、あまり W が大きいと、寄  
生容量も大きくなるので 1 0 0  $\mu$  m 以下にする。さらに好ましくは、チ  
ャンネル幅 W は 1 5  $\mu$  m 以上 6 0  $\mu$  m 以下にする。以上の事項は第 7 5  
図のスイッチ 6 4 1 b のアナログスイッチ 7 3 1、第 7 3 図のアナログ  
スイッチ 7 3 1 にも適用される。

15 スイッチ 6 4 1 a はプリチャージイネーブル（P E N）信号、選択プ  
リチャージ信号（P S L）、および第 7 4 図のロジック信号の上位 3 ビ  
ット（H 5、H 4、H 3）で制御される。一例としたロジック信号の上位  
3 ビット（H 5、H 4、H 3）の意味は、上位 3 ビットが“0”のとき  
に選択プリチャージが実施されるようにしたためである。つまり、下  
20 位 3 ビットが“1”のとき（階調 0 から階調 7）を選択してプリチャ  
ージが実施されるように構成している。

なお、この選択プリチャージは、階調 0 のみをプリチャージするとか、  
階調 0 から階調 7 の範囲でプリチャージするなどのように固定しても  
よいが、低階調流域（第 7 9 図の階調 0 から階調 R 1 もしくは階調（R  
25 1 - 1））を選択プリチャージするというように、低階調領域と連動さ  
せてもよい。つまり、選択プリチャージは、低階調領域が階調 0 から階  
調 R 1 の時はこの範囲で実施し、低階調領域が階調 0 から階調 R 2 の時  
はこの範囲で実施するように連動させて実施する。なお、この制御方式

の方が他の方式に比較して、ハード規模が小さくなる。

以上の信号の印加状態により、スイッチ 6 4 1 a がオンオフ制御され、スイッチ 6 4 1 a オンのとき、プリチャージ電圧 P V がソース信号線 1 8 に印加される。なお、プリチャージ電圧 P V を印加する時間は、別途  
5 形成したカウンタ（図示せず）により設定される。このカウンタはコマンドにより設定できるように構成されている。また、プリチャージ電圧の印加時間は 1 水平走査期間（1 H）の  $1/100$  以上  $1/5$  以下の時間に設定することが好ましい。たとえば、1 H が  $100 \mu\text{sec}$  とすれば、 $1 \mu\text{sec}$  以上  $20 \mu\text{sec}$  とする。さらに好ましくは、 $2 \mu\text{sec}$   
10 c 以上  $10 \mu\text{sec}$  とする。

また、プリチャージ印加時間は、R、G、B で異ならせたりすること  
も良好な結果が得られる。たとえば、R のプリチャージ時間を G、B の  
プリチャージ時間よりも長くするなどである。これは、有機 EL などでは、R G B の各材料で発光開始時間などが異なるからである。また、次  
15 にソース信号線 1 8 に印加する画像データにより、プリチャージ電圧 P V 印加時間を可変することによっても良好な結果が得られる。たとえば、完全黒表示の階調 0 では印加時間を長くし、階調 4 ではそれよりも短く  
するなどである。また、1 H 前の画像データと次に印加する画像データの差を考慮して、印加時間を設定することも良好な結果を得ることがで  
20 きる。たとえば、1 H 前にソース信号線に画素を白表示にする電流を書き込み、次の 1 H に、画素に黒表示にする電流を書き込む場合は、プリチャージ時間を長くする。黒表示の電流は微小であるからである。逆に、  
1 H 前にソース信号線に画素を黒表示にする電流を書き込み、次の 1 H  
に、白素に黒表示にする電流を書き込む場合は、プリチャージ時間を短  
25 くするか、もしくはプリチャージを停止する（行わない）。白表示の書き込み電流は大きいからである。

また、印加する画像データに応じてプリチャージ電圧を変化させることも有効である。黒表示の書き込み電流は微小であり、白表示の書き込

み電流は大きいからである。したがって、低階調領域になるにしたがって、プリチャージ電圧を高く（ $V_{dd}$ に対して。なお、画素TFT11aがPチャンネルのとき）し、高階調領域になるにしたがって、プリチャージ電圧を低く（画素TFT11aがPチャンネルのとき）する。

- 5 プログラム電流オープン端子（PO端子）が“0”のときは、スイッチ641bがオフ状態となり、IL端子およびIH端子とソース信号線18とは切り離される（IOU端子が、ソース信号線18と接続されている）。したがって、プログラム電流 $I_w$ はソース信号線18には流れない。PO端子はプログラム電流 $I_w$ をソース信号線に印加している時は、“1”とし、スイッチ641bをオンして、プログラム電流 $I_w$ を
- 10 ソース信号線18に流す。

PO端子に“0”を印加し、スイッチ641bをオープンにするときは、表示領域のいずれの画素行も選択されていない時である。電流源634は入力データ（ $D_0 \sim D_5$ ）に基づいて電流をたえず、ソース信号線18から引き込んでいる。この電流が選択された画素16の $V_{dd}$ 端子からTFT11aを介してソース信号線18に流れ込む電流である。

15 したがって、いずれの画素行も選択されていないときは、画素16からソース信号線18に電流が流れる経路がない。いずれの画素行も選択されていない時とは、任意の画素行が選択され、次の画素行が選択されるまでの間に発生する。なお、このようないずれの画素（画素行）も選択されず、ソース信号線18に流れ込む（流れ出す）経路がない状態を、

20 全非選択期間と呼ぶ。

この状態で、IOU端子がソース信号線18に接続されていると、オンしている単位電流源634（実際にはオンしているのは $D_0 \sim D_5$ 端子のデータにより制御されるスイッチ641であるが）に電流が流れる。そのため、ソース信号線18の寄生容量に充電された電荷が放電し、ソース信号線18の電位が、急激に低下する。

25

以上のように、ソース信号線18の電位が低下すると、本来ソース信

号線 18 に書き込む電流により、元の電位まで回復するのに時間を要するようになってしまう。

この課題を解決するため、本発明は、全非選択期間に、P O 端子に“0”を印加し、第 75 図のスイッチ 641b をオフとして、I O U T 5 端子とソース信号線 18 とを切り離す。これにより、ソース信号線 18 から電流源 634 に電流が流れ込むことはなくなるから、全非選択期間にソース信号線 18 の電位変化は発生しない。以上のように、全非選択期間に P O 端子を制御し、ソース信号線 18 から電流源を切り離すことにより、良好な電流書き込みを実施することができる。

- 10      また、画面に白表示領域（一定の輝度を有する領域）の面積（白面積）と、黒表示領域（所定以下の輝度の領域）の面積（黒面積）とが混在し、白面積と黒面積との割合が一定の範囲のとき、プリチャージを停止するという機能を付加することは有効である（適正プリチャージ）。この一定の範囲で、画像に縦筋が発生するからである。もちろん、逆に一定の
- 15      範囲で、プリチャージするという場合もある。また、画像が動いたとき、画像がノイズ的になるからである。適正プリチャージは、演算回路で白面積と黒面積とに該当する画素のデータをカウント（演算）することにより、容易に実現することができる。また、適正プリチャージは、R、G、B で異ならせることも有効である。E L 表示素子 15 は、R、G、
- 20      B で発光開始電圧、発光輝度が異なっているからである。たとえば、R は、所定輝度の白面積：所定輝度の黒面積の比が 1：20 以上でプリチャージを停止または開始し、G と B は、所定輝度の白面積：所定輝度の黒面積の比が 1：16 以上でプリチャージを停止または開始するという構成である。なお、実験および検討結果によれば、有機 E L パネルの
- 25      場合、所定輝度の白面積：所定輝度の黒面積の比が 1：100 以上（つまり、黒面積が白面積の 100 倍以上）でプリチャージを停止することが好ましい。さらには、所定輝度の白面積：所定輝度の黒面積の比が 1：200 以上（つまり、黒面積が白面積の 200 倍以上）でプリチャ

ージを停止することが好ましい。

プリチャージ電圧  $PV$  は、画素 16 の駆動  $TFT11a$  が  $P$  チャンネルの場合、 $V_{dd}$  (第 1 図を参照) に近い電圧をソースドライバ (IC) 14 から出力する必要がある。しかし、このプリチャージ電圧  $PV$  が  $V_{dd}$  に近いほど、ドライバ回路 (IC) 14 は高耐圧プロセスの半導体を使用する必要がある (高耐圧といっても、5 (V) ~ 10 (V) であるが、しかし、5 (V) 耐圧を超えると、半導体プロセス価格は高くなる点が課題である。したがって、5 (V) 耐圧のプロセスを採用することにより高精細、低価格のプロセスを使用することができる)。

10 画素 16 の駆動用  $TFT11a$  のダイオード特性が良好で白表示のオン電流が確保された場合、5 (V) 以下であれば、ソースドライバ 14 も 5 (V) プロセスを使用できるから問題は発生しない。しかし、ダイオード特性が 5 (V) を越えると、問題となる。特に、プリチャージは、 $TFT11a$  のソース電圧  $V_{dd}$  に近いプリチャージ電圧  $PV$  を印  
15 加する必要があるので、IC 14 から出力することができなくなる。

第 9 2 図は、この課題を解決するパネル構成である。第 9 2 図では、アレイ 7 1 側にスイッチ回路 6 4 1 を形成している。ソースドライバ 14 からは、スイッチ 6 4 1 のオンオフ信号を出力する。このオンオフ信号は、アレイ 7 1 に形成されたレベルシフト回路 6 9 3 で昇圧され、ス  
20 イッチ 6 4 1 をオンオフ動作させる。なお、スイッチ 6 4 1 およびレベルシフト回路 6 9 3 が画素の  $TFT$  を形成するプロセスで同時に、もしくは順次に、形成する。もちろん、外付け回路 (IC) で別途形成し、アレイ 7 1 上に実装などしてもよい。

オンオフ信号は、先に説明 (第 7 5 図など) したプリチャージ条件に  
25 基づいて、IC 14 の端子 7 6 1 a から出力される。したがって、プリチャージ電圧の印加、駆動方法は第 9 2 図の実施例においても適用できることは言うまでもない。端子 7 6 1 a から出力される電圧 (信号) は、5 (V) 以下と低い。この電圧 (信号) がレベルシフト回路 6 9 3 でス

イチ 6 4 1 のオンオフロジックレベルまで振幅が大きくされる。

以上のように構成することにより、ソースドライバ（IC）1 4 はプログラム電流  $I_w$  を駆動できる動作電圧範囲の電源電圧で十分になる。プリチャージ電圧  $PV$  は、動作電圧が高いアレイ基板 7 1 で課題はなく  
5 なる。したがって、プリチャージも  $V_{dd}$  電圧まで十分印加できるようになる。

第 8 9 図のスイッチ回路 6 4 1 もソースドライバ（IC）1 4 内に形成（配置）するとなると耐圧が問題となる。たとえば、画素 1 6 の  $V_{dd}$  電圧が、IC 1 4 の電源電圧よりも高い場合、IC 1 4 の端子 7 6 1  
10 に IC 1 4 を破壊するような電圧が印加される危険があるからである。

この課題を解決する実施例が第 9 1 図の構成である。アレイ基板 7 1 にスイッチ回路 6 4 1 を形成（配置）している。スイッチ回路 6 4 1 の構成などは第 9 2 図で説明した構成、仕様など同一または近似である。

スイッチ 6 4 1 は IC 1 4 の出力よりも先で、かつソース信号線 1 8  
15 の途中に配置されている。スイッチ 6 4 1 がオンすることにより、画素 1 6 をプログラムする電流  $I_w$  がソースドライバ（IC）1 4 に流れ込む。スイッチ 6 4 1 がオフすることにより、ソースドライバ（IC）1 4 はソース信号線 1 8 から切り離される。このスイッチ 6 4 1 を制御することにより、第 9 0 図に図示する駆動方式などを実施することができる。  
20 なる。

第 9 2 図と同様に端子 7 6 1 a から出力される電圧（信号）は、5（V）以下と低い。この電圧（信号）がレベルシフト回路 6 9 3 でスイッチ 6 4 1 のオンオフロジックレベルまで振幅が大きくされる。

以上のように構成することにより、ソースドライバ（IC）1 4 はプログラム電流  $I_w$  を駆動できる動作電圧範囲の電源電圧で十分になる。  
25 また、スイッチ 6 4 1 もアレイ 7 1 の電源電圧で動作するため、画素 1 6 から  $V_{dd}$  電圧がソース信号線 1 8 に印加されてもスイッチ 6 4 1 が破壊することはない、また、ソースドライバ（IC）1 4 が破壊され

ることもない。

なお、第 9 1 図のソース信号線 1 8 の途中に配置（形成）されたスイッチ 6 4 1 とプリチャージ電圧 P V 印加用スイッチ 6 4 1 の双方をアレイ基板 7 1 に形成（配置）してもよいことは言うまでもない（第 9 1 5 図 + 第 9 2 図の構成）。

以前にも説明したが、第 1 図のように画素 1 6 の駆動用 T F T 1 1 a、選択 T F T（1 1 b、1 1 c）が P チャンネル T F T の場合は、突き抜け電圧が発生する。これは、ゲート信号線 1 7 a の電位変動が、選択 T F T（1 1 b、1 1 c）の G - S 容量（寄生容量）を介して、コンデンサ 1 9 の端子に突き抜けるためである。P チャンネルトランジスタ 1 1 b がオフするときには V g h 電圧となる。そのため、コンデンサ 1 9 の端子電圧が V d d 側に少しシフトする。そのため、トランジスタ 1 1 a のゲート（G）端子電圧は上昇し、より黒表示となる。

しかし、反面、第 1 階調の完全黒表示は実現できるが、第 2 階調などは表示しにくいことになる。もしくは、第 1 階調から第 2 階調まで大きく階調飛びが発生したり、特定の階調範囲で黒つぶれが発生したりする。この課題を解決する構成が、第 7 1 図の構成である。出力電流値を嵩上げする機能を有することを特徴としている。嵩上げ回路 7 1 1 の主たる目的は、突き抜け電圧の補償である。また、画像データが黒レベル 0 であっても、ある程度（数 1 0 n A）電流が流れるようにし、黒レベルの調整にも用いることができる。

基本的には、第 7 1 図は、第 6 4 図の出力段に嵩上げ回路（第 7 1 図の点線で囲まれた部分）を追加したものである。第 7 1 図は、電流値嵩上げ制御信号として 3 ビット（K 0、K 1、K 2）を仮定したものであり、この 3 ビットの制御信号により、孫電流源の電流値の 0 ~ 7 倍の電流値を出力電流に加算することが可能である。

以上が本発明のソースドライバ（I C）1 4 の基本的な概要である。以後、さらに詳細に本発明のソースドライバ（I C）1 4 について説明



をする。

EL素子15に流す電流 $I$  (A)と発光輝度 $B$  (nt)とは線形の関係がある。つまり、EL素子15に流す電流 $I$  (A)と発光輝度 $B$  (nt)とは比例する。電流駆動方式では、1ステップ(階調刻み)は、電流(電流源634(1単位))である。

人間の輝度に対する視覚は2乗特性をもっている。つまり、2乗の曲線で変化するとき、明るさは直線的に変化しているように認識される。しかし、第83図の関係であると、低輝度領域でも高輝度領域でも、EL素子15に流す電流 $I$  (A)と発光輝度 $B$  (nt)とは比例する。したがって、1ステップ刻みずつ変化させると、低階調部(黒領域)では、1ステップに対する輝度変化が大きい(黒飛びが発生する)。高階調部(白領域)は、ほぼ2乗カーブの直線領域と一致するので、1ステップに対する輝度変化は等間隔で変化しているように認識される。以上のことから、電流駆動方式(1ステップが電流刻みの場合)において(電流駆動方式のソースドライバ(IC)14において)、黒表示領域が課題となる。

この課題に対して、本発明は、第79図に図示するように、低階調領域(階調0(完全黒表示)から階調(R1))の電流出力の傾きを小さくし、高階調領域(階調(R1)から最大階調(R))の電流出力の傾きを大きくする。つまり、低階調領域では、1階調あたりに(1ステップ)増加する電流量を小さくする。高階調領域では、1階調あたりに(1ステップ)増加する電流量を大きくする。第79図の2つの階調領域で1ステップあたりに変化する電流量を異ならせることにより、階調特性が2乗カーブに近くなり、低階調領域での黒飛びの発生はない。以上の第79図などに図示する、階調-電流特性カーブをガンマカーブと呼ぶ。

なお、以上の実施例では、低階調領域および高階調領域の2段階の電流傾きとしたが、これに限定するものではない。3段階以上であっても良いことは言うまでもない。しかし、2段階の場合は回路構成が簡単に

なるので好ましい。

本発明の技術的思想は、電流駆動方式のソースドライバ（I C）などにおいて（基本的には電流出力で階調表示を行う回路である。したがって、表示パネルがアクティブマトリックス型に限定されるものではなく、  
5 単純マトリックス型も含まれる。）、階調1ステップあたりの電流増加量を複数存在させることである。

E Lなどの電流駆動型の表示パネルは、印加される電流量に比例して表示輝度が増加する。したがって、本発明のソースドライバ（I C）1  
4では、1つの電流源（1単位）6 3 4に流れるもととなる基準電流を  
10 調整することにより、容易に表示パネルの輝度を調整することができる。

E L表示パネルでは、R、G、Bで発光効率が異なり、また、N T S C基準に対する色純度がずれている。したがって、ホワイトバランスを最適にするためにはR G Bの比率を適正に調整する必要がある。調整は、R G Bのそれぞれの基準電流を調整することにより行う。たとえば、R  
15 の基準電流を $2\mu A$ にし、Gの基準電流を $1.5\mu A$ にし、Bの基準電流を $3.5\mu A$ にする。なお、本発明のドライバでは、第67図における第1段の電流源6 3 1のカラントミラー倍率を小さくし（たとえば、基準電流が $1\mu A$ であれば、トランジスタ6 3 2 bに流れる電流を $1/100$ の $10nA$ にするなど）、外部から調整する基準電流の調整精度  
20 をラフにできるようにし、かつ、チップ内の微小電流の精度を効率よく調整できるように構成している。

第79図のガンマカーブを実現できるように、本発明のソースドライバは、低階調領域の基準電流の調整回路と高階調領域の基準電流の調整回路を具備している。また、R G Bで独立に調整できるように、R G B  
25 ごとに低階調領域の基準電流の調整回路と高階調領域の基準電流の調整回路を具備している。もちろん、1色を固定し、他の色の基準電流を調整することによりホワイトバランスを調整する時は、2色（たとえば、Gを固定している場合は、R、B）を調整する低階調領域の基準電流の

調整回路および高階調領域の基準電流の調整回路を具備させればよい。

電流駆動方式は、第 8 3 図にも図示したように、E L に流す電流 I と輝度の関係は直線の関係がある。したがって、R G B の混合によるホワイトバランスの調整は、所定の輝度の一点で R G B の基準電流を調整するだけでよい。つまり、所定の輝度の一点で R G B の基準電流を調整し、  
5 ホワイトバランスを調整すれば、基本的には全階調にわたりホワイトバランスがとれている。

しかし、第 7 9 図のガンマカーブの場合は、少し注意が必要である。まず、R G B のホワイトバランスを取るためには、ガンマカーブの折れ  
10 曲がり位置（階調 R 1）を R G B で同一にする必要がある（逆に言えば、電流駆動方式では、ガンマカーブの相対的な関係を R G B で同一にできるということになる）。また、低階調領域の傾きと高階調領域の傾きとの比率を R G B で、一定にする必要がある（つまり、電流駆動方式では、ガンマカーブの相対的な関係を R G B で同一にできるということになる）。  
15 たとえば、低階調領域で 1 階調あたり 1 0 n A 増加（低階調領域でのガンマカーブの傾き）し、高階調領域で 1 階調あたり 5 0 n A 増加（高階調領域でのガンマカーブの傾き）する（なお、高階調領域で 1 階調あたり電流増加量／低階調領域で 1 階調あたり電流増加量をガンマ電流比率と呼ぶ。この実施例では、ガンマ電流比率は、5 0 n A／1 0  
20 n A = 5 である）。すると、R G B でガンマ電流比率を同一にする。つまり、R G B では、ガンマ電流比率を同一にした状態で E L 素子 1 5 に流れる電流を調整するように構成する。

第 8 0 図はそのガンマカーブの例である。第 8 0 図（a）では、低階調部と高階調部とも 1 階調あたりの電流増加が大きい。第 8 0 図（b）  
25 では、低階調部と高階調部とも 1 階調あたりの電流増加は第 8 0 図（a）に比較して小さい。ただし、第 8 0 図（a）、第 8 0 図（b）ともガンマ電流比率は同一にしている。このようにガンマ電流比率を、R G B で同一に維持したまま調整することは、各色に、低階調部に印加す

る基準電流を発生する定電流回路と、高階調部に印加する基準電流を発生する定電流回路とを作製し、これらを相対的に流す電流を調整するボリュームを作製（配置）すればよいからである。

第 7 7 図はガンマ電流比率を維持したまま、出力電流を可変する回路構成である。電流制御回路 7 7 2 で低電流領域の基準電流源 7 7 1 L と高電流領域の基準電流源 7 7 1 H とのガンマ電流比率を維持したまま、電流源 6 3 3 L、6 3 3 H に流れる電流を変化させる。

また、第 7 8 図に図示するように、I C チップ（回路）1 4 内に形成した温度検出回路 7 8 1 で相対的な表示パネルの温度を検出することが好ましい。有機 E L 素子は、R G B を構成する材料により温度特性が異なるからである。この温度の検出は、バイポーラトランジスタの接合部の状態が温度により変化し、出力電流が温度により変化することを利用する。この検出した温度を各色に配置（形成）した温度制御回路 7 8 2 にフィードバックし、電流制御回路 7 7 2 により温度補償を行う。

15     なお、ガンマ比率は、発明者等の検討によると、3 以上 1 0 以下の関係にすることが適切である。さらに好ましくは、4 以上 8 以下の関係にすることが適切である。特にガンマ電流比率は 5 以上 7 以下の関係を満足させることが好ましい。これを第 1 の関係と呼ぶ。

また、低階調部と高階調部との変化ポイント（第 7 9 図の階調 R 1）は、最大階調数 K の  $1/32$  以上  $1/4$  以下に設定するのが適切である（たとえば、最大階調数 K が 6 ビットの 6 4 階調とすれば、 $64/32 = 2$  階調番目以上、 $64/4 = 16$  階調番目以下にする）。さらに好ましくは、低階調部と高階調部との変化ポイント（第 7 9 図の階調 R 1）は、最大階調数 K の  $1/16$  以上  $1/4$  以下に設定するのが適切である（たとえば、最大階調数 K が 6 ビットの 6 4 階調とすれば、 $64/16 = 4$  階調番目以上、 $64/4 = 16$  階調番目以下にする）。さらに好ましくは、最大階調数 K の  $1/10$  以上  $1/5$  以下に設定するのが適切である（なお、計算により小数点以下が発生する場合は切り捨てる。たと

例えば、最大階調数  $K$  が 6 ビットの 6 4 階調とすれば、 $6\ 4 / 1\ 0 = 6$  階調番目以上、 $6\ 4 / 5 = 1\ 2$  階調番目以下にする）。以上の関係を第 2 の関係と呼ぶ。なお、以上の説明は、2 つの電流領域のガンマ電流比率の関係である。しかし、以上の第 2 の関係は、3 つ以上の電流領域のガンマ電流比率がある（つまり、折れ曲がり点が 2 箇所以上ある）場合にも適用される。つまり、3 つ以上の傾きに対し、任意の 2 つの傾きに対する関係に適用すればよい。

以上の第 1 の関係および第 2 の関係の両方を同時に満足させることにより、黒飛びがなく良好な画像表示を実現できる。

10 第 8 2 図は、本発明の電流駆動方式のソースドライバ（IC）1 4 を 1 つの表示パネルに複数個用いた実施例である。本発明のソースドライバ 1 4 は複数のドライバ IC 1 4 を用いることを想定した、スレーブ／マスター（S／M）端子を具備している。S／M端子を H レベルにすることによりマスターチップとして動作し、基準電流出力端子（図示せず）から、基準電流を出力する。この電流がスレーブの IC 1 4（1 4 a、1 4 c）の第 7 3 図、第 7 4 図の INL、INH端子に流れる電流となる。S／M端子を L レベルにすることにより IC 1 4 はスレーブチップとして動作し、基準電流入力端子（図示せず）から、マスターチップの基準電流を受け取る。この電流が第 7 3 図、第 7 4 図の INL、INH端子に流れる電流となる。

25 基準電流入力端子、基準電流出力端子間で受け渡される基準電流は、各色の低階調領域と高階調領域の 2 系統である。したがって、RGB の 3 色では、 $3 \times 2$  で 6 系統となる。なお、上記の実施例では、各色 2 系統としたがこれに限定するものではなく、各色 3 系統以上であっても良い。

本発明の電流駆動方式では、第 8 1 図に図示するように、折れ曲がり点（階調 R 1 など）を変更できるように構成している。第 8 1 図（a）では、階調 R 1 で低階調部と高階調部とを変化させ、第 8 1 図（b）で

は、階調 R 2 で低階調部と高階調部とを変化させている。このように、折れ曲がり位置を複数箇所に変化できるようにしている。

具体的には、本発明では 6 4 階調表示を実現できる。折れ曲がり点 (R 1) は、なし、2 階調目、4 階調目、8 階調目、1 6 階調目としている。

- 5    なお、完全黒表示を階調 0 としているため、折れ曲がり点は 2、4、8、1 6 となるのであって、完全に黒表示の階調を階調 1 とするのであれば、折れ曲がり点は、3、5、9、1 7、3 3 となる。以上のように、折れ曲がり位置を 2 の倍数の箇所（もしくは、2 の倍数 + 1 の箇所：完全黒表示を階調 1 とした場合）でできるように構成することにより、回路構成が容易になるという効果が発生する。

- 第 7 3 図は低電流領域の電流源回路部の構成図である。また、第 7 4 図は高電流領域の電流源部および嵩上げ電流回路部の構成図である。第 7 3 図に図示するように低電流源回路部は基準電流  $I_{NL}$  が印加され、基本的にはこの電流が単位電流となり、入力データ  $L_0 \sim L_4$  により、電流源 6 3 4 が必要個数動作し、その総和として低電流部のプログラム電流  $I_{wL}$  が流れる。

- また、第 7 4 図に図示するように高電流源回路部は基準電流  $I_{NH}$  が印加され、基本的にはこの電流が単位電流となり、入力データ  $H_0 \sim L_5$  により、電流源 6 3 4 が必要個数動作し、その総和として低電流部のプログラム電流  $I_{wH}$  が流れる。

嵩上げ電流回路部も同様であって、第 7 4 図に図示するように基準電流  $I_{NH}$  が印加され、基本的にはこの電流が単位電流となり、入力データ  $AK_0 \sim AK_2$  により、電流源 6 3 4 が必要個数動作し、その総和として嵩上げ電流に対応する電流  $I_{wK}$  が流れる

- 25    ソース信号線 1 8 に流れるプログラム電流  $I_w$  は  $I_w = I_{wH} + I_{wL} + I_{wK}$  である。なお、 $I_{wH}$  と  $I_{wL}$  との比率、つまりガンマ電流比率は、先にも説明した第 1 の関係を満足させるようにする。

なお、第 7 3 図、第 7 4 図に図示するようにオンオフスイッチ 6 4 1

は、インバータ 7 3 2 と P チャンネルトランジスタと N チャンネルトランジスタからなるアナログスイッチ 7 3 1 から構成される。このようにスイッチ 6 4 1 を、インバータ 7 3 2 と P チャンネルトランジスタと N チャンネルトランジスタからなるアナログスイッチ 7 3 1 から構成することにより、オン抵抗を低下させることができ、電流源 6 3 4 とソース信号線 1 8 との間の電圧降下を極めて小さくすることができる。

第 7 3 図の低電流回路部と第 7 4 図の高電流回路部の動作について説明をする。本発明のソースドライバ ( I C ) 1 4 は、低電流回路部 L 0 ~ L 4 の 5 ビットで構成され、高電流回路部 H 0 ~ H 5 の 6 ビットで構成される。なお、回路の外部から入力されるデータは D 0 ~ D 5 の 6 ビット ( 各色 6 4 階調 ) である。この 6 ビットデータを L 0 ~ L 4 の 5 ビット、高電流回路部 H 0 ~ H 5 の 6 ビットに変換してソース信号線に画像データに対応するプログラム電流  $I_w$  を印加する。つまり、入力 6 ビットデータを、  $5 + 6 = 11$  ビットデータに変換をしている。したがって、高精度のガンマカーブを形成できる。

以上のように、入力 6 ビットデータを、  $5 + 6 = 11$  ビットデータに変換をしている。本発明では、高電流領域の回路のビット数 ( H ) は、入力データ ( D ) のビット数と同一にし、低電流領域の回路のビット数 ( L ) は、入力データ ( D ) のビット数 - 1 としている。なお、低電流領域の回路のビット数 ( L ) は、入力データ ( D ) のビット数 - 2 としてもよい。このように構成することにより、低電流領域のガンマカーブと、高電流領域のガンマカーブとが、 E L 表示パネルの画像表示に最適になる。

以下、低電流領域の回路制御データ ( L 0 ~ L 4 ) と高電流領域の回路制御データ ( H 0 ~ H 4 ) との制御方法について、第 8 4 図から第 8 6 図を参照しながら説明をする。

本発明は第 7 3 図の L 4 端子に接続された、電流源 6 3 4 a の動作に特徴がある。この 6 3 4 a は 1 単位の電流源となる 1 つのトランジスタ

で構成されている。このトランジスタをオンオフさせることにより、プログラム電流  $I_w$  の制御（オンオフ制御）が容易になる。

第 8 4 図は、低電流領域と高電流領域とを階調 4 で切り替える場合の低電流側信号線（L）および高電流側信号線（H）の印加信号である。

5    5    なお、第 8 4 図から第 8 6 図において、階調 0 から 1 8 まで図示しているが、実際は 6 3 階調目までである。したがって、各図面において階調 1 8 以上は省略している。また、表の“1”の時にスイッチ 6 4 1 がオンし、該当電流源 6 3 4 とソース信号線 1 8 とが接続され、表の“0”の時にスイッチ 6 4 1 がオフするとしている。

10    第 8 4 図において、完全黒表示の階調 0 の場合は、 $(L_0 \sim L_4) = (0, 0, 0, 0, 0)$  であり、 $(H_0 \sim H_5) = (0, 0, 0, 0, 0)$  である。したがって、すべてのスイッチ 6 4 1 はオフ状態であり、ソース信号線 1 8 にはプログラム電流  $I_w = 0$  である。

15    階調 1 では、 $(L_0 \sim L_4) = (1, 0, 0, 0, 0)$  であり、 $(H_0 \sim H_5) = (0, 0, 0, 0, 0)$  である。したがって、低電流領域の 1 つの単位電流源 6 3 4 がソース信号線 1 8 に接続されている。高電流領域の単位電流源はソース信号線 1 8 には接続されていない。

20    階調 2 では、 $(L_0 \sim L_4) = (0, 1, 0, 0, 0)$  であり、 $(H_0 \sim H_5) = (0, 0, 0, 0, 0)$  である。したがって、低電流領域の 2 つの単位電流源 6 3 4 がソース信号線 1 8 に接続されている。高電流領域の単位電流源はソース信号線 1 8 には接続されていない。

25    階調 3 では、 $(L_0 \sim L_4) = (1, 1, 0, 0, 0)$  であり、 $(H_0 \sim H_5) = (0, 0, 0, 0, 0)$  である。したがって、低電流領域の 2 つのスイッチ 6 4 1 L a、6 4 1 L b がオンし、3 つの単位電流源 6 3 4 がソース信号線 1 8 に接続されている。高電流領域の単位電流源はソース信号線 1 8 には接続されていない。

階調 4 では、 $(L_0 \sim L_4) = (1, 1, 0, 0, 1)$  であり、 $(H_0 \sim H_5) = (0, 0, 0, 0, 0)$  である。したがって、低電流領域



の3つのスイッチ641La、641Lb、641Leがオンし、4つの単位電流源634がソース信号線18に接続されている。高電流領域の単位電流源はソース信号線18には接続されていない。

階調5以上では、低電流領域( $L0 \sim L4$ ) = (1, 1, 0, 0, 1)は変化がない。しかし、高電流領域において、階調5では( $H0 \sim H5$ ) = (1, 0, 0, 0, 0)であり、スイッチ641Haがオンし、高電流領域の1つの単位電流源641がソース信号線18と接続されている。また、階調6では( $H0 \sim H5$ ) = (0, 1, 0, 0, 0)であり、スイッチ641Hbがオンし、高電流領域の2つの単位電流源641がソース信号線18と接続される。同様に、階調7では( $H0 \sim H5$ ) = (1, 1, 0, 0, 0)であり、2つのスイッチ641Ha、スイッチ641Hbがオンし、高電流領域の3つの単位電流源641がソース信号線18と接続される。さらに、階調8では( $H0 \sim H5$ ) = (0, 0, 1, 0, 0)であり、1つのスイッチ641Hcがオンし、高電流領域の4つの単位電流源641がソース信号線18と接続される。以後、第84図のように順次スイッチ641がオンオフし、プログラム電流Iwがソース信号線18に印加される。

以上の動作で特徴的なのは、折れ曲がり点（低電流領域と高電流領域の切り換わり点、正確には、プログラム電流Iwとしては、高電流領域の階調の場合、低電流IwLが加算されているので、切り換り点という表現は正しくない。また、嵩上げ電流IwKも加算される。つまり、高階調部の階調では、低階調部の電流に加算されて、高階調部のステップ（階調）に応じた電流がプログラム電流Iwとなっているのである。1ステップの階調（電流が変化する点あるいはポイントもしくは位置というべきであろう）を境として、低電流領域の制御ビット（L）が変化しない点である。また、この時、第73図のL4端子に“1”となり、スイッチ641eがオンし、トランジスタ634aに電流が流れている点である。

したがって、第 8 4 図の階調 4 では低階調部の単位トランジスタ（電  
流源）6 3 4 が 4 個動作している。そして、階調 5 では、低階調部の単  
位トランジスタ（電流源）6 3 4 が 4 個動作し、かつ高階調部のトラン  
ジスタ（電流源）6 3 4 が 1 個動作している。以後同様に、階調 6 では、  
5 低階調部の単位トランジスタ（電流源）6 3 4 が 4 個動作し、かつ高階  
調部のトランジスタ（電流源）6 3 4 が 2 個動作する。したがって、折  
れ曲がりポイントである階調 5 以上では、折れ曲がりポイント以下の低  
階調領域の電流源 6 3 4 が階調分（この場合、4 個）オンし、これに加  
えて、順次、高階調部の電流源 6 3 4 が階調に応じた個数順次オンして  
10 いく。

したがって、第 7 3 図における L 4 端子のトランジスタ 6 3 4 a の 1  
個は有用に作用していることがわかる。このトランジスタ 6 3 4 a がな  
いと、階調 3 の次に、高階調部のトランジスタ 6 3 4 が 1 個オンする動  
作になる。そのため、切り替わりポイントが 4、8、16 というように  
15 2 の乗数にならない。2 の乗数は 1 信号のみが“1”となった状態であ  
る。したがって、2 の重み付けの信号ラインが“1”となったという条  
件判定がやりやすい。そのため、条件判定のハード規模が小さくするこ  
とができる。つまり、I C チップの論理回路が簡略化し、結果としてチ  
ップ面積の小さい I C を設計できるのである（低コスト化が可能であ  
20 る）。

第 8 5 図は、低電流領域と高電流領域とを階調 8 で切り替える場合の  
低電流側信号線（L）および高電流側信号線（H）の印加信号の説明図  
である。

第 8 5 図において、完全黒表示の階調 0 の場合は、第 8 4 図と同様で  
25 あり、 $(L_0 \sim L_4) = (0, 0, 0, 0, 0)$  であり、 $(H_0 \sim H_5) = (0, 0, 0, 0, 0)$  である。したがって、すべてのスイッチ 6 4  
1 はオフ状態であり、ソース信号線 1 8 にはプログラム電流  $I_w = 0$  で  
ある。

同様に階調 1 では、 $(L 0 \sim L 4) = (1, 0, 0, 0, 0)$  であり、 $(H 0 \sim H 5) = (0, 0, 0, 0, 0)$  である。したがって、低電流領域の 1 つの単位電流源 6 3 4 がソース信号線 1 8 に接続されている。高電流領域の単位電流源はソース信号線 1 8 には接続されていない。

- 5 階調 2 では、 $(L 0 \sim L 4) = (0, 1, 0, 0, 0)$  であり、 $(H 0 \sim H 5) = (0, 0, 0, 0, 0)$  である。したがって、低電流領域の 2 つの単位電流源 6 3 4 がソース信号線 1 8 に接続されている。高電流領域の単位電流源はソース信号線 1 8 には接続されていない。

- 10 階調 3 では、 $(L 0 \sim L 4) = (1, 1, 0, 0, 0)$  であり、 $(H 0 \sim H 5) = (0, 0, 0, 0, 0)$  である。したがって、低電流領域の 2 つのスイッチ 6 4 1 L a、6 4 1 L b がオンし、3 つの単位電流源 6 3 4 がソース信号線 1 8 に接続されている。高電流領域の単位電流源はソース信号線 1 8 には接続されていない。

- 15 以下も同様に、階調 4 では、 $(L 0 \sim L 4) = (0, 0, 1, 0, 0)$  であり、 $(H 0 \sim H 5) = (0, 0, 0, 0, 0)$  である。また、階調 5 では、 $(L 0 \sim L 4) = (1, 0, 1, 0, 0)$  であり、 $(H 0 \sim H 5) = (0, 0, 0, 0, 0)$  である。階調 6 では、 $(L 0 \sim L 4) = (0, 1, 1, 0, 0)$  であり、 $(H 0 \sim H 5) = (0, 0, 0, 0, 0)$  である。また、階調 7 では、 $(L 0 \sim L 4) = (1, 1, 1, 0, 0)$  であり、 $(H 0 \sim H 5) = (0, 0, 0, 0, 0)$  である。

- 20 階調 8 が切り替わりポイント（折れ曲がり位置）である。階調 8 では、 $(L 0 \sim L 4) = (1, 1, 1, 0, 1)$  であり、 $(H 0 \sim H 5) = (0, 0, 0, 0, 0)$  である。したがって、低電流領域の 4 つのスイッチ 6 4 1 L a、6 4 1 L b、6 4 1 L c、6 4 1 L e がオンし、8 つの単位電流源 6 3 4 がソース信号線 1 8 に接続されている。高電流領域の単位電流源はソース信号線 1 8 には接続されていない。

階調 8 以上では、低電流領域  $(L 0 \sim L 4) = (1, 1, 1, 0, 1)$  は変化がない。しかし、高電流領域において、階調 9 では  $(H 0 \sim H 5)$

= (1, 0, 0, 0, 0) であり、スイッチ 6 4 1 H a がオンし、高電流領域の 1 つの単位電流源 6 4 1 がソース信号線 1 8 と接続されている。

以下、同様に、階調ステップに応じて、高電流領域のトランジスタ 6 3 4 の個数が 1 個ずつ増加する。つまり、階調 1 0 では (H 0 ~ H 5) = (0, 1, 0, 0, 0) であり、スイッチ 6 4 1 H b がオンし、高電流領域の 2 つの単位電流源 6 4 1 がソース信号線 1 8 と接続される。同様に、階調 1 1 では (H 0 ~ H 5) = (1, 1, 0, 0, 0) であり、2 つのスイッチ 6 4 1 H a スイッチ 6 4 1 H b がオンし、高電流領域の 3 つの単位電流源 6 4 1 がソース信号線 1 8 と接続される。さらに、階調 1 2 では (H 0 ~ H 5) = (0, 0, 1, 0, 0) であり、1 つのスイッチ 6 4 1 H c がオンし、高電流領域の 4 つの単位電流源 6 4 1 がソース信号線 1 8 と接続される。以後、第 8 4 図のように順次スイッチ 6 4 1 がオンオフし、プログラム電流 I w がソース信号線 1 8 に印加される。

第 8 6 図は、低電流領域と高電流領域とを階調 1 6 で切り替える場合の低電流側信号線 (L) および高電流側信号線 (H) の印加信号の説明図である。この場合も第 8 4 図、第 8 5 図と基本的な動作は同じである。

つまり、第 8 6 図において、完全黒表示の階調 0 の場合は、第 8 5 図と同様であり、(L 0 ~ L 4) = (0, 0, 0, 0, 0) であり、(H 0 ~ H 5) = (0, 0, 0, 0, 0) である。したがって、すべてのスイッチ 6 4 1 はオフ状態であり、ソース信号線 1 8 にはプログラム電流 I w = 0 である。同様に階調 1 から階調 1 6 までは、高階調領域の (H 0 ~ H 5) = (0, 0, 0, 0, 0) である。したがって、低電流領域の 1 つの単位電流源 6 3 4 がソース信号線 1 8 に接続されている。高電流領域の単位電流源はソース信号線 1 8 には接続されていない。つまり、低階調領域の (L 0 ~ L 4) のみが増加する。

つまり、階調 1 では、(L 0 ~ L 4) = (1, 0, 0, 0, 0) であ

り、階調 2 では、 $(L_0 \sim L_4) = (0, 1, 0, 0, 0)$  であり、階調 3 では、 $(L_0 \sim L_4) = (1, 1, 0, 0, 0)$  であり、階調 2 では、 $(L_0 \sim L_4) = (0, 0, 1, 0, 0)$  である。以下階調 16 まで順次カウントされる。つまり、階調 15 では、 $(L_0 \sim L_4) = (1, 1, 1, 1, 0)$  であり、階調 16 では、 $(L_0 \sim L_4) = (1, 1, 1, 1, 1)$  である。階調 16 では、階調を示す  $D_0 \sim D_5$  の 5 ビット目 ( $D_4$ ) のみが 1 本オンするため、データ  $D_0 \sim D_5$  の表現している内容が 16 であるということが、1 データ信号線 ( $D_4$ ) の判定で決定できる。したがって、論理回路のハード規模を小さくすることができる。

- 10 階調 16 が切り替わりポイント（折れ曲がり位置）である（もしくは階調 17 が切り替わりポイントというべきであるかもしれないが）。階調 16 では、 $(L_0 \sim L_4) = (1, 1, 1, 1, 1)$  であり、 $(H_0 \sim H_5) = (0, 0, 0, 0, 0)$  である。したがって、低電流領域の 4 つのスイッチ 641La、641Lb、641Lc、641Ld、641Le がオンし、16 個の単位電流源 634 がソース信号線 18 に接続されている。高電流領域の単位電流源はソース信号線 18 には接続されていない。

- 20 階調 16 以上では、低電流領域  $(L_0 \sim L_4) = (1, 1, 1, 0, 1)$  は変化がない。しかし、高電流領域において、階調 17 では  $(H_0 \sim H_5) = (1, 0, 0, 0, 0)$  であり、スイッチ 641Ha がオンし、高電流領域の 1 つの単位電流源 641 がソース信号線 18 と接続されている。以下、同様に、階調ステップに応じて、高電流領域のトランジスタ 634 の個数が 1 個ずつ増加する。つまり、階調 18 では  $(H_0 \sim H_5) = (0, 1, 0, 0, 0)$  であり、スイッチ 641Hb がオンし、高電流領域の 2 つの単位電流源 641 がソース信号線 18 と接続される。同様に、階調 19 では  $(H_0 \sim H_5) = (1, 1, 0, 0, 0)$  であり、2 つのスイッチ 641Ha スイッチ 641Hb がオンし、高電流領域の 3 つの単位電流源 641 がソース信号線 18 と接続される。さ

らに、階調 20 では (H0 ~ H5) = (0, 0, 1, 0, 0) であり、1つのスイッチ 641Hc がオンし、高電流領域の 4つの単位電流源 641 がソース信号線 18 と接続される。

5 以上のように、切り替わりポイント（折れ曲がり位置）で、2の乗数の個数の電流源（1単位）634 がオンもしくはソース信号線 18 と接続（逆に、オフとなる構成も考えられる）するように構成するロジック処理などがきわめて容易になる。たとえば、第 84 図に図示するように折れ曲がり位置が階調 4（4 は 2 の乗数である）であれば、4 個の電流源（1単位）634 が動作するなどのように構成する。そして、それ以上  
10 上の階調では、高電流領域の電流源（1単位）634 が加算されるように構成する。また、第 85 図に図示するように折れ曲がり位置が階調 8（8 は 2 の乗数である）であれば、8 個の電流源（1単位）634 が動作するなどのように構成する。そして、それ以上の階調では、高電流領域の電流源（1単位）634 が加算されるように構成する。本発明の構成を採用すれば、64 階調に限らず（16 階調：4096 色、256 階調：1670 万色など）、あらゆる階調表現で、ハード構成が小さなガンマ制御回路を構成できる。

なお、第 84 図、第 85 図、第 86 図で説明した実施例では、切り替わりポイントの階調が 2 の乗数となるとしたが、これは、完全黒表示の  
20 階調を 0 とした場合である。階調 1 を完全黒表示とする場合は、+1 する必要がある。しかし、これらは便宜上の事項である。本発明で重要なのは、複数の電流領域（低電流領域、高電流領域など）を有し、その切り替わりポイントを信号入力が少なく判定（処理）できるように構成することである。その一例として、2 の乗数であれば、1 信号線を検出するだけでよいからハード規模が極めて小さくなるという技術的思想である。また、その処理を容易にするため、電流源 634a を付加する。

したがって、負論理であれば、2、4、8・・・ではなく、階調 1、3、7、15・・・で切り替わりポイントとすればよい。また、階調 0

を完全黒表示としたが、これに限定するものではない。たとえば、6 4 階調表示であれば、階調 6 3 を完全黒表示状態とし、階調 0 を最大の白表示としてもよい。この場合は、逆方向に考慮して、切り替わりポイント  
5 5 を処理すればよい。したがって、2 の乗数から処理上、異なる構成となる場合がある。

また、切り替わりポイント（折れ曲がり位置）が 1 つのガンマカーブに限定されるものではない。折れ曲がり位置が複数存在しても本発明の回路を構成することができる。たとえば、折れ曲がり位置を階調 4 および階調 1 6 に設定することができる。また、階調 4、階調 1 6、および  
10 階調 3 2 というように 3 ポイント以上に設定することもできる。

また、以上の実施例は、階調を 2 の乗数に設定するとして説明をしたが、本発明はこれに限定するものではない。たとえば、2 の乗数の 2 と 8（ $2 + 8 = 10$  階調目、つまり、判定に要する信号線は 2 本）とで折れ曲がり点を設定してもよい。それ以上の、2 の乗数の 2 と 8 と 1 6（ $2 + 8 + 16 = 26$  階調目、つまり、判定に要する信号線は 3 本）とで折れ曲がり点を設定してもよい。この場合は、多少判定あるいは処理に要するハード規模が大きくなるが、回路構成上、十分に対応することができる。また、以上の説明した事項は本発明の技術的範疇に含まれることは言うまでもない。  
15

20 第 8 7 図に図示するように、本発明のソースドライバ（IC）1 4 は 3 つの部分の電流出力回路 7 0 4 から構成されている。高階調領域で動作する高電流領域電流出力回路 7 0 4 a であり、低電流領域および高階調領域で動作する低電流領域電流出力回路 7 0 4 b であり、嵩上げ電流を出力する電流嵩上げ電流出力回路 7 0 4 c である。

25 高電流領域電流出力回路 7 0 4 a と電流嵩上げ電流出力回路 7 0 4 c は高電流を出力する基準電流源 7 7 1 a を基準電流として動作し、低電流領域電流出力回路 7 0 4 b は低電流を出力する基準電流源 7 7 1 b を基準電流として動作する。

なお、先にも説明したが、電流出力回路 7 0 4 は、高電流領域電流出力回路 7 0 4 a、低電流領域電流出力回路 7 0 4 b、電流嵩上げ電流出力回路 7 0 4 c の 3 つに限定するものではなく、高電流領域電流出力回路 7 0 4 a および低電流領域電流出力回路 7 0 4 b の 2 つでもよく、また、3 つ以上の電流出力回路 7 0 4 から構成してもよい。また、基準電流源 7 7 1 はそれぞれの電流領域電流出力回路 7 0 4 に対応して配置または形成してもよく、また、すべての電流領域電流出力回路 7 0 4 に共通にしてもよい。

以上の電流出力回路 7 0 4 が階調データに対応して、内部のトランジスタ 6 3 4 が動作し、ソース信号線 1 8 から電流を吸収する。前記とトランジスタ 6 3 4 は、1 水平走査期間 (1 H) 信号に同期して動作する。つまり、1 H の期間の間、該当する階調データに基づく電流を入力する (トランジスタ 6 3 4 が N チャンネルの場合)。

一方、ゲートドライバ 1 2 も 1 H 信号に同期して、基本的には 1 本のゲート信号線 1 7 a を順次選択する。つまり、1 H 信号に同期して、第 1 H 期間にはゲート信号線 1 7 a (1) を選択し、第 2 H 期間にはゲート信号線 1 7 a (2) を選択し、第 3 H 期間にはゲート信号線 1 7 a (3) を選択し、第 4 H 期間にはゲート信号線 1 7 a (4) を選択する。

しかし、第 1 のゲート信号線 1 7 a が選択されてから、次の第 2 のゲート信号線 1 7 a が選択される期間には、どのゲート信号線 1 7 a も選択されない期間 (非選択期間、第 8 8 図の t 1 を参照) を設ける。非選択期間は、ゲート信号線 1 7 a の立ち上がり期間、立下り期間が必要であり、T F T 1 1 d のオンオフ制御期間を確保するために設ける。

いずれかのゲート信号線 1 7 a にオン電圧が印加され、画素 1 6 の T F T 1 1 b、T F T 1 1 c がオンしていれば、V d d 電源 (アノード電圧) から駆動用 T F T 1 1 a を介して、ソース信号線 1 8 にプログラム電流 I w が流れる。このプログラム電流 I w がトランジスタ 6 3 4 に流れる (第 8 8 図の t 2 期間)。なお、ソース信号線 1 8 には寄生容量 C



が発生している（ゲート信号線とソース信号線とのクロスポイントの容量などにより寄生容量が発生する）。

しかし、いずれのゲート信号線 17 a も選択されていない期間（非選択期間（第 88 図の  $t_1$  期間））では T F T 1 1 a を流れる電流経路がない。トランジスタ 6 3 4 は電流を流すから、ソース信号線 1 8 の寄生容量から電荷を吸収する。そのため、ソース信号線 1 8 の電位が低下する（第 88 図の A の部分）。ソース信号線 1 8 の電位が低下すると、次の画像データに対応する電流を書き込むのに時間がかかる。

この課題を解決するため、第 89 図に図示するように、ソース端子 7 6 1 との出力端にスイッチ 6 4 1 a を形成する。また、嵩上げ電流出力回路 7 0 4 c の出力段にスイッチ 6 4 1 b を形成または配置する。

非選択期間  $t_1$  に、制御端子 S 1 に制御信号を印加し、スイッチ 6 4 1 a をオフ状態にする。選択期間  $t_2$  ではスイッチ 6 4 1 a をオン状態（導通状態）にする。オン状態の時にはプログラム電流  $I_w = I_{wH} + I_{wL} + I_{wK}$  が流れる。スイッチ 6 4 1 a をオフにすると  $I_w$  電流は流れない。したがって、第 90 図に図示するように第 88 図の A のような電位に低下しない（変化はない）。なお、スイッチ 6 4 1 のアナログスイッチ 7 3 1 のチャンネル幅  $W$  は、 $10\ \mu\text{m}$  以上  $100\ \mu\text{m}$  以下にする。このアナログスイッチの  $W$ （チャンネル幅）はオン抵抗を低減するために、 $10\ \mu\text{m}$  以上にする必要がある。しかし、あまり  $W$  が大きいと、寄生容量も大きくなるので  $100\ \mu\text{m}$  以下にすることが好ましい。さらに好ましくは、チャンネル幅  $W$  は  $15\ \mu\text{m}$  以上  $60\ \mu\text{m}$  以下にする。

スイッチ 6 4 1 b は低階調表示のみに制御するスイッチである。低階調表示（黒表示）のときは、画素 1 6 の T F T 1 1 a のゲート電位は  $V_{dd}$  に近くする必要がある（したがって、黒表示では、ソース信号線 1 8 の電位は  $V_{dd}$  近くにする必要がある）。また、黒表示では、プログラム電流  $I_w$  が小さく、第 88 図の A のように一度、電位が低下してしまうと、正規の電位に復帰するのに長時間を要する。

そのため、低階調表示の場合は、非選択期間  $t_1$  が発生することを避けなくてはならない。逆に、高階調表示では、プログラム電流  $I_w$  が大きいいため、非選択期間  $t_1$  が発生しても問題がない場合が多い。したがって、本発明では、高階調表示の画像書き込みでは、非選択期間でもスイッチ 641a、スイッチ 641b の両方をオンさせておく。また、嵩上げ電流  $I_{wK}$  も切断しておく必要がある。極力黒表示を実現するためである。低階調表示の画像書き込みでは、非選択期間ではスイッチ 641a をオンさせておき、スイッチ 641b はオフするということに駆動する。スイッチ 641b は端子 S2 で制御する。

10      もちろん、低階調表示および高階調表示の両方で、非選択期間  $t_1$  にスイッチ 641a をオフ（非導通状態）、スイッチ 641b はオン（導通）させたままにするという駆動を実施してもよい。もちろん、低階調表示および高階調表示の両方で、非選択期間  $t_1$  にスイッチ 641a、スイッチ 641b の両方をオフ（非導通）させた駆動を実施してもよい。

15      いずれにしても、制御端子 S1、S2 の制御でスイッチ 641 を制御できる。なお、制御端子 S1、S2 はコマンド制御で制御する。

たとえば、制御端子 S2 は非選択期間  $t_1$  をオーバーラップするように  $t_3$  期間を "0" ロジックレベルとする。このように制御することにより、第 88 図の A の状態は発生しない。また、階調が一定以上の黒表示レベルのときは、制御端子 S1 を "0" ロジックレベルとする。すると、嵩上げ電流  $I_{wK}$  は停止し、より黒表示を実現できる。

25      以上の実施例は、表示パネルに 1 つのソースドライバ 14 を積載することを前提に実施例として説明した。しかし、本発明はこの構成に限定されるものではない。ソースドライバ 14 を 1 つの表示パネルに複数積載する構成でもよい。たとえば、第 93 図は 3 つのソースドライバ 14 を積載した表示パネルの実施例である。

本発明のソースドライバ 14 は、第 73 図、第 74 図、第 76 図、第 77 図などでも説明したように、少なくとも低階調領域の基準電流と、

高階調領域の基準電流との2系統を具備する。このことは、第82図でも説明をした。

第82図でも説明したように、本発明の電流駆動方式のソースドライバ（IC）14は複数のドライバIC14を用いることを想定した、スレーブ／マスター（S／M）端子を具備している。S／M端子をHレベルにすることによりマスターチップとして動作し、基準電流出力端子（図示せず）から、基準電流を出力する。もちろん、S／M端子のロジックは逆極性でもよい。また、ソースドライバ14へのコマンドにより切り替えても良い。基準電流は可スケート電流接続線931で伝達される。S／M端子をLレベルにすることによりIC14はスレーブチップとして動作し、基準電流入力端子（図示せず）から、マスターチップの基準電流を受け取る。この電流が第73図、第74図のINL、INH端子に流れる電流となる。

基準電流はICチップ14の中央部（真中部分）の電流出力回路704で発生させる。マスターチップの基準電流は外部から外付け抵抗、あるいはIC内部に配置あるいは構成された電流きざみ方式の電子ボリュームにより、基準電流が調整されて印加される。

なお、ICチップ14の中央部にはコントロール回路（コマンドデコーダなど）なども形成（配置）される。基準電流源をチップの中央部に形成するのは、基準電流発生回路とプログラム電流出力端子761との間の距離を極力短くするためである。

第93図の構成では、マスターチップ14bより基準電流が2つのスレーブチップ（14a、14c）に伝達される。スレーブチップは基準電流を受け取り、この電流を基準として、親、子、孫電流を発生させる。なお、マスターチップ14bがスレーブチップに受け渡す基準電流は、カレントミラー回路の電流受け渡しにより行う（第67図を参照のこと）。電流受け渡しを行うことにより、複数のチップで基準電流のずれはなくなり、画面の分割線が表示されなくなる。

第 9 4 図は基準電流の受け渡し端子位置を概念的に図示している。I  
Cチップの中央部に配置されて信号入力端子 9 4 1 i に基準電流信号  
線 9 3 2 が接続されている。この基準電流信号線 9 3 2 に出力される電  
流（なお、電圧の場合もある。第 7 6 図を参照のこと）は、E L 材料の  
5 温特補償がされている。また、E L 材料の寿命劣化による補償がされて  
いる。

基準電流信号線 9 3 2 に印加された電流（電圧）に基づき、チップ 1  
4 内で各電流源（6 3 1、6 3 2、6 3 3、6 3 4）を駆動する。この  
基準電流がカレントミラー回路を介して、スレーブチップへの基準電流  
10 として出力される。スレーブチップへの基準電流は端子 9 4 1 o から出  
力される。端子 9 4 1 o は基準電流発生回路 7 0 4 の左右に少なくとも  
1 個以上配置（形成）される。第 9 4 図では、左右に 2 個ずつ配置（形  
成）されている。この基準電流が、カスケード信号線 9 3 1 a 1、9 3  
1 a 2、9 3 1 b 1、9 3 1 b 2 でスレーブチップ 1 4 に伝達される。  
15 なお、スレーブチップ 1 4 a に印加された基準電流を、マスターチップ  
1 4 b にフィードバックし、ずれ量を補正するように回路を構成しても  
よい。

有機 E L 表示パネルをモジュール化する際、問題となる事項に、アノ  
ード配線 9 5 1、カソード配線の引き回し（配置）の抵抗値の課題があ  
20 る。有機 E L 表示パネルは、E L 素子 1 5 の駆動電圧が比較的低いかわ  
りに、E L 素子 1 5 に流れる電流が大きい。そのため、E L 素子 1 5 に  
電流を供給するアノード配線、カソード配線を太くする必要がある。一  
例として、2 インチクラスの E L 表示パネルでも高分子 E L 材料では、  
2 0 0 m A 以上の電流をアノード配線 9 5 1 に流す必要がある。そのた  
25 め、アノード配線 9 5 1 の電圧降下を防止するため、アノード配線は 1  
 $\Omega$  以下に低抵抗化する必要がある。しかし、アレイ基板 7 1 では、配線  
は薄膜蒸着で形成するため、低抵抗化は困難である。そのため、パター  
ン幅を太くする必要がある。しかし、2 0 0 m A の電流をほとんど電圧

降下なしで伝達するためには、配線幅が2 mm以上になるという課題があった。

第105図は従来のEL表示パネルの構成である。表示領域50の左右に内蔵ゲートドライバ12a、12bが形成（配置）されている。また、ソースドライバ14pも画素16のTFTと同一プロセスで形成されている（内蔵ソースドライバ）。

アノード配線951はパネルの右側に配置されている。アノード配線951にはV<sub>dd</sub>電圧が印加されている。アノード配線951幅は一例として2 mm以上である。アノード配線951は画面の下端から画面の上端に分岐されている。分岐数は画素列数である。たとえば、QCIFパネルでは、176列×RGB=528本である。一方、ソース信号線18は内蔵ソースドライバ14pから出力されている。ソース信号線18は画面の上端から画面の下端に配置（形成）されている。また、内蔵ゲートドライバ12の電源配線1051も画面の左右に配置されている。

したがって、表示パネルの右側の額縁は狭くすることができない。現在、携帯電話などに用いる表示パネルでは、狭額縁化が重要である。また、画面の左右の額縁を均等にすることが重要である。しかし、第105図の構成では、狭額縁化が困難である。

この課題を解決するため、本発明の表示パネルでは、第106図に図示するように、アノード配線951はソースドライバ14の裏面に位置する箇所、かつアレイ表面に配置（形成）している。ソースドライバ（IC）14は半導体チップで形成（作製）し、COG（チップオンガラス）技術で基板71に実装している。ソースドライバ14化にアノード配線951を配置（形成）できるのは、チップ14の裏面に基板に垂直方向に10 μm～30 μmの空間があるからである。第105図のように、ソースドライバ14pをアレイ基板71に直接形成すると、マスク数の問題、あるいは歩留まりの問題、ノイズの問題からソースドライバ14

pの下層あるいは上層にアノード配線（ベースアノード線、アノード電圧線、基幹アノード線）951を形成することは困難である。

また、第106図に図示するように、共通アノード線962を形成し、ベースアノード線951と共通アノード線962とを接続アノード線961で短絡させている。特に、ICチップの中央部に接続アノード線961を形成した点がポイントである。接続アノード線961を形成することにより、ベースアノード線951と共通アノード線962間の電位差がなくなる。また、アノード配線952を共通アノード線962から分岐している点がポイントである。以上の構成を採用することにより、第105図のようにアノード配線951の引き回しがなくなり、狭額縁化を実現できる。

共通アノード線962が長さ20mmとし、配線幅が150 $\mu$ mとし、配線のシート抵抗を0.05 $\Omega/\mu$ mとすれば、抵抗値は20000( $\mu$ m)/150( $\mu$ m) $\times$ 0.05 $\Omega$ =約7 $\Omega$ になる。共通アノード線962の両端を接続アノード線961cでベースアノード線951と接続すれば、共通アノード線962には両側給電されるから、見かけ上の抵抗値は、7 $\Omega/2=3.5\Omega$ となり、また、集中分布乗数に置きなると、さらに、見かけ上の共通アノード線962の抵抗値は1/2となるから、少なくとも2 $\Omega$ 以下となる。アノード電流が100mAであっても、この共通アノード線962での電圧降下は、0.2V以下となる。さらに、中央部の接続アノード線961bで短絡すれば電圧降下は、ほとんど発生しないようにすることができるのである。

本発明はベースアノード線951をIC14下に形成すること、共通アノード線962を形成し、この共通アノード線962とベースアノード線951とを電氣的に接続すること（接続アノード線961）、共通アノード線962からアノード配線952を分岐させることである。なお、アノード線はカソード線に置き換えることができる。

また、アノード線（ベースアノード線951、共通アノード線962、

接続アノード線 9 6 1、アノード配線 9 5 2 など)を低抵抗化するため、薄膜の配線を形成後、あるいはパターニング前に、無電解メッキ技術、電解メッキ技術などを用いて、導電性材料を積層し厚膜化してもよい。厚膜化することにより、配線の断面積が広くなり、低抵抗化することができる。以上の事項はカソードに関しても同様である。また、ゲート信号線 1 7、ソース信号線 1 8 にも適用することができる。

したがって、共通アノード線 9 6 2 を形成し、この共通アノード線 9 6 2 を接続アノード線 9 6 1 で両側給電を行う構成の効果は高く、また、中央部に接続アノード線 9 6 1 b (9 6 1 c) を形成することによりさらに効果が高くなる。また、ベースアノード線 9 5 1、共通アノード線 9 6 2、接続アノード線 9 6 1 でループを構成しているため、I C 1 4 に入力される電界を抑制することができる。

共通アノード線 9 6 2 とベースアノード線 9 5 1 は同一金属材料で形成し、また、接続アノード線 9 6 1 も同一金属材料で形成することが好ましい。また、これらのアノード線は、アレイを形成する最も抵抗値の低い金属材料あるいは構成で実現する。一般的に、ソース信号線 1 8 の金属材料および構成(S D レイヤ)で実現する。共通アノード線 9 6 2 とソース信号線 1 8 とが交差する箇所は、同一材料で形成することはできない。したがって、交差する箇所は他の金属材料(ゲート信号線 1 7 と同一材料および構成、G E レイヤ)で形成し、絶縁膜で電氣的に絶縁する。もちろん、アノード線は、ソース信号線 1 8 の構成材料からなる薄膜と、ゲート信号線 1 7 の構成材料からなる薄膜とを積層して構成してもよい。

なお、ソースドライバ 1 4 の裏面にアノード配線(カソード配線)などの E L 素子 1 5 に電流を供給する配線を敷設する(配置する、形成する)としたが、これに限定するものではない。たとえば、ゲートドライバ 1 2 を I C チップで形成し、この I C を C O G 実装してもよい。このゲートドライバ I C 1 2 の裏面にアノード配線、カソード配線を配置

(形成) する。以上のように本発明は、E L 表示装置などにおいて、駆動 I C を半導体チップで形成 (作製) し、この I C をアレイ基板 7 1 などの基板に直接実装し、かつ、I C チップの裏面の空間部にアノード配線、カソード配線などの電源あるいはグランドパターンを形成 (作製) 5 するものである。

以上の事項を他の図面を参照しながらさらに詳しく説明をする。第 9 5 図は本発明の表示パネルの一部の説明図である。第 9 5 図において、点線が I C チップ 1 4 を配置する位置である。つまり、ベースアノード線 (アノード電圧線つまり分岐前のアノード配線) が I C チップ 1 4 の 10 裏面かつアレイ基板 7 1 上に形成 (配置) されている。なお、本発明の実施例において、I C チップ (1 2、1 4) の裏面に分岐前のアノード配線 9 5 1 を形成するとして説明するが、これは説明を容易にするためである。たとえば、分岐前のアノード配線 9 5 1 のかわりに分岐前のカソード配線あるいはカソード膜を形成 (配置) してもよい。その他、ゲートドライバ 1 2 の電源配線 1 0 5 1 を配置または形成してもよい。 15

I C チップ 1 4 は C O G 技術により電流出力 (電流入力) 端子 7 4 1 とアレイ 7 1 に形成された接続端子 9 5 3 とが接続される。接続端子 9 5 3 はソース信号線 1 8 の一端に形成されている。また、接続端子 9 5 3 は 9 5 3 a と 9 5 3 b というように千鳥配置である。なお、ソース信号線の一端には接続端子 9 5 3 が形成され、他の端にもチェック用の端子電極が形成されている。 20

また、本発明は I C チップを電流駆動方式のドライバ I C (電流で画素にプログラムする方式) としたが、これに限定するものではない。たとえば、第 4 3 図、第 5 3 図などの電圧プログラムの画素を駆動する電圧駆動方式のドライバ I C を積載した E L 表示パネル (装置) などにも 25 適用することができる。

接続端子 9 5 3 a と 9 5 3 b 間にはアノード配線 9 5 2 (分岐後のアノード配線) が配置される。つまり、太く、低抵抗のベースアノード線



9 5 1 から分岐されたアノード配線 9 5 2 が接続端子 9 5 3 間に形成され、画素 1 6 列に沿って配置されている。したがって、アノード配線 9 5 2 とソース信号線 1 8 とは平行に形成（配置）される。以上のように構成（形成）することにより、第 1 0 5 図のようにベースアノード線 5 9 5 1 を画面横に引き回すことなく、各画素に  $V_{dd}$  電圧を供給できる。

第 9 6 図はさらに、具体的に図示している。第 9 5 図との差異は、アノード配線を接続端子 9 5 3 間に配置せず、別途形成した共通アノード線 9 6 2 から分岐させた点である。共通アノード線 9 6 2 とベースアノード線 9 5 1 とは接続アノード線 9 6 1 で接続している。

10 第 9 6 図は IC チップ 1 4 を透視して裏面の様子を図示したように記載している。IC チップ 1 4 は出力端子 7 6 1 にプログラム電流  $I_w$  を出力する電流出力回路 7 0 4 が配置されている。基本的に、出力端子 7 6 1 と電流出力回路 7 0 4 は規則正しく配置されている。IC チップ 1 4 の中央部には親電流源の基本電流を作製する回路、コントロール  
15 （制御）回路が形成されている。そのため、IC チップの中央部には出力端子 7 6 1 が形成されていない（電流出力回路 7 0 4 が IC チップの中央部に形成できないからである）。

本発明では、第 9 6 図の中央部 7 0 4 a 部には出力端子 7 6 1 を IC チップに作製していない（出力回路がないからである。なお、ソースドライバなどの IC チップの中央部に、コントロール回路などが形成され、出力回路が形成されていない事例は多い）。本発明の IC チップはこの点に着眼し、IC チップの中央部に出力端子 7 6 1 を形成（配置）せず  
20 （ソースドライバなどの IC チップの中央部に、コントロール回路などが形成され、出力回路が形成されていない場合であっても、中央部にダミーパッドをして、出力端子（パッド）が形成されているのが一般的である）、この位置に共通アノード線 9 6 1 を形成している（ただし、共通アノード線 9 6 1 はアレイ基板 7 1 面に形成されている）。接続アノード線 9 6 1 の幅は、 $50\mu m$  以上  $1000\mu m$  以下にする。また、長

さに対する抵抗（最大抵抗）値は、 $100\ \Omega$ 以下になるようにする。

接続アノード線 9 6 1 でベースアノード線 9 5 1 と共通アノード線 9 6 2 とをショートすることにより、共通アノード線 9 6 2 に電流が流れることにより発生する電圧降下を極力抑制する。つまり、本発明の構成要素である接続アノード線 9 6 1 は I C チップの中央部に出力回路がない点を有効に利用しているのである。また、従来、I C チップの中央部にダミーパッドとして形成されている出力端子 7 6 1 を削除することにより、このダミーパッドと接続アノード線 9 6 1 とが接触して I C チップが電氣的に影響を与えることを防止している。ただし、このダミーパッドが I C チップのベース基板（チップのグランド）、他の構成と電氣的に絶縁されている場合は、ダミーパッドが接続アノード線 9 6 1 と接触しても全く問題がない。したがって、ダミーパッドを I C チップの中央部に形成したままでもよいことは言うまでもない。

さらに具体的には、第 9 9 図のように接続アノード線 9 6 1、共通アノード線 9 6 2 は形成（配置）されている。まず、接続アノード線 9 6 1 は太い部分（9 6 1 a）と細い部分（9 6 1 b）とがある。太い部分（9 6 1 a）は抵抗値を低減するためである。細い部分（9 6 1 b）は、出力端子 9 6 3 間に接続アノード線 9 6 1 b を形成し、共通アノード線 9 6 2 と接続するためである。

また、ベースアノード線 9 5 1 と共通アノード線 9 6 2 との接続は、中央部の接続アノード線 9 6 1 b だけでなく、左右の接続アノード線 9 6 1 c でもショートしている。したがって、共通アノード線 9 6 2 とベースアノード線 9 5 1 とは 3 本の接続アノード線 9 6 1 でショートされている。したがって、共通アノード線 9 6 2 に大きな電流が流れても共通アノード線 9 6 2 で電圧降下が発生しにくい。これは、I C チップ 1 4 は通常、幅が 2 mm 以上あり、この I C 1 4 下に形成されたベースアノード線 9 5 1 の線幅を太く（低インピーダンス化できる）できるからである。そのため、低インピーダンスのベースアノード線 9 5 1 と共

通アノード線 9 6 2 とを複数箇所接続アノード線 9 6 1 によりショートしているため、共通アノード線 9 6 2 の電圧降下は小さくなるのである。

5 以上のように共通アノード線 9 6 2 での電圧降下を小さくできるのは、I C チップ 1 4 下にベースアノード線 9 5 1 を配置（形成）できる点、I C チップ 1 4 の左右の位置を用いて、接続アノード線 9 6 1 c を配置（形成）できる点、I C チップ 1 4 の中央部に接続アノード線 9 6 1 b を配置（形成）できる点にある。

また、第 9 9 図では、ベースアノード線 9 5 1 とカソード電源線（ベースカソード線）9 9 1 とを絶縁膜 1 0 2 を介して積層させている。この積層した箇所がコンデンサを形成する（この構成をアノードコンデンサ構成と呼ぶ）。このコンデンサは、電源パスコンデンサとして機能する。したがって、ベースアノード線 9 5 1 の急激な電流変化を吸収することができる。コンデンサの容量は、E L 表示装置の表示面積を S 平方  
10 ミリメートルとし、コンデンサの容量を C ( p F ) としたとき、 $M / 200 \leq C \leq M / 10$  以下の関係を満足させることがよい。さらには、 $M / 100 \leq C \leq M / 20$  以下の関係を満足させることがよい。C が小さいと電流変化を吸収することが困難であり、大きいとコンデンサの形成面積が大きくなりすぎ実用的でない。

20 なお、第 9 9 図などの実施例では、I C チップ 1 4 下にベースアノード線 9 5 1 を配置（形成）するとしたが、アノード線をカソード線としてもよいことは言うまでもない。また、第 9 9 図において、ベースカソード線 9 9 1 とベースアノード線 9 5 1 とを入れ替えても良い。本発明の技術的思想は、ドライバを半導体チップで形成し、かつ半導体チップ  
25 をアレイ基板 7 1 もしくはフレキシブル基板に実装し、半導体チップの下面に E L 素子 1 5 などの電源あるいはグランド電位（電流）を供給する配線などを配置（形成）する点にある。

したがって、半導体チップは、ソースドライバ 1 4 に限定されるもの

ではなく、ゲートドライバ 1 2 でもよく、また、電源 I C でもよい。また、半導体チップをフレキシブル基板に実装し、このフレキシブル基板面かつ半導体チップの下面に E L 素子 1 5 などの電源あるいはグランドパターンを配線（形成）する構成も含まれる。もちろん、ソースドライバ 1 4 およびゲートドライバ I C 1 2 の両方を、半導体チップで構成し、基板 7 1 に C O G 実装を行っても良い。そして、前記チップの下面に電源あるいはグランドパターンを形成してもよい。また、E L 素子 1 5 への電源あるいはグランドパターンとしたがこれに限定するものではなく、ソースドライバ 1 4 への電源配線、ゲートドライバ 1 2 への電源配線でもよい。また、E L 表示装置に限定されるものではなく、液晶表示装置にも適用できる。その他、F E D、P D P など表示パネルにも適用することができる。以上の事項は、本発明の他の実施例でも同様である。

第 9 7 図は本発明の他の実施例である。第 9 5 図、第 9 6 図、第 9 9 図との主な差異は、第 9 5 図が出力端子 9 5 3 間にアノード配線 9 5 2 を配置したのに対し、第 9 7 図では、ベースアノード配線 9 5 1 から多数（複数）の細い接続アノード線 9 6 1 d を分岐させ、この接続アノード線 9 6 1 d と共通アノード線 9 6 2 とをショートした点である。また、細い接続アノード線 9 6 1 d と接続端子 9 5 3 と接続されたソース信号線 1 8 とを絶縁膜 1 0 2 を介して積層した点である。

アノード線 9 6 1 d はベースアノード線 9 5 1 とコンタクトホール 9 7 1 a とで接続を取り、アノード配線 9 5 2 は共通アノード線 9 6 2 とコンタクトホール 9 7 1 b とで接続を取っている。他の点（接続アノード線 9 6 1 a、9 6 1 b、9 6 1 c、アノードコンデンサ構成など）などは第 9 6 図、第 9 9 図と同様であるので説明を省略する。

第 9 9 図の A A' 線での断面図を第 9 8 図に図示する。第 9 8 図（a）では、略同一幅のソース信号線 1 8 を接続アノード線 9 6 1 d が絶縁膜 1 0 2 a を介して積層されている。

絶縁膜 102 a の膜厚は、500 オングストローム以上 3000 オングストローム (Å) 以下にする。さらに好ましくは、800 オングストローム以上 2000 オングストローム (Å) 以下にする。膜厚が薄いと、接続アノード線 961 d とソース信号線 18 との寄生容量が大きくなり、また、接続アノード線 961 d とソース信号線 18 との短絡が発生しやすくなり好ましくない。逆に厚いと絶縁膜の形成時間に長時間を要し、製造時間が長くなりコストが高くなる。また、上側の配線の形成が困難になる。なお、絶縁膜 102 は、ポリビフェーニールアルコール (PVA) 樹脂、エポキシ樹脂、ポリプロピレン樹脂、フェノール樹脂、アクリル系樹脂、ポリイミド樹脂などの有機材料と同一材料が例示され、その他、SiO<sub>2</sub>、SiN<sub>x</sub> などの無機材料が例示される。その他、Al<sub>2</sub>O<sub>3</sub>、Ta<sub>2</sub>O<sub>3</sub> などであってもよいことは言うまでもない。また、第 98 図 (a) に図示するように、最表面には絶縁膜 102 b を形成し、配線 961 などの腐食、機械的損傷を防止させる。

第 98 図 (b) では、ソース信号線 18 の上にソース信号線 18 よりも線幅の狭い接続アノード線 961 d が絶縁膜 102 a を介して積層されている。以上のように構成することにより、ソース信号線 18 の段差によるソース信号線 18 と接続アノード線 961 d とのショートを抑制することができる。第 98 図 (b) の構成では、接続アノード線 961 d の線幅は、ソース信号線 18 の線幅よりも 0.5 μm 以上狭くすることが好ましい。さらには、接続アノード線 961 d の線幅は、ソース信号線 18 の線幅よりも 0.8 μm 以上狭くすることが好ましい。

第 98 図 (b) では、ソース信号線 18 の上にソース信号線 18 よりも線幅の狭い接続アノード線 961 d が絶縁膜 102 a を介して積層されているとしたが、第 98 図 (c) に図示するように、接続アノード線 961 d の上に接続アノード信号線 961 d よりも線幅の狭いソース信号線 18 が絶縁膜 102 a を介して積層するとしてもよい。他の事項は他の実施例と同様であるので説明を省略する。

第 1 0 0 図は I C チップ 1 4 部の断面図である。基本的には第 9 9 図の構成を基準にしているが、第 9 6 図、第 9 7 図などでも同様に適用できる。もしくは類似に適用できる。

第 1 0 0 図 (b) は第 9 9 図の A A' での断面図である。第 1 0 0 図  
5 (b) でも明らかなように、I C チップの 1 4 の中央部には出力パッド 7 6 1 が形成 (配置) されていない。この出力パッドと、表示パネルのソース信号線 1 8 とが接続される。出力パッド 7 6 1 は、メッキ技術あるいはネイルヘッドボンダ技術によりバンプ (突起) が形成されている。突起の高さは  $10\text{ }\mu\text{m}$  以上  $40\text{ }\mu\text{m}$  以下の高さにする。もちろん、金メ  
10 ッキ技術 (電解、無電解) により突起を形成してもよいことは言うまでもない。

前記突起と各ソース信号線 1 8 とは導電性接合層 (図示せず) を介して電氣的に接続されている。導電性接合層は接着剤としてエポキシ系、フェノール系等を主剤とし、銀 (A g)、金 (A u)、ニッケル (N i)、  
15 カーボン (C)、酸化錫 (S n O 2) などのフレークを混ぜた物、あるいは紫外線硬化樹脂などである。導電性接合層 (接続樹脂) 1 0 0 1 は、転写等の技術でバンプ上に形成する。または、突起とソース信号線 1 8 とを A C F 樹脂 1 0 0 1 で熱圧着する。なお、突起あるいは出力パッド 7 6 1 とソース信号線 1 8 との接続は、以上の方式に限定するものではない。また、アレイ基板上に I C 1 4 を積載せず、フィルムキャリア技術を用いてもよい。また、ポリイミドフィルム等を用いてソース信号線 1 8 などと接続しても良い。第 1 0 0 図 (a) はソース信号線 1 8 と共通アノード線 9 6 2 とが重なっている部分の断面図である (第 9 8 図を  
20 参照のこと)。

25 共通アノード線 9 6 2 からアノード配線 9 5 2 が分岐されている。アノード配線 9 5 2 は Q C I F パネルの場合は、 $176 \times R G B = 528$  本である。アノード配線 9 5 2 を介して、第 1 図などで図示する V d d 電圧 (アノード電圧) が供給される。1 本のアノード配線 9 5 2 には、

EL素子15が低分子材料の場合は、最大で $200\mu A$ 程度の電流が流れる。したがって、共通アノード配線962には、 $200\mu A \times 528$ で約 $100mA$ の電流が流れる。

したがって、共通アノード配線962での電圧降下を $0.2(V)$ 以内にするには、電流が流れる最大経路の抵抗値を $2\Omega$  ( $100mA$ 流れるとして) 以下にする必要がある。本発明では、第99図に示すように3箇所接続アノード線961を形成しているので、集中分布回路におきなおすと、共通アノード線962の抵抗値は容易に極めて小さく設計することができる。また、第97図のように多数の接続アノード線961dを形成すれば、共通アノード線962での電圧降下は、ほぼなくなる。

問題となるのは、共通アノード線962とソース信号線18との重なり部分における寄生容量(共通アノード寄生容量と呼ぶ)の影響である。基本的に、電流駆動方式では、電流を書き込むソース信号線18に寄生容量があると黒表示電流を書き込みにくい。したがって、寄生容量は極力小さくする必要がある。

共通アノード寄生容量は、少なくとも1ソース信号線18が表示領域内で発生する寄生容量(表示寄生容量と呼ぶ)の $1/10$ 以下にする必要がある。たとえば、表示寄生容量が $10(pF)$ であれば、 $1(pF)$ 以下にする必要がある。さらに好ましくは、表示寄生容量の $1/20$ 以下にする必要がある。すなわち、表示寄生容量が $10(pF)$ であれば、 $0.5(pF)$ 以下にする必要がある。この点を考慮して、共通アノード線962の線幅(第103図のM)、絶縁膜102の膜厚(第101図を参照)を決定する。

ベースアノード線951はICチップ14の下に形成(配置)する。形成する線幅は、低抵抗化の観点から、極力太い方がよいことは言うまでもない。その他、ベースアノード配線951は遮光の機能を持たせることが好ましい。この説明図を第102図に図示している。なお、ベ-

スアノード配線 9 5 1 を金属材料で所定膜厚形成すれば、遮光の効果があることはいうまでもない。また、ベースアノード線 9 5 1 が太くできないとき、あるいは、ITO などの透明材料で形成するときは、ベースアノード線 9 5 1 に積層して、あるいは多層に、光吸収膜あるいは光反射膜を IC チップ 1 4 下（基本的にはアレイ 7 1 の表面）に形成する。また、第 1 0 2 図の遮光膜（ベースアノード線 9 5 1）は、完全な遮光膜であることを必要としない。部分に開口部があってもよく。また、回折効果、散乱効果を発揮するものでもよい。また、ベースアノード線 9 5 1 に積層させて、光学的干渉多層膜からなる遮光膜を形成または配置してもよい。

もちろん、アレイ基板 7 1 と IC チップ 1 4 との空間に、金属箔あるいは板あるいはシートからなる反射板（シート）、光吸収板（シート）を配置あるいは挿入あるいは形成してもよいことは言うまでもない。また、金属箔に限定されず、有機材料あるいは無機材料からなる箔あるいは板あるいはシートからなる反射板（シート）、光吸収板（シート）を配置あるいは挿入あるいは形成してもよいことは言うまでもない。また、アレイ基板 7 1 と IC チップ 1 4 との空間に、ゲルあるいは液体からなる光吸収材料、光反射材料を注入あるいは配置してもよい。さらに前記ゲルあるいは液体からなる光吸収材料、光反射材料を加熱により、あるいは光照射により硬化させることが好ましい。なお、ここでは説明を容易にするために、ベースアノード線 9 5 1 を遮光膜（反射膜）にするとして説明をする。

第 1 0 2 図のように、ベースアノード線 9 5 1 はアレイ基板 7 1 の表面（なお、表面に限定するものではない。遮光膜／反射膜とするという思想を満足させるためには、IC チップ 1 4 の裏面に光が入射しなければよいのである。したがって、基板 7 1 の内面あるいは内層にベースアノード線 9 5 1 などを形成してもよいことは言うまでもない。また、基板 7 1 の裏面にベースアノード線 9 5 1（反射膜、光吸収膜として機能



する構成または構造)を形成することにより、I C 1 4に光が入射することを防止または抑制できるのであれば、アレイ基板7 1の裏面でもよい。)に遮光膜の機能を有するように形成または配置する。

また、第1 0 2図などでは、遮光膜などはアレイ基板7 1に形成する  
5  としたがこれに限定するものではなく、I Cチップ1 4の裏面に直接に遮光膜などを形成してもよい。この場合は、I Cチップ1 4の裏面に絶縁膜1 0 2 (図示せず)を形成し、この絶縁膜上に遮光膜もしくは反射膜などを形成する。また、ソースドライバ1 4がアレイ基板7 1に直接  
10  に形成する構成(低温ポリシリコン技術、高温ポリシリコン技術、固相成長技術、アモルファスシリコン技術によるドライバ構成)の場合は、遮光膜、光吸収膜あるいは反射膜を基板7 1に形成し、その上にドライバ回路1 4を形成(配置)すればよい。

I Cチップ1 4には電流源6 3 4など、微少電流を流すトランジスタ素子が多く形成されている(第1 0 2図の回路形成部1 0 2 1)。微少  
15  電流を流すトランジスタ素子に光が入射すると、ホトコンダクタ現象が発生し、出力電流(プログラム電流 $I_w$ )、親電流量、子電流量などが異常な値(バラツキが発生するなど)となる。特に、有機ELなどの自発光素子は、基板7 1内でEL素子1 5から発生した光が乱反射するため、表示領域5 0以外の箇所から強い光が放射される。この放射された  
20  光が、I Cチップ1 4の回路形成部1 0 2 1に入射するとホトコンダクタ現象を発生する。したがって、ホトコンダクタ現象の対策は、EL表示デバイスに特有の対策である。

この課題に対して、本発明では、ベースアノード線9 5 1を基板7 1上に構成し、遮光膜する。ベースアノード線9 5 1の形成領域は第1 0  
25  2図に図示するように、回路形成部1 0 2 1を被覆するようにする。以上のように、遮光膜(ベースアノード線9 5 1)を形成することにより、ホトコンダクタ現象を完全に防止できる。特にベースアノード配線9 5 1などのEL電源線は、画面書き換えに伴い、電流がながれて多少の電

位が変化する。しかし、電位の変化量は、1 Hタイミングで少しずつ変化するため、ほど、グランド電位（電位変化しないという意味）として見なせる。したがって、ベースアノード線 9 5 1 あるいはベースカソード線は、遮光の機能だけでなく、シールドの効果も発揮する。

- 5      有機ELなどの自発光素子は、基板 7 1 内でEL素子 1 5 から発生した光が乱反射するため、表示領域 5 0 以外の箇所から強い光が放射される。この乱反射光を防止あるいは抑制するため、第 1 0 1 図に図示するように、画像表示に有効な光が通過しない箇所（無効領域）に光吸収膜 1 0 1 1 を形成する（逆に有効領域とは、表示領域 5 0 およびその近傍）。
- 10    光吸収膜を形成する箇所は、封止フタ 8 5 の外面（光吸収膜 1 0 1 1 a）、封止フタ 8 5 の内面（光吸収膜 1 0 1 1 c）、基板 7 0 の側面（光吸収膜 1 0 1 1 d）、基板の画像表示領域以外（光吸収膜 1 0 1 1 b）などである。なお、光吸収膜に限定するものではなく、光吸収シートを取り付けてもよく、また、光吸収壁でもよい。また、光吸収の概念には、光
- 15    を散乱させることのより、光を発散させる方式あるいは構造も含まれる、また、広義には反射により光を封じこめる方式あるいは構成も含まれる。

光吸収膜を構成する物質としては、アクリル樹脂などの有機材料にカーボン含有させたもの、黒色の色素あるいは顔料を有機樹脂中に分散させたもの、カラーフィルターの様にゼラチンやカゼインを黒色の酸性染料で染色したものが例示される。その他、単一で黒色となるフルオラン系色素を発色させて用いたものでもよく、緑色系色素と赤色系色素とを混合した配色ブラックを用いることもできる。また、スパッタにより形成された  $\text{PrMnO}_3$  膜、プラズマ重合により形成されたフタロシアニン膜等が例示される。

- 25    以上の材料はすべて黒色の材料であるが、光吸収膜としては、表示素子が発生する光色に対し、補色の関係の材料を用いても良い。例えば、カラーフィルター用の光吸収材料を望ましい光吸収特性が得られるように改良して用いれば良い。基本的には前記した黒色吸収材料と同様に、

色素を用いて天然樹脂を染色したものを用いても良い。また、色素を合成樹脂中に分散した材料を用いることができる。色素の選択の範囲は黒色色素よりもむしろ幅広く、アゾ染料、アントラキノン染料、フタロシアン染料、トリフェニルメタン染料などから適切な1種、もしくはそれらのうち2種類以上の組み合わせでも良い。

また、光吸収膜としては金属材料を用いてもよい。たとえば、六価クロムが例示される。六価クロムは黒色であり、光吸収膜として機能する。その他、オパールガラス、酸化チタンなどの光散乱材料であってもよい。光を散乱させることにより、結果的に光を吸収することと等価になるからである。

なお、封止フタ85は、4  $\mu$ m以上15  $\mu$ m以下の樹脂ビーズ1012を含有させた封止樹脂1031を用いて、基板71と封止フタ85とを接着する。フタ85は加圧せずに配置し、固定する。

第99図の実施例は、共通アノード線962をICチップ14の近傍に形成（配置）するように図示したが、これに限定するものではない。たとえば、第103図に図示するように、表示領域50の近傍に形成してもよい。また、形成することが好ましい。なぜならば、ソース信号線18とアノード配線952とが短距離で、かつ平行して配置（形成）する部分が減少するからである。ソース信号線18とアノード配線952とが短距離で、かつ平行に配置されると、ソース信号線18とアノード配線952間に寄生容量が発生するからである。第103図のように、表示領域50の近傍に共通アノード線962を配置するとその問題点はなくなる。画面表示領域50から共通アノード線962の距離K（第103図を参照）は、1mm以下にすることが好ましい。

共通アノード線962は、極力低抵抗化するため、ソース信号線18を形成する金属材料で形成することが好ましい。本発明では、Cu薄膜、Al薄膜あるいはTi/Al/Tiの積層構造、あるいは合金もしくはアマンガムからなる金属材料（SDメタル）で形成している。したがっ

て、ソース信号線 18 と共通アノード線 962 が交差する箇所はショートすることを防止するため、ゲート信号線 17 を構成する金属材料（GE メタル）に置き換える。ゲート信号線は、Mo/W の積層構造からなる金属材料で形成している。

- 5 一般的に、ゲート信号線 17 のシート抵抗は、ソース信号線 18 のシート抵抗より高い。これは、液晶表示装置で一般的である。しかし、有機 EL 表示パネルにおいて、かつ電流駆動方式では、ソース信号線 18 を流れる電流は  $1 \sim 5 \mu A$  と微少である。したがって、ソース信号線 18 の配線抵抗が高くとも電圧降下はほとんど発生せず、良好な画像表示  
10 を実現できる。液晶表示装置においては、電圧でソース信号線 18 に画像データを書き込む。したがって、ソース信号線 18 の抵抗値が高いと画像を 1 水平走査期間に書き込むことができない。

- しかし、本発明の電流駆動方式では、ソース信号線 18 の抵抗値が高く（つまり、シート抵抗値が高い）とも、課題とはならない。したがって、ソース信号線 18 のシート抵抗は、ゲート信号線 17 のシート抵抗  
15 より高くともよい。したがって、本発明の EL 表示パネルにおいて（概念的には、電流駆動方式の表示パネルあるいは表示装置において）、第 104 図に図示するように、ソース信号線 18 を GE メタルで作製（形成）し、ゲート信号線 17 を SD メタルで作製（形成）してもよい（液  
20 晶表示パネルと逆）。

- 第 107 図は、第 99 図、第 103 図の構成に加えて、ゲートドライバ 12 を駆動する電源配線 1051 を配置した構成である。電源配線 1051 はパネルの表示領域 50 の右端→下辺→表示領域 50 の左端に引き回している。つまり、ゲートドライバ 12a と 12b の電源とは同一  
25 になっている。

しかし、ゲート信号線 17a を選択するゲートドライバ 12a（ゲート信号線 17a は TFT 11b、TFT 11c を制御する）と、ゲート信号線 17b を選択するゲートドライバ 12b（ゲート信号線 17b は

TFT 11dを制御し、EL素子15に流れる電流を制御する)とは、電源電圧を異ならせることが好ましい。特に、ゲート信号線17aの振幅(オン電圧-オフ電圧)は小さいことが好ましい。ゲート信号線17aの振幅が小さくなるほど、画素16のコンデンサ19への突き抜け電圧が減少するからである(第1図などを参照)。一方、ゲート信号線17bはEL素子15を制御する必要があるため、振幅は小さくできない。

したがって、第108図に図示するように、ゲートドライバ12aの印加電圧は $V_{ha}$ (ゲート信号線17aのオフ電圧)と、 $V_{la}$ (ゲート信号線17aのオン電圧)とし、ゲートドライバ12aの印加電圧は $V_{hb}$ (ゲート信号線17bのオフ電圧)と、 $V_{lb}$ (ゲート信号線17bのオン電圧)とする。 $V_{la} < V_{lb}$ なる関係とする。なお、 $V_{ha}$ と $V_{hb}$ とは、略一致させてもよい。

ゲートドライバ12は、通常、NチャンネルトランジスタとPチャンネルトランジスタとで構成するが、Pチャンネルトランジスタのみで形成することが好ましい。アレイの作製に必要なマスク数が減少し、製造歩留まり向上、スループットの向上が見込まれるからである。したがって、第1図、第2図などに例示したように、画素16を構成するTFTをPチャンネルトランジスタとするとともに、ゲートドライバ12もPチャンネルトランジスタで形成あるいは構成する。NチャンネルトランジスタとPチャンネルトランジスタでゲートドライバを構成すると必要なマスク数は10枚となるが、Pチャンネルトランジスタのみで形成すると必要なマスク数は5枚になる。

しかし、Pチャンネルトランジスタのみでゲートドライバ12などを構成すると、レベルシフト回路をアレイ基板71に形成できない。レベルシフト回路はNチャンネルトランジスタとPチャンネルトランジスタとで構成するからである。

この課題に対して、本発明では、レベルシフト回路機能を、電源IC1091に内蔵させている。第109図はその実施例である。電源IC

1 0 9 1 はゲートドライバ 1 2 の駆動電圧、E L 素子 1 5 のアノード、カソード電圧、ソースドライバ 1 4 の駆動電圧を発生させる。

電源 I C 1 0 9 1 はゲートドライバ 1 2 の E L 素子 1 5 のアノード、カソード電圧を発生させるため、高い耐圧の半導体プロセスを使用する  
5 必要がある。この耐圧があれば、ゲートドライバ 1 2 の駆動する信号電圧までレベルシフトすることができる。

したがって、レベルシフトおよびゲートドライバ 1 2 の駆動は第 1 0 9 図の構成で実施する。入力データ（画像データ、コマンド、制御データ）9 9 2 はソースドライバ 1 4 に入力される。入力データにはゲート  
10 ドライバ 1 2 の制御データも含まれる。ソースドライバ 1 4 は耐圧（動作電圧）が 5（V）である。一方、ゲートドライバ 1 2 は動作電圧が 1 5（V）である。ソースドライバ 1 4 から出力されるゲートドライバ 1 2 に出力される信号は、5（V）から 1 5（V）にレベルシフトする必要がある。このレベルシフトを電源回路（I C）1 0 9 1で行う。第 1  
15 0 9 図ではゲートドライバ 1 2 を制御するデータ信号も電源 I C 制御信号 1 0 9 2 としている。

電源回路 1 0 9 1 は入力されたゲートドライバ 1 2 を制御するデータ信号 1 0 9 2 を内蔵するレベルシフタ回路でレベルシフトし、ゲート  
ドライバ制御信号 1 0 9 3 として出力し、ゲートドライバ 1 2 を制御す  
20 る。

以下、基板 7 1 に内蔵するゲートドライバ 1 2 を P チャンネルのトランジスタのみで構成した本発明のゲートドライバ 1 2 について説明をする。先にも説明したように、画素 1 6 とゲートドライバ 1 2 とを P チャンネルトランジスタのみで形成する（つまり、基板 7 1 に形成するト  
25 ランジスタはすべて P チャンネルトランジスタである。反対に言えば、N チャンネルのトランジスタを用いない状態）ことにより、アレイの作製に必要となるマスク数が減少し、製造歩留まり向上、スループットの向上が見込まれる。また、P チャンネルトランジスタの性能のみの向上

に取り組みができるため、結果として特性改善が容易である。たとえば、 $V_t$  電圧の低減化（より 0（V）に近くするなど）、 $V_t$  バラツキの減少を、CMOS 構造（P チャンネルと N チャンネルトランジスタを用いる構成）よりも容易に実施できる。

5      一例として、第 106 図に図示するように、本発明は、表示領域 50 の左右に 1 相（シフトレジスタ）ずつ、ゲートドライバ 12 を配置または形成あるいは構成している。ゲートドライバ 12 など（画素 16 のトランジスタも含む）は、プロセス温度が 450 度（摂氏）以下の低温ポリシリコン技術で形成または構成するとして説明するが、これに限定するものではない。プロセス温度が 450 度（摂氏）以上の高温ポリシリコン技術を用いて構成してもよく、また、固相（CGS）成長させた半導体膜を用いて TFT など形成したものを用いてもよい。その他、有機 TFT で形成してもよい。また、アモルファスシリコン技術で形成あるいは構成した TFT であってもよい。

15      一方のゲートドライバ 12 は、選択側のゲートドライバ 12a である。ゲート信号線 17a にオンオフ電圧を印加し、画素 TFT 11 を制御する。他方のゲートドライバ 12 は、EL 素子 15 に流す電流を制御（オンオフさせる）するゲートドライバ 12b である。本発明の実施例では、主として第 1 図の画素構成を例示して説明をするがこれに限定するものではない。第 50 図、第 51 図、第 54 図などの他の画素構成においても適用できることは言うまでもない。また、本発明のゲートドライバ 12 の構成あるいはその駆動方式は、本発明の表示パネル、表示装置あるいは情報表示装置との組み合わせにおいて、より特徴ある効果を発揮する。しかし、他の構成においても特徴ある効果を発揮できることは言うまでもない。

25      なお、以下に説明するゲートドライバ 12 の構成あるいは配置形態は、有機 EL 表示パネルなどの自己発光デバイスに限定されるものではない。液晶表示パネルあるいは電磁遊動表示パネルなどにも採用すること

ができる。たとえば、液晶表示パネルでは、画素の選択スイッチング素子の制御として本発明のゲートドライバ 1 2 の構成あるいは方式を採用してもよい。また、ゲートドライバ 1 2 を 2 相用いる場合は、1 相を画素のスイッチング素子の選択用として用い、他方を画素において、保持容量の 1 方の端子に接続してもよい。この方式は、独立 C C 駆動（容量結合駆動法）と呼ばれるものである。また、第 1 1 1 図、第 1 1 3 図などで説明する構成は、ゲートドライバ 1 2 だけでなく、ソースドライバ 1 4 のシフトレジスタ回路などにも採用することができることは言うまでもない。

10      本発明のゲートドライバ 1 2 は、先に説明した第 6 図、第 1 3 図、第 1 6 図、第 2 0 図、第 2 2 図、第 2 4 図、第 2 6 図、第 2 7 図、第 2 8 図、第 2 9 図、第 3 4 図、第 3 7 図、第 4 0 図、第 4 1 図、第 4 8 図、第 8 2 図、第 9 1 図、第 9 2 図、第 9 3 図、第 1 0 3 図、第 1 0 4 図、第 1 0 5 図、第 1 0 6 図、第 1 0 7 図、第 1 0 8 図、第 1 0 9 図などの  
15      ゲートドライバ 1 2 として実施あるいは採用することが好ましい。

第 1 1 1 図は、本発明のゲートドライバ 1 2 のブロック図である。説明を容易にするため、4 段分しか図示していないが、基本的には、ゲート信号線 1 7 の数に対応する単位ゲート出力回路 1 1 1 1 が形成または配置される。

20      第 1 1 1 図に図示するように、本発明のゲートドライバ 1 2（1 2 a、1 2 b）では、4 つのクロック端子（S C K 0、S C K 1、S C K 2、S C K 3）と、1 つのスタート端子（データ信号（S S T A））、シフト方向を上下反転制御する 2 つの反転端子（D I R A、D I R B、これらは、逆相の信号を印加する）の信号端子から構成される。また、電源  
25      端子として L 電源端子（V B B）と、H 電源端子（V d）などから構成される。

なお、本発明のゲートドライバ 1 2 は、すべて P チャンネルの T F T（トランジスタ）で構成しているため、レベルシフト回路（低電圧のロ



ジック信号を高電圧のロジック信号に変換する回路)をゲートドライバに内蔵することができない。そのため、第109図などに図示した電源回路(IC)1091内にレベルシフト回路を配置または形成している。電源回路(IC)1091は、ゲートドライバ12からゲート信号線17に出力するオン電圧(画素16TF Tの選択電圧)、オフ電圧(画素16TF Tの非選択電圧)に必要な電位の電圧を作成する。そのため、電源IC(回路)1091が使用する半導体の耐圧プロセスは、十分な耐圧がある。したがって、電源IC1091でロジック信号をレベルシフト(LS)すると都合がよい。したがって、コントローラ(図示せず)から出力されるゲートドライバ12の制御信号は、電源IC1091に入力し、レベルシフトしてから、本発明のゲートドライバ12に入力する。コントローラ(図示せず)から出力されるソースドライバ回路14の制御信号は、直接に本発明のソースドライバ14などに入力する(レベルシフトの必要がない)。

しかし、本発明はアレイ基板71に形成するトランジスタをすべてPチャンネルで形成することに限定するものではない。ゲートドライバ12を後に説明する第111図、第113図のようにPチャンネルで形成することにより、狭額縁化することができる。2.2インチのQCIFパネルの場合、ゲートドライバ12の幅は、6 $\mu$ mルールの採用時で、600 $\mu$ mで構成できる。供給するゲートドライバ12の電源配線の引き回しを含めても700 $\mu$ mに構成することができる。同様の回路構成をCMOS(NチャンネルとPチャンネルトランジスタ)で構成すると、1.2mmになってしまう。したがって、ゲートドライバ12をPチャンネルで形成することにより、狭額縁化をいう特徴ある効果を発揮できる。

また、画素16をPチャンネルのトランジスタで構成することにより、Pチャンネルトランジスタで形成したゲートドライバ12とのマッチングが良くなる。Pチャンネルトランジスタ(第1図の画素構成では、

T F T 1 1 b、1 1 c、T F T 1 1 d) はL 電圧でオンする。一方、ゲートドライバ 1 2 もL 電圧が選択電圧である。P チャンネルのゲートドライバは第 1 1 3 図の構成でもわかるが、L レベルを選択レベルとするとマッチングが良い。L レベルが長期間保持できないからである。一方、

5 H 電圧は長時間保持することができる。

また、E L 素子 1 5 に電流を供給する駆動用 T F T (第 1 図では T F T 1 1 a) も P チャンネルで構成することにより、E L 素子 1 5 のカソードが金属薄膜のべた電極に構成することができる。また、アノード電位 V d d から順方向に E L 素子 1 5 に電流を流すことができる。以上の

10 事項から、画素 1 6 のトランジスタを P チャンネルとし、ゲートドライバ 1 2 のトランジスタも P チャンネルとすることがよい。以上のことから、本発明の画素 1 6 を構成するトランジスタ (駆動用 T F T、イッチング用 T F T) を P チャンネルで形成し、ゲートドライバ 1 2 のトランジスタを P チャンネルで構成するという事項は単なる設計事項ではない。

15

この意味で、レベルシフタ (L S) 回路を、基板 7 1 に直接に形成してもよい。つまり、レベルシフタ (L S) 回路を N チャンネルと P チャンネルトランジスタで形成する。コントローラ (図示せず) からのロジック信号は、基板 7 1 に直接形成されたレベルシフタ回路で、P チャン

20 ネルトランジスタで形成されたゲートドライバ 1 2 のロジックレベルに適合するように昇圧する。この昇圧したロジック電圧を前記ゲートドライバ 1 2 に印加する。

なお、レベルシフタ回路を半導体チップで形成し、基板 7 1 に C O G 実装などしてもよい。また、ソースドライバ 1 4 は、第 1 0 9 図などにも図示しているが、基本的に半導体チップで形成し、基板 7 1 に C O G

25 実装する。ただし、ソースドライバ 1 4 を半導体チップで形成することに限定するものではなく、ポリシリコン技術を用いて基板 7 1 に直接に形成してもよい。画素 1 6 を構成するトランジスタ 1 1 を P チャンネル

で構成すると、プログラム電流は画素 1 6 からソース信号線 1 8 に流れ出す方向になる。そのため、ソースドライバの単位電流回路 6 3 4（第 7 3 図、第 7 4 図などを参照のこと）は、Nチャンネルのトランジスタで構成する必要がある。つまり、ソースドライバ 1 4 はプログラム電流  $I_w$  を引き込むように回路構成する必要がある。

したがって、画素 1 6 の駆動用 T F T 1 1 a（第 1 図の場合）が P チャンネルトランジスタの場合は、必ず、ソースドライバ 1 4 はプログラム電流  $I_w$  を引き込むように、単位電流源 6 3 4 を N チャンネルトランジスタで構成する。ソースドライバ 1 4 をアレイ基板 7 1 に形成するには、N チャンネル用マスク（プロセス）と P チャンネル用マスク（プロセス）の両方を用いる必要がある。概念的に述べれば、画素 1 6 とゲートドライバ 1 2 を P チャンネルトランジスタで構成し、ソースドライバの引き込み電流源のトランジスタは N チャンネルで構成するのが本発明の表示パネル（表示装置）である。

15     なお、説明を容易にするため、本発明の実施例では、第 1 図の画素構成を例示して説明をする。しかし、画素 1 6 の選択トランジスタ（第 1 図では T F T 1 1 c）を P チャンネルで構成し、ゲートドライバ 1 2 を P チャンネルトランジスタで構成するなどの本発明の技術的思想は、第 1 図の画素構成に限定されるものではない。たとえば、電流駆動方式の  
20     画素構成では第 4 2 図に図示するカレントミラーの画素構成にも適用することができることは言うまでもない。また、電圧駆動方式の画素構成では、第 6 2 図に図示するような 2 つの T F T（選択トランジスタは T F T 1 1 b、駆動トランジスタは T F T 1 1 a）にも適用することができる。もちろん、第 1 1 1 図、第 1 1 3 図のゲートドライバ 1 2 の構成も適用でき、また、組み合わせて装置などを構成できる。したがって、  
25     以上の説明した事項、以下に説明する事項は、画素構成などに限定されるものではない。

また、画素 1 6 の選択トランジスタを P チャンネルで構成し、ゲート

ドライバをPチャンネルトランジスタで構成するという構成は、有機ELなどの自己発光デバイス（表示パネルあるいは表示装置）に限定されるものではない。たとえば、液晶表示デバイスにも適用することができる。

- 5 反転端子（D I R A、D I R B）は各単位ゲート出力回路 1 1 1 1 に対し、共通の信号が印加される。なお、第 1 1 3 図の等価回路図をみれば、理解できるが、反転端子（D I R A、D I R B）は互いに逆極性の電圧値を入力する。また、シフトレジスタの走査方向を反転させる場合は、反転端子（D I R A、D I R B）に印加している電圧の極性を反転  
10 させる。

なお、第 1 1 1 図の回路構成は、クロック信号線数は4つである。4つが本発明では最適な数であるが、本発明はこれに限定するものではない。4つより少なくてもまたは4つより多くてもよい。

- クロック信号（S C K 0、S C K 1、S C K 2、S C K 3）の入力は、  
15 隣接した単位ゲート出力回路 1 1 1 1 で異ならせている。たとえば、単位ゲート出力回路 1 1 1 1 a には、クロック端子の S C K 0 が O C に、S C K 2 が R S T に入力されている。この状態は、単位ゲート出力回路 1 1 1 1 c も同様である。単位ゲート出力回路 1 1 1 1 a に隣接した単位ゲート出力回路 1 1 1 1 b（次段の単位ゲート出力回路）は、クロック  
20 ク端子の S C K 1 が O C に、S C K 3 が R S T に入力されている。したがって、単位ゲート出力回路 1 1 1 1 に入力されるクロック端子は、S C K 0 が O C に、S C K 2 が R S T に入力され、次段は、クロック端子の S C K 1 が O C に、S C K 3 が R S T に入力され、さらに次段の単位ゲート出力回路 1 1 1 1 に入力されるクロック端子は、S C K 0 が O C  
25 に、S C K 2 が R S T に入力され、というように交互に異ならせている。

第 1 1 3 図が単位ゲート出力回路 1 1 1 1 の回路構成である。構成するトランジスタはPチャンネルのみで構成している。第 1 1 4 図が第 1 1 3 図の回路構成を説明するためのタイミングチャートである。なお、

第 1 1 2 図は第 1 1 3 図の複数段分におけるタイミングチャートを図示したものである。したがって、第 1 1 3 図を理解することにより、全体の動作を理解することができる。動作の理解は、文章で説明するよりも、第 1 1 3 図の等価回路図を参照しながら、第 1 1 4 図のタイミング  
5 チャートを理解することにより達成されるため、詳細な各トランジスタの動作の説明は省略する。

P チャンネルのみでドライバ回路構成を作成すると、基本的にゲート信号線 1 7 を H レベル（第 1 1 3 図では  $V_d$  電圧）に維持することは可能である。しかし、L レベル（第 1 1 3 図では  $V_{BB}$  電圧）に長時間維持  
10 することは困難である。しかし、画素行の選択時などの短期間維持は十分にできる。IN 端子に入力された信号と、RST 端子に入力された SCK クロックにより、n1 が変化し、n2 は n1 の反転信号状態となる。n2 の電位と n4 の電位とは同一極性であるが、OC 端子に入力された SCK クロックにより n4 の電位レベルはさらに低くなる。この低  
15 くなるレベルに対応して、Q 端子がその期間、L レベルに維持される（オン電圧がゲート信号線 1 7 から出力される）。SQ あるいは Q 端子に出力される信号は、次段の単位ゲート出力回路 1 1 1 1 に転送される。

第 1 1 1 図、第 1 1 3 図の回路構成において、IN (INA、INb) 端子、クロック端子の印加信号のタイミングを制御することにより、第  
20 1 1 5 図 (a) に図示するように、1 ゲート信号線 1 7 を選択する状態と、第 1 1 5 図 (b) に図示するように 2 ゲート信号線 1 7 を選択する状態とを同一の回路構成を用いて実現できる。選択側のゲートドライバ 1 2 a において、第 1 1 5 図 (a) の状態は、1 画素行 (5 1 a) を同時に選択する駆動方式である（ノーマル駆動）。また、選択画素行は 1  
25 行ずつシフトする。第 1 1 5 図 (b) は、2 画素行を選択する構成である。この駆動方式は、第 2 7 図、第 2 8 図で説明した複数画素行 (5 1 a、5 1 b) の同時選択駆動（ダミー画素行を構成する方式）である。選択画素行は、1 画素行ずつシフトし、かつ隣接した 2 画素行が同時に

選択される。特に、第 1 1 5 図 (b) の駆動方法は、最終的な映像を保持する画素行 (5 1 a) に対し、画素行 5 1 b は予備充電される。そのため、画素 1 6 が書き込み易くなる。つまり、本発明は、端子に印加する信号により、2 つの駆動方式を切り替えて実現できる。

- 5      なお、第 1 1 5 図 (b) は隣接した画素 1 6 行を選択する方式であるが、第 1 1 6 図に図示するように、隣接した以外の画素 1 6 行を選択してもよい (第 1 1 6 図は、3 画素行離れた位置の画素行を選択している実施例である)。また、第 1 1 3 図の構成では、4 画素行の組で制御される。4 画素行のうち、1 画素行を選択するか、連続した 2 画素行を選択するかの制御を実施できる。これは、使用するクロック (S C K) が
- 10      4 本によることの制約である。クロック (S C K) 8 本になれば、8 画素行の組で制御を実施できる。

- 選択側のゲートドライバ 1 2 a の動作は、第 1 1 5 図の動作である。第 1 1 5 図 (a) に図示するように、1 画素行を選択し、選択位置を 1
- 15      水平同期信号に同期して 1 画素行ずつシフトする。また、第 1 1 5 図 (b) に図示するように、2 画素行を選択し、選択位置を 1 水平同期信号に同期して 1 画素行ずつシフトする。

- 次に、本発明の E L 表示パネルを備える電子機器についての実施例について説明をする。第 5 7 図は情報端末装置の一例としての携帯型電話
- 20      機の平面図である。筐体 5 7 3 にアンテナ 5 7 1、テンキー 5 7 2 などが取り付けられている。5 7 2 a ~ 5 7 2 e が表示色切換キーあるいは電源オンオフ、フレームレート切り替えキーなどである。

- 表示色切換キーが 1 度押されると表示色は 8 色モードに、つづいて同一のキーが押されると表示色は 2 5 6 色モード、さらに同一のキーが押
- 25      されると表示色は 4 0 9 6 色モードとなるようにシーケンスを組んでもよい。キーは押下されるごとに表示色モードが変化するトグルスイッチとする。なお、別途表示色に対応する変更キーを設けてもよい。この場合、表示色切換キーは 3 つ (以上) となる。

表示色切換キーはプッシュスイッチの他、スライドスイッチなどの他のメカニカルなスイッチでもよく、また、音声認識などにより切り換えるものでもよい。たとえば、4096色を受話器に音声入力すること、たとえば、「高品位表示」、「256色モード」あるいは「低表示色モード」と受話器に音声入力することにより表示パネルの表示画面50に表示される表示色が変化するように構成する。これは現行の音声認識技術を採用することにより容易に実現することができる。

また、表示色の切り替えは電氣的に切り換えるスイッチでもよく、表示パネルの表示部21に表示させたメニューを触れることにより選択するタッチパネルでも良い。また、スイッチを押さえる回数で切り換える、あるいはクリックボールのように回転あるいは方向により切り換えるように構成してもよい。

また、上述した表示色切換キーの代わりに、フレームレートを切り換えるキーなどとしてもよい。また、動画と静止画とを切り換えるキーなどとしてもよい。また、動画と静止画のフレームレートなどの複数の要件を同時に切り換えるようにしてもよい。また、押され続けると徐々に（連続的に）フレームレートが変化するように構成されていてもよい。この場合は発振器を構成するコンデンサC、抵抗Rのうち、抵抗Rを可変抵抗にしたり、電子ボリウムにしたりすることにより実現できる。また、コンデンサCはトリマコンデンサとすることにより実現できる。また、半導体チップに複数のコンデンサを形成しておき、1つ以上のコンデンサを選択し、これらを回路的に並列に接続することにより実現してもよい。

なお、表示色などによりフレームレートを切り換えるという技術的思想は携帯型電話機に限定されるものではなく、パームトップコンピュータや、ノートパソコン、デスクトップパソコン、携帯型時計など表示画面を有する機器に広く適用することができる。また、有機EL表示パネルに限定されるものではなく、液晶表示パネル、トランジスタパネル、

P L Z T パネル、C R T などにも適用することができる。

第 5 7 図では図示していないが、本発明の携帯型電話機は筐体 5 7 3 の裏側に C C D カメラを備えている。この C C D カメラで撮影し画像は即時に表示パネルの表示画面 5 0 に表示できる。C C D カメラで撮影したデータは、表示画面 5 0 に表示することができる。C C D カメラの画像データは 2 4 ビット（1 6 7 0 万色）、1 8 ビット（2 6 万色）、1 6 ビット（6 . 5 万色）、1 2 ビット（4 0 9 6 色）、8 ビット（2 5 6 色）をキー 5 7 2 入力で切り替えることができる。

表示データが 1 2 ビット以上の時は、誤差拡散処理を行って表示する。つまり、C C D カメラからの画像データが内蔵メモリの容量以上の時は、誤差拡散処理などを実施し、表示色数を内蔵画像メモリの容量以下となるように画像処理を行う。

今、ソースドライバ 1 4 には 4 0 9 6 色（R G B 各 4 ビット）で 1 画面の内蔵 R A M を具備しているとして説明する。モジュール外部から送られてくる画像データが 4 0 9 6 色の場合は、直接ソースドライバ 1 4 の内蔵画像 R A M に格納され、この内蔵画像 R A M から画像データを読み出し、表示画面 5 0 に画像を表示する。

画像データが 2 6 万色（G : 6 ビット、R、B : 5 ビットの計 1 6 ビット）の場合は、誤差拡散コントローラの演算メモリにいったん格納され、かつ同時に誤差拡散あるいはディザ処理を行う演算回路で誤差拡散あるいはディザ処理が行われる。この誤差拡散処理などにより 1 6 ビットの画像データは内蔵画像 R A M のビット数である 1 2 ビットに変換されてソースドライバ 1 4 に転送される。ソースドライバ 1 4 は R G B 各 4 ビット（4 0 9 6 色）の画像データを出力し、表示画面 5 0 に画像を表示する。

さらに、本発明の E L 表示パネルあるいは E L 表示装置もしくは駆動方法を採用した実施の形態について、図面を参照しながら説明する。

第 5 8 図は本発明の実施の形態におけるビューファインダの断面図



である。但し、説明を容易にするため模式的に描いている。また一部拡大あるいは縮小した箇所が存在し、また、省略した箇所もある。たとえば、第 58 図において、接眼カバーを省略している。以上のことは他の図面においても該当する。

5     ボデー 573 の裏面は暗色あるいは黒色にされている。これは、EL 表示パネル（表示装置）574 から出射した迷光がボデー 573 の内面で乱反射し表示コントラストの低下を防止するためである。また、表示パネルの光出射側には位相板（ $\lambda/4$  板など）108、偏光板 109 などが配置されている。このことは第 10 図、第 11 図でも説明している。

10     接眼リング 581 には拡大レンズ 582 が取り付けられている。観察者は接眼リング 581 をボデー 573 内での挿入位置を可変して、表示パネル 574 の表示画像 50 にピントがあうように調整する。

また、必要に応じて表示パネル 574 の光出射側に凸レンズ 583 を配置すれば、拡大レンズ 582 に入射する主光線を収束させることができる。そのため、拡大レンズ 582 のレンズ径を小さくすることができ、  
15     ビューファインダを小型化することができる。

第 59 図はデジタルビデオカメラの斜視図である。ビデオカメラは撮影（撮像）レンズ部 592 とデジタルビデオカメラ本体 573 と具備し、撮影レンズ部 592 とビューファインダ部 573 とは背中合わせとなっている。また、ビューファインダ（第 58 図も参照）573 には接眼  
20     カバーが取り付けられている。観察者（ユーザー）はこの接眼カバー部から表示パネル 574 の表示部 50 を観察する。

また、本発明の EL 表示パネルである表示部 50 は表示モニターとしても使用されている。表示部 50 は支点 591 で角度を自由に調整できる。表示部 50 を使用しない時は、格納部 593 に格納される。  
25

スイッチ 594 は以下の機能を実施する切り替えあるいは制御スイッチである。スイッチ 594 は表示モード切り替えスイッチである。スイッチ 594 は、携帯型電話機などにも取り付けることが好ましい。こ

の表示モード切り替えスイッチ 5 9 4 について説明をする。

本発明の駆動方法の 1 つに N 倍の電流を E L 素子 1 5 に流し、1 F の 1 / M の期間だけ点灯させる方法がある。この点灯させる期間を変化させることにより、明るさをデジタル的に変更することができる。たとえば、N = 4 として、E L 素子 1 5 には 4 倍の電流を流す。点灯期間を 1 / M とし、M = 1、2、3、4 と切り替えれば、1 倍から 4 倍までの明るさ切り替えが可能となる。なお、M = 1、1.5、2、3、4、5、6 などと変更できるように構成してもよい。

以上の切り替え動作は、携帯型電話機の電源をオンしたときに、表示画面 5 0 を非常に明るく表示し、一定の時間を経過した後は、電力セーブするために、表示輝度を低下させる構成に用いる。また、ユーザーが希望する明るさに設定する機能としても用いることができる。たとえば、屋外などでは、画面を非常に明るくする。屋外では周辺が明るく、画面が全く見えなくなるからである。しかし、高い輝度で表示し続けると E L 素子 1 5 は急激に劣化する。そのため、非常に明るくする場合は、短時間で通常の輝度に復帰させるように構成しておく。さらに、高輝度で表示させる場合は、ユーザーがボタンを押すことにより表示輝度を高くできるように構成しておく。

したがって、ユーザーがボタン 5 9 4 で切り替えできるようにしておくか、設定モードで自動的に変更できるか、外光の明るさを検出して自動的に切り替えできるように構成しておくことが好ましい。また、表示輝度を 5 0 %、6 0 %、8 0 % などとユーザーなどが設定できるように構成しておくことが好ましい。

なお、表示画面 5 0 はガウス分布表示にすることが好ましい。ガウス分布表示とは、中央部の輝度が明るく、周辺部を比較的暗くする方式である。視覚的には、中央部が明るければ周辺部が暗くとも明るいと感じられる。主観評価によれば、周辺部が中央部に比較して 7 0 % の輝度を保っておれば、視覚的に遜色ない。さらに低減させて、5 0 % 輝度とし

てもほぼ、問題がない。本発明の自己発光型表示パネルでは、以前に説明したN倍パルス駆動（N倍の電流をEL素子15に流し、1Fの1/Mの期間だけ点灯させる方法）を用いて画面の上から下方向に、ガウス分布を発生させている。

- 5      具体的には、画面の上部と下部とではMの値を大きくし、中央部でMの値を小さくする。これは、ゲートドライバ12のシフトレジスタの動作速度を変調することなどにより実現する。画面の左右の明るさ変調は、テーブルのデータと映像データとを乗算することにより発生させている。以上の動作により、周辺輝度（画角0.9）を50%にしたとき、  
10   輝度が100%の場合と比較して約20%の低消費電力化が可能である。周辺輝度（画角0.9）を70%にした時、輝度が100%の場合と比較して約15%の低消費電力化が可能である。

- なお、ガウス分布表示をオンオフできるように切り替えスイッチなどを設けることが好ましい。たとえば、屋外などで、ガウス表示させると  
15   画面周辺部が全く見えなくなるからである。したがって、ユーザーがボタンで切り替えできるようにしておくか、設定モードで自動的に変更できるか、外光の明るさを検出して自動的に切り替えできるように構成しておくことが好ましい。また、周辺輝度を50%、60%、80%とユーザーなどが設定できるように構成しておくことが好ましい。

- 20   液晶表示パネルではバックライトで固定のガウス分布を発生させている。したがって、ガウス分布のオンオフを行うことはできない。ガウス分布をオンオフできるのは自己発光型の表示デバイス特有の効果である。

- また、フレームレートが所定の場合、室内の蛍光灯などの点灯状態と  
25   干渉してフリッカが発生することがある。例えば、蛍光灯が60Hzの交流で点灯している場合、EL表示素子15がフレームレート60Hzで動作していると、微妙な干渉が発生し、画面がゆっくりと点滅しているように感じられることがある。これを避けるためにはフレームレート

を変更すればよい。本発明はフレームレートの変更機能を付加している。また、N倍パルス駆動（N倍の電流をEL素子15に流し、1Fの1/Mの期間だけ点灯させる方法）において、NまたはMの値を変更できるように構成している。

- 5      以上の機能をスイッチ594で実現できるようにする。スイッチ594は表示画面50のメニューにしたがって、複数回おさえることにより、以上に説明した機能を切り替え実現する。

なお、以上の事項は、携帯型電話機だけに限定されるものではなく、テレビ、モニターなどに用いることができることはいうまでもない。また、  
10    どのような表示状態にあるかをユーザーがすぐに認識できるように、表示画面にアイコン表示をしておくことが好ましい。以上の事項は以下の事項に対しても同様である。

本実施の形態のEL表示装置などはデジタルビデオカメラだけでなく、第60図に示すようなデジタルスチルカメラにも適用することができ  
15    表示装置はカメラ本体601に付属されたモニター50として用いる。カメラ本体601にはシャッタ603の他、スイッチ594が取り付けられている。

以上は表示パネルの表示領域が比較的小型の場合であるが、30インチ以上のような大型になると表示画面50がたわみやすい。その対策のため、本発明では第61図に示すように表示パネルに外枠611をつけ、  
20    外枠611をつりさげることができるように固定部材614を備えている。この固定部材614を用いて、壁などに取り付ける。

しかし、表示パネルの画面サイズが大きくなると重量も大きくなる。そのため、表示パネルの下側に脚取り付け部613を配置し、複数の脚  
25    612で表示パネルの重量を保持できるようにしている。

脚612は矢符Aに示すように左右に移動でき、また、脚612は矢符Bに示すように伸縮できるように構成されている。そのため、狭い場所であっても表示装置を容易に設置することができる。

第61図に示すテレビでは、画面の表面を保護フィルム（保護板でもよい）で被覆している。これは、表示パネルの表面に物体があたって破損することを防止することが1つの目的である。保護フィルムの表面にはAIRコートが形成されており、また、表面をエンボス加工することにより表示パネルに外の状況（外光）が映り込むことを抑制している。

また、保護フィルムと表示パネルとの間にビーズなどを散布することにより、一定の空間が配置されるように構成されている。さらに、保護フィルムの裏面に微細な凸部を形成し、この凸部で表示パネルと保護フィルムとの間に空間を保持させる。このように空間を保持することにより保護フィルムからの衝撃が表示パネルに伝達することを抑制する。

また、保護フィルムと表示パネルとの間にアルコール、エチレングリコールなど液体あるいはゲル状のアクリル樹脂あるいはエポキシなどの固体樹脂などの光結合剤を配置または注入することも効果がある。界面反射を防止できるとともに、前記光結合剤が緩衝材として機能するからである。

保護フィルムとしては、ポリカーボネートフィルム（板）、ポリプロピレンフィルム（板）、アクリルフィルム（板）、ポリエステルフィルム（板）、PVAフィルム（板）などが例示される。その他エンジニアリング樹脂フィルム（ABSなど）などを用いることができることは言うまでもない。また、強化ガラスなど無機材料からなるものでもよい。保護フィルムを配置するかわりに、表示パネルの表面に対して、エポキシ樹脂、フェノール樹脂、アクリル樹脂などを0.5mm以上2.0mm以下の厚みでコーティングすることでも同様の効果が得られる。また、これらの樹脂表面にエンボス加工などをする 것도有効である。

また、保護フィルムあるいはコーティング材料の表面をフッ素コートすることも効果がある。表面についた汚れを洗剤などで容易にふき落とすことが可能となるからである。また、保護フィルムを厚く形成し、フロントライトと兼用するようにしてもよい。

本発明の実施例における表示パネルは、3辺フリーの構成と組み合わせることも有効であることはいうまでもない。特に3辺フリーの構成は画素がアモルファスシリコン技術を用いて作製されているときに有効である。また、アモルファスシリコン技術で形成されたパネルでは、トランジスタ素子の特性バラツキのプロセス制御が不可能であるため、本発明のN倍パルス駆動、リセット駆動、ダミー画素駆動などを実施することが好ましい。したがって、本発明におけるトランジスタなどは、ポリシリコン技術によるものに限定するものではなく、アモルファスシリコンによるものであってもよい。

10     なお、本発明のN倍パルス駆動（第13図、第16図、第19図、第20図、第22図、第24図、第30図などを参照）などは、低温ポリシリコン技術でトランジスタ11を形成して表示パネルと同様、アモルファスシリコン技術でトランジスタ11を形成した表示パネルに有効である。アモルファスシリコンのトランジスタ11では、隣接したトランジスタの特性がほぼ一致しているからである。したがって、加算した電流で駆動しても個々のトランジスタの駆動電流はほぼ目標値となっている（特に、第22図、第24図、第30図のN倍パルス駆動はアモルファスシリコンで形成したトランジスタの画素構成において有効である）。

20     本発明の実施例で説明した技術的思想はデジタルビデオカメラ、プロジェクター、立体テレビ、プロジェクションテレビなどに適用できる。また、ビューファインダ、携帯型電話機のモニター、PHS、携帯情報端末およびそのモニター、デジタルスチルカメラおよびそのモニターにも適用できる。

25     また、電子写真システム、ヘッドマウントディスプレイ、直視モニターディスプレイ、ノートブック型およびデスクトップ型パーソナルコンピュータにも適用できる。また、現金自動引き出し機のモニター、公衆電話、テレビ電話、腕時計およびその表示装置にも適用できる。

さらに、家庭電器機器の表示モニター、ポケットゲーム機器およびそのモニター、表示パネル用バックライトあるいは家庭用もしくは業務用の照明装置などにも適用あるいは応用展開できることは言うまでもない。照明装置は色温度を可変にできるように構成することが好ましい。

- 5 これは、R G Bの画素をストライプ状あるいはドットマトリックス状に形成し、これらに流す電流を調整することにより色温度を変更できる。また、広告あるいはポスターなどの表示装置、R G Bの信号器、警報表示灯などにも応用できる。

- また、スキャナの光源としても有機E L表示パネルは有効である。R  
10 G Bのドットマトリックスを光源として、対象物に光を照射し、画像を読み取る。もちろん、単色でもよいことは言うまでもない。また、アクティブマトリックスに限定するものではなく、単純マトリックスでもよい。色温度を調整できるようにすれば画像読み取り精度も向上する。

- また、液晶表示装置のバックライトにも有機E L表示装置は有効である。  
15 E L表示装置（バックライト）のR G Bの画素をストライプ状あるいはドットマトリックス状に形成し、これらに流す電流を調整することにより色温度を変更でき、また、明るさの調整も容易である。その上、面光源であるから、画面の中央部を明るく、周辺部を暗くするガウス分布を容易に構成できる。また、R、G、B光を交互に走査する、フィールドシーケンシャル方式の液晶表示パネルのバックライトとしても有  
20 効である。また、バックライトを点滅しても黒挿入することにより動画表示用などの液晶表示パネルのバックライトとしても用いることができる。

- なお、第1図などの図面では、本発明におけるE L素子15をO L E  
25 Dとして捉えてダイオードの記号を用いて示している。しかしながら、本発明におけるE L素子15はO L E Dに限られるわけではなく、素子15に流れる電流量によって輝度が制御されるものであればよい。そのような素子としては無機E L素子が例示される。その他、半導体で構成

される白色発光ダイオードが例示される。また、一般的な発光ダイオードが例示される。その他、発光トランジスタでもよい。また、素子 15 は必ずしも整流性が要求されるものではない。双方向性ダイオードであってもよい。

- 5      上記説明から、当業者にとっては、本発明の多くの改良や他の実施形態が明らかである。従って、上記説明は、例示としてのみ解釈されるべきであり、本発明を実行する最良の態様を当業者に教示する目的で提供されたものである。本発明の精神を逸脱することなく、その構造及び／又は機能の詳細を実質的に変更できる。

10      〔産業上の利用の可能性〕

本発明に係る E L 表示装置は、薄型のテレビ、デジタルビデオカメラ、デジタルスチルカメラ、携帯型電話機などの表示部として有用である。



## 請求の範囲

5 1. 複数のソース信号線と、前記ソース信号線を介して供給される電流に応じた輝度で発光する複数のE L素子と、前記ソース信号線を介して画像の階調に応じた電流を前記E L素子に供給するソースドライバとを備えるE L表示装置において、

前記ソースドライバは、

10 基準信号を生成する基準信号生成手段と、

前記基準信号生成手段によって生成された基準信号を電流にて出力する第1電流源と、

前記ソース信号線に対応して複数設けられ、それぞれが、前記第1電流源によって出力された基準信号を電圧にて受け渡すように構成されて

15 いる第2電流源とを具備し、

前記第2電流源のそれぞれが有している基準信号を用いて前記画像の階調に応じた電流を生成するように構成されている、E L表示装置。

2. 前記第2電流源のそれぞれには、選択された場合に前記基準信号を電流にて出力するように構成されている単位トランジスタが複数接続

20 され、

前記ソースドライバは、前記画像の階調に応じて1または複数の前記単位トランジスタを選択するように構成されており、

表示可能な階調数をKとし、前記単位トランジスタの大きさを $S_t$  (平方 $\mu m$ )としたとき、 $40 \leq K / (S_t)^{1/2}$ かつ $S_t \leq 300$ の関

25 係を満足するように構成されている請求の範囲第1項に記載のE L表示装置。

3. 前記複数の第2電流源は、2平方mm以下の領域内に形成されている請求の範囲第1項に記載のE L表示装置。

4. 前記ソースドライバには、前記E L素子から発せられる光が前記第1電流源および第2電流源に照射されることを防止するための遮光膜が形成されている請求の範囲第1項に記載のE L表示装置。

5. 複数のソース信号線と、前記ソース信号線を介して供給される電流に応じた輝度で発光する複数のE L素子と、前記ソース信号線を介して画像の階調に応じた電流を前記E L素子に供給するソースドライバとを備えるE L表示装置において、

前記ソースドライバは、

第1単位電流を出力する複数の単位トランジスタを含んでなり、前記第1単位電流を組み合わせることにより所望の電流を前記E L素子に出力する第1電流出力回路と、

前記第1単位電流よりも大きい第2単位電流を出力する複数の単位トランジスタを含んでなり、前記第2単位電流を組み合わせることにより所望の電流を前記E L素子に出力する第2電流出力回路とを具備し、

表示すべき階調が所定の階調よりも低い場合に、該表示すべき階調に応じた電流を出力すべく前記第1電流出力回路を動作させ、表示すべき階調が所定の階調以上の場合に、該表示すべき階調に応じた電流を出力すべく前記第2電流出力回路を動作させると共に、所定の電流を前記第1電流出力回路に出力させるように構成されている、E L表示装置。

6. 前記第2電流の大きさは、前記第1電流の大きさの4倍以上8倍以下である請求の範囲第5項に記載のE L表示装置。

7. 前記ソースドライバには、前記E L素子から発せられる光が前記第1電流出力回路および第2電流出力回路に照射されることを防止するための遮光膜が形成されている請求の範囲第5項に記載のE L表示装置。

8. 請求の範囲第2項に記載のE L表示装置を備え、前記E L表示装置に対して画像信号を出力するように構成されている電子機器。

9. E L素子がマトリックス状に形成された表示領域と、

前記E L素子に映像信号を電流として供給するソースドライバとを具

備し、

前記ソースドライバは、

基準電流を発生する基準電流発生手段と、

前記基準電流発生手段からの基準電流が入力され、かつ前記基準電流  
5 に対応する第 1 の電流を出力する第 1 の電流源と、

前記第 1 の電流源から出力される第 1 の電流が入力され、かつ前記第  
1 の電流に対応する第 2 の電流を出力する第 2 の電流源と、

前記第 2 の電流源から出力される第 2 の電流が入力され、かつ前記第  
2 の電流に対応する第 3 の電流を出力する第 3 の電流源と、

10 前記第 3 の電流源から出力される第 3 の電流が入力され、かつ入力画  
像データに対応して前記第 3 の電流に対応する単位電流を前記 E L 素子  
に出力する複数の単位電流源とを有していることを特徴とする E L 表示  
装置。

1 0 . E L 素子がマトリックス状に形成された表示領域と、

15 前記 E L 素子に映像信号を電流として供給するソースドライバとを具  
備し、

前記ソースドライバは、複数の単位トランジスタを有し、

前記単位トランジスタは、入力された映像信号の大きさに対応して選  
択された場合に単位電流を出力するように構成されており、

20 表示可能な階調数を  $K$  とし、前記単位トランジスタの大きさを  $S_t$  (平  
方  $\mu m$ ) としたとき、 $40 \leq K / (S_t)^{1/2}$  かつ  $S_t \leq 300$  の関係を  
満足するように構成されていることを特徴とする E L 表示装置。

1 1 . E L 素子がマトリックス状に形成された表示領域と、

前記 E L 素子に映像信号を電流として供給するソースドライバとを具  
25 備し、

前記ソースドライバは、第 1 のトランジスタと、前記第 1 のトランジ  
スタとカレントミラー接続された複数の第 2 のトランジスタからなるト  
ランジスタ群とを有し、

前記トランジスタ群は2平方mm以内の範囲に形成されていることを特徴とするEL表示装置。

12. 前記第1のトランジスタは、複数の単位トランジスタから構成され、

5 該複数の単位トランジスタは、2平方mm以内の範囲に形成されていることを特徴とする請求の範囲第11項に記載のEL表示装置。

13. EL素子を有する画素がマトリックス状に形成された表示領域と、

前記画素に形成されたトランジスタ素子と、

10 前記トランジスタ素子をオンオフ制御するゲートドライバと、

前記トランジスタ素子に映像信号を供給するソースドライバとを具備し、

前記ゲートドライバは、Pチャンネルトランジスタで構成されており、

前記画素に形成されたトランジスタは、Pチャンネルトランジスタ素

15 子であり、

前記ソースドライバは、半導体チップで構成されていることを特徴とするEL表示装置。

14. EL素子と、駆動用トランジスタと、前記駆動用トランジスタと前記EL素子間の経路を形成する第1のスイッチング素子と、前記駆  
20 動用トランジスタとソース信号線間の経路を形成する第2のスイッチング素子とが、マトリックス状に形成された表示領域と、

前記第1のスイッチング素子をオンオフ制御する第1のゲートドライバと、

25 前記第2のスイッチング素子をオンオフ制御する第2のゲートドライバと、

前記トランジスタ素子に映像信号を印加するソースドライバとを具備し、

前記ゲートドライバは、Pチャンネルトランジスタで構成されており、

前記画素に形成されたトランジスタおよびスイッチング素子は、Pチャンネルトランジスタ素子であり、

前記ソースドライバは、半導体チップで構成されていることを特徴とするEL表示装置。

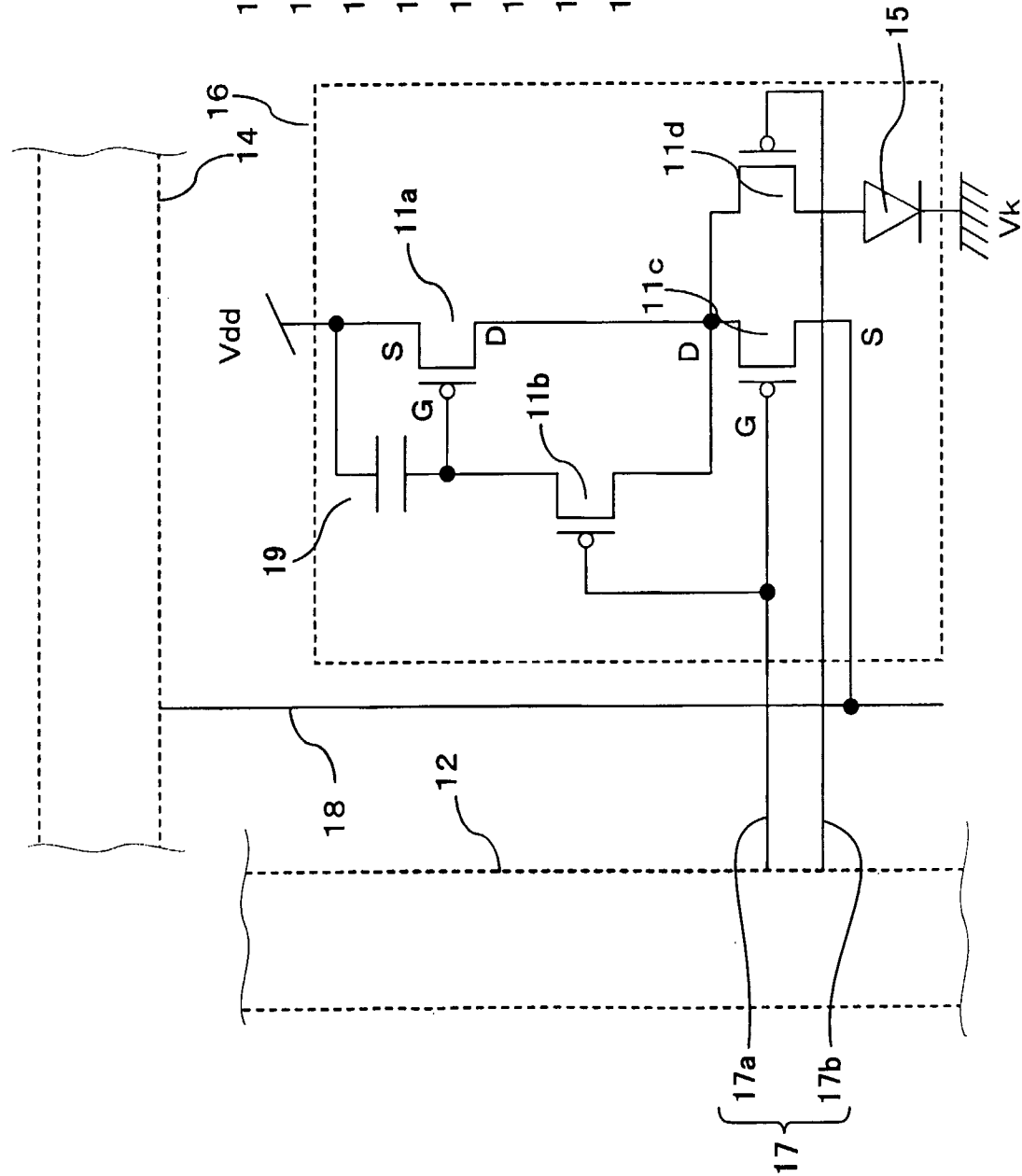
- 5 15. 前記ソースドライバは、映像信号を電流で出力することを特徴とする請求の範囲第13項または請求の範囲第14項に記載のEL表示装置。

16. 前記ゲートドライバは、4つのクロック信号により、データをシフト動作することを特徴とする範囲第13項または請求の範囲第14

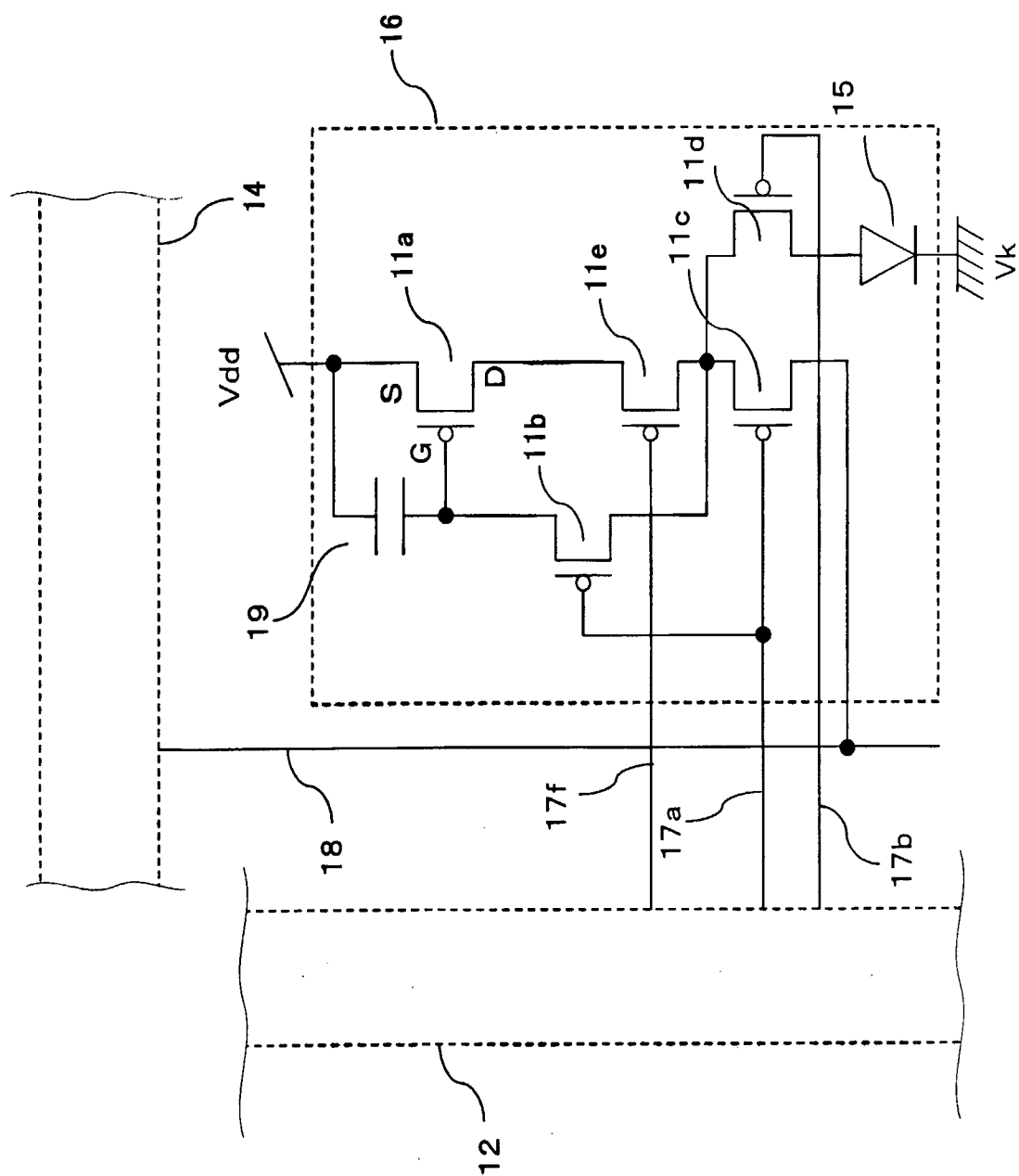
- 10 項に記載のEL表示装置。

1  
117

- 11 TFT
- 12 ゲートドライバ(回路)
- 14 ソースドライバ(回路)
- 15 EL(素子)
- 16 画素
- 17 ゲート信号線
- 18 ソース信号線
- 19 蓄積容量(付加容量)



第1図

$$\begin{array}{r} 2 \\ \hline 117 \end{array}$$


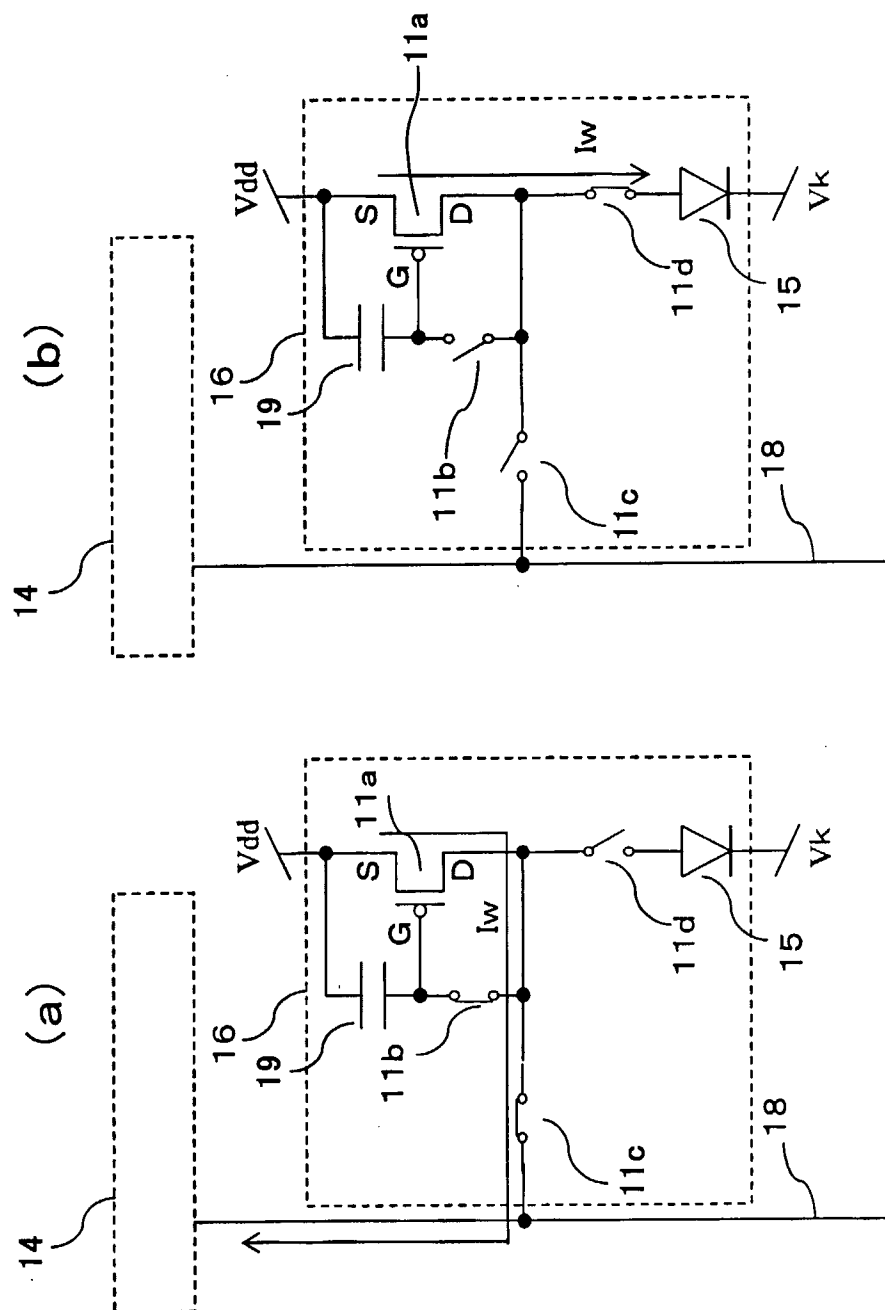
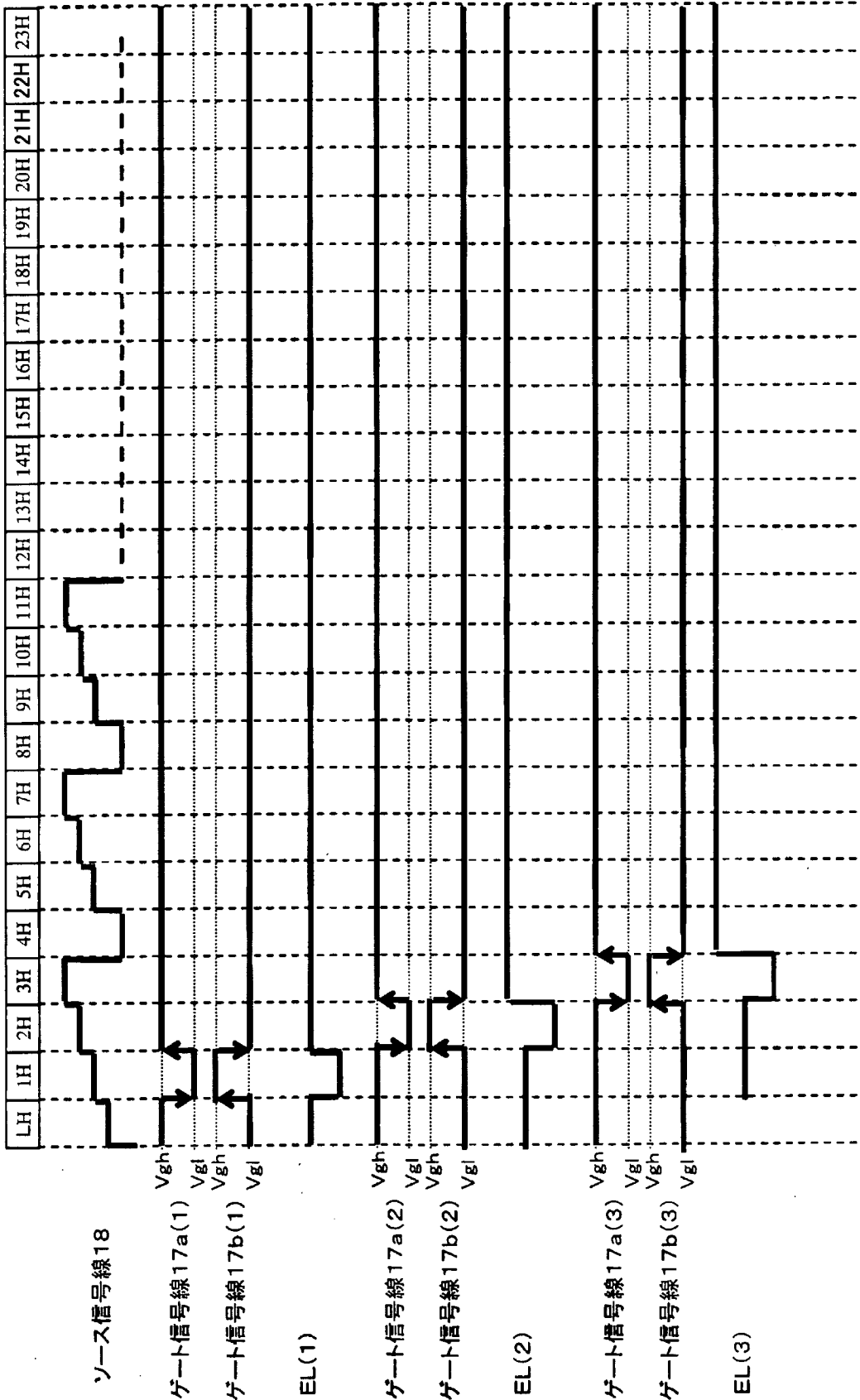
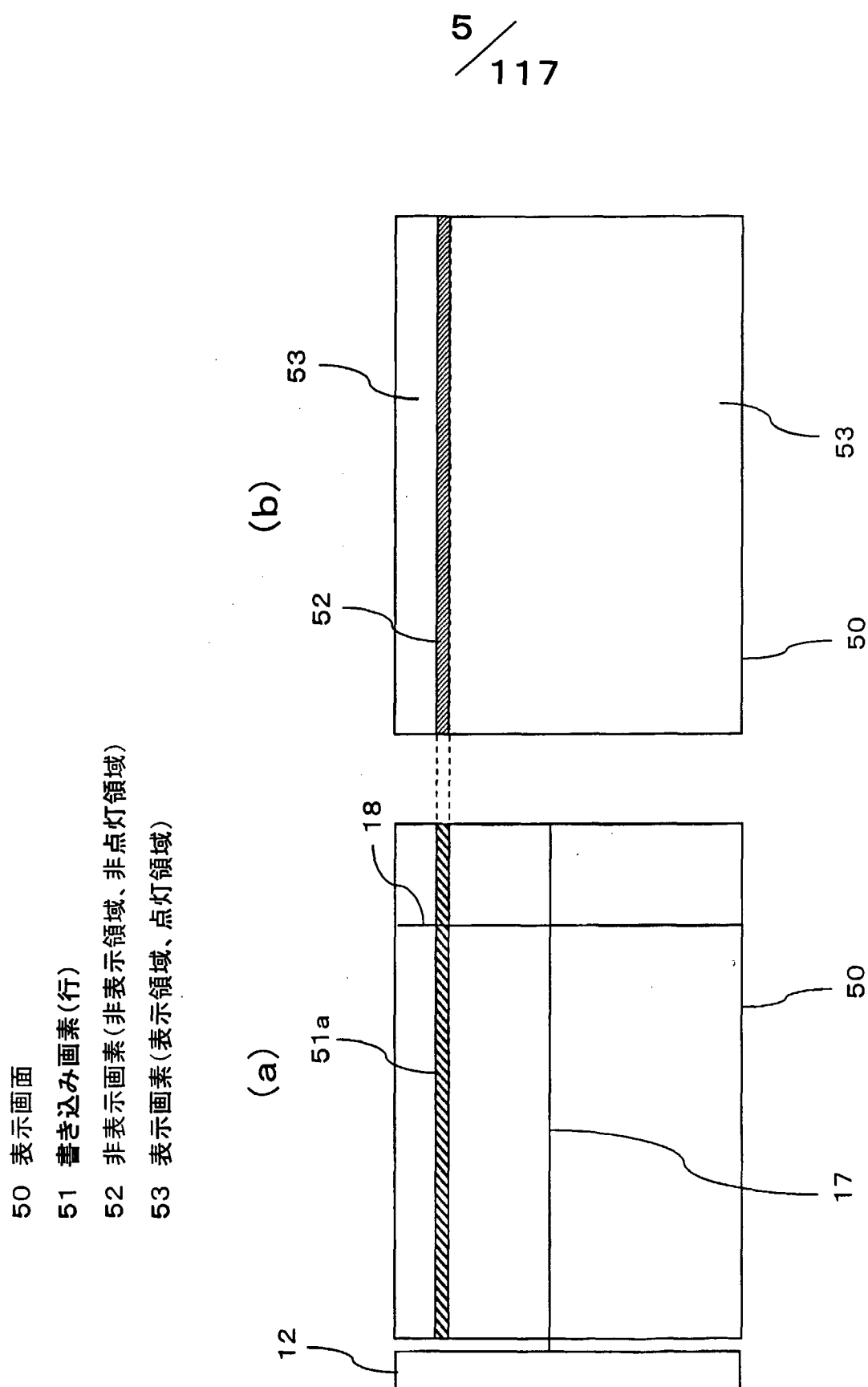


圖  
3  
鋼





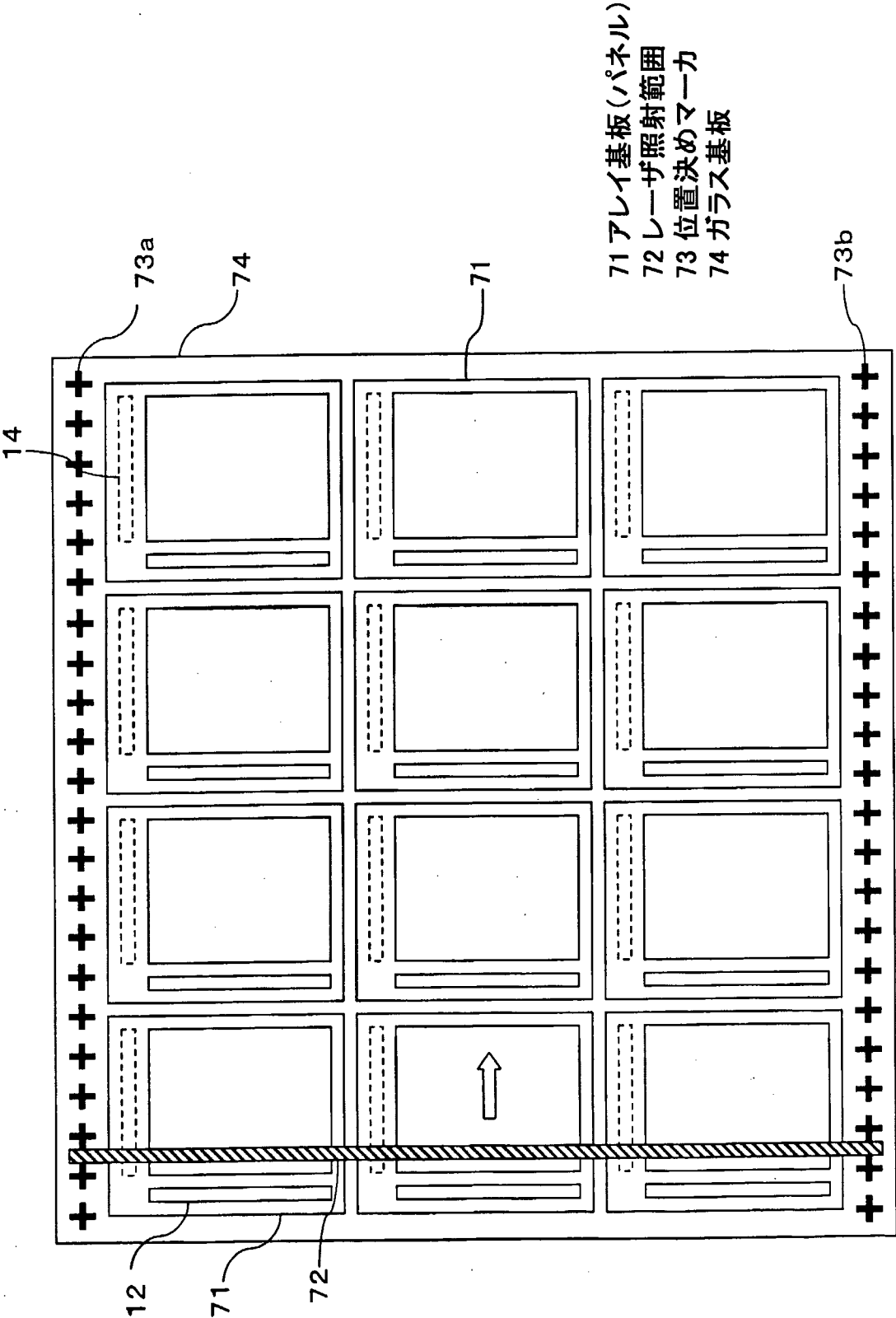
第4図



## 図 5 梁

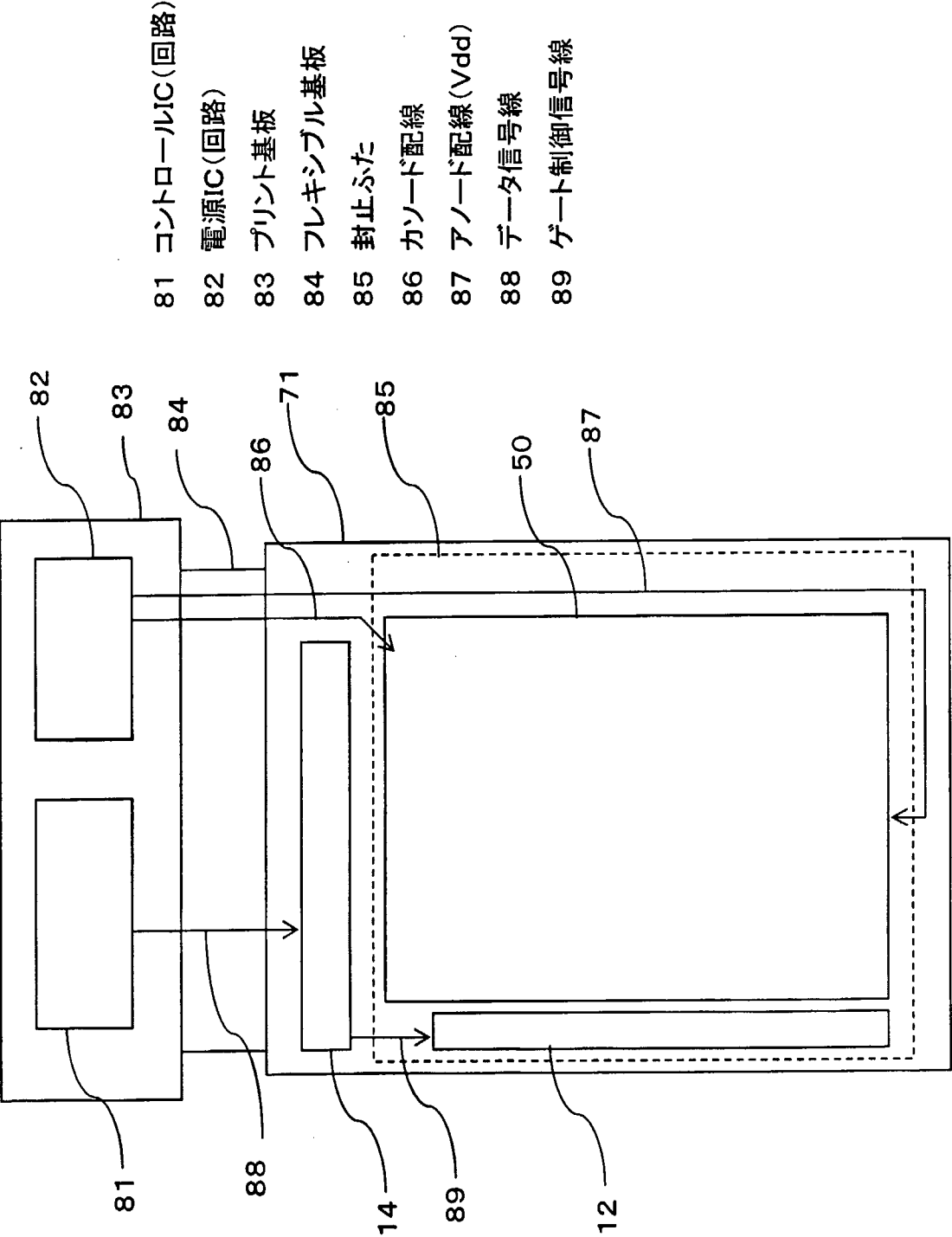


7 / 117



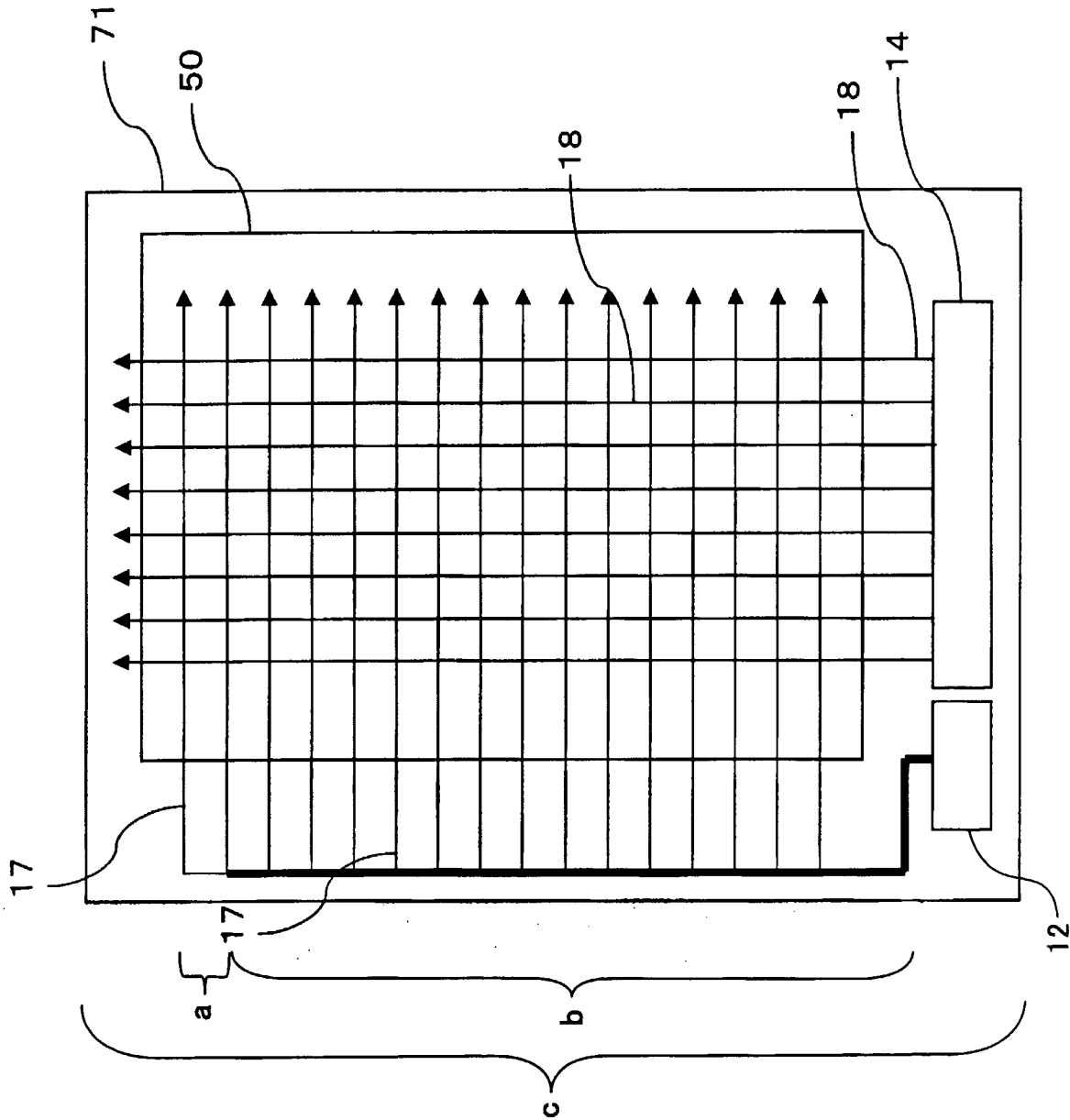
第7図

8 / 117



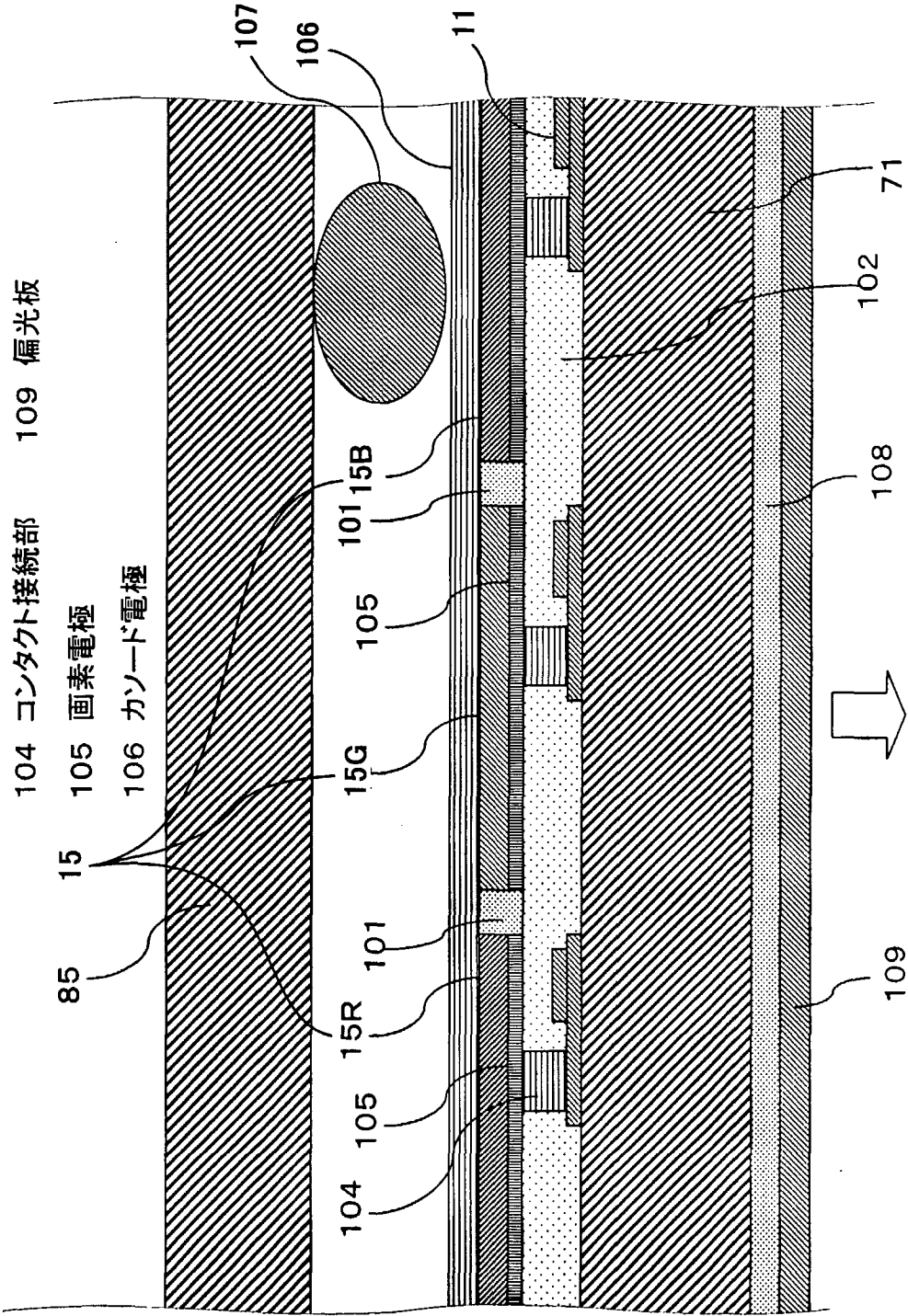
- 81 コントロールIC(回路)
- 82 電源IC(回路)
- 83 プリント基板
- 84 フレキシブル基板
- 85 封止ふた
- 86 カソード配線
- 87 アノード配線 (Vdd)
- 88 データ信号線
- 89 ゲート制御信号線

第8図

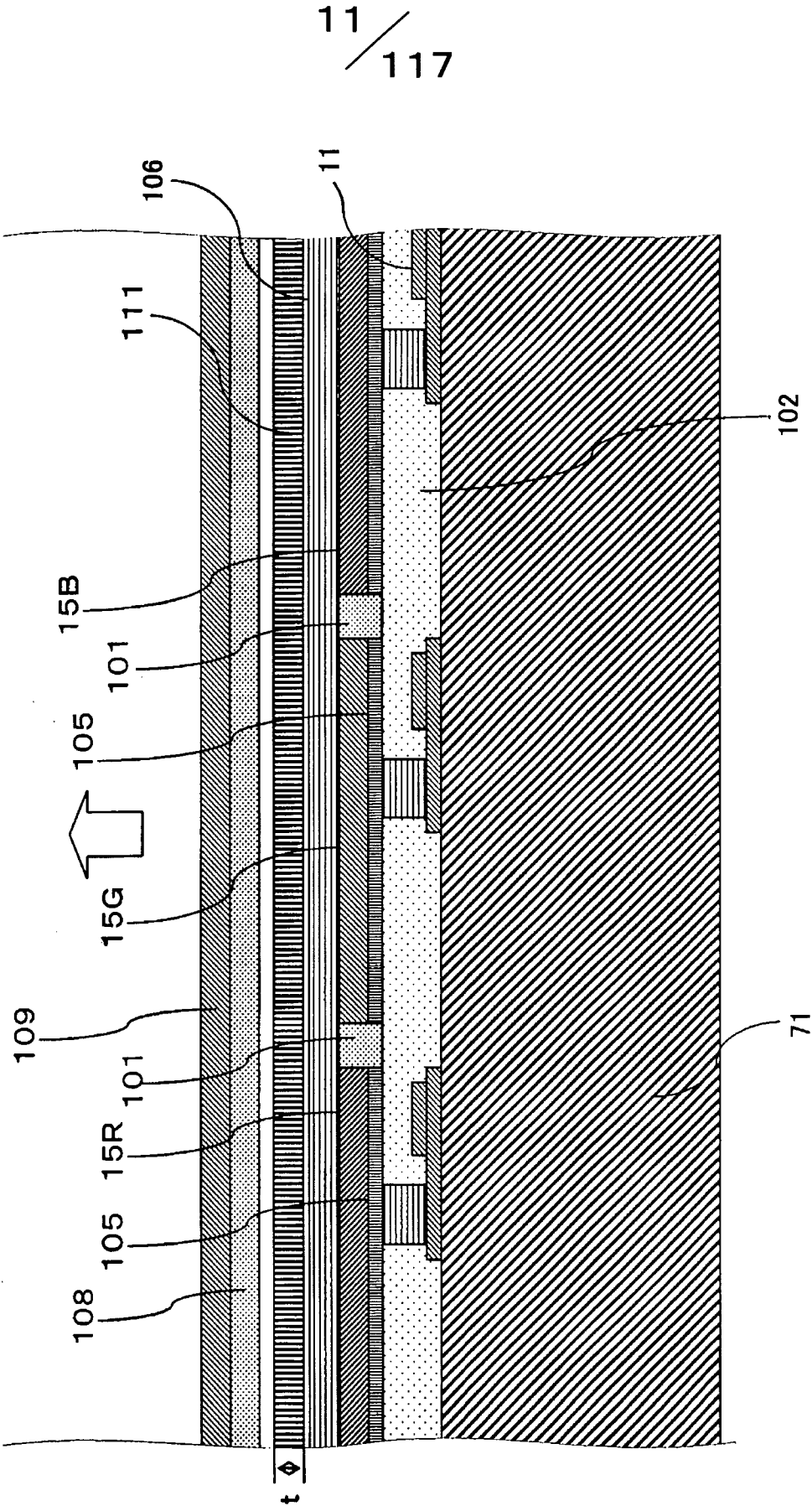


10  
117

- 101 土手 (リブ)
- 102 層間絶縁膜
- 104 コンタクト接続部
- 105 画素電極
- 106 カソード電極
- 107 乾燥剤
- 108 λ/4板
- 109 偏光板



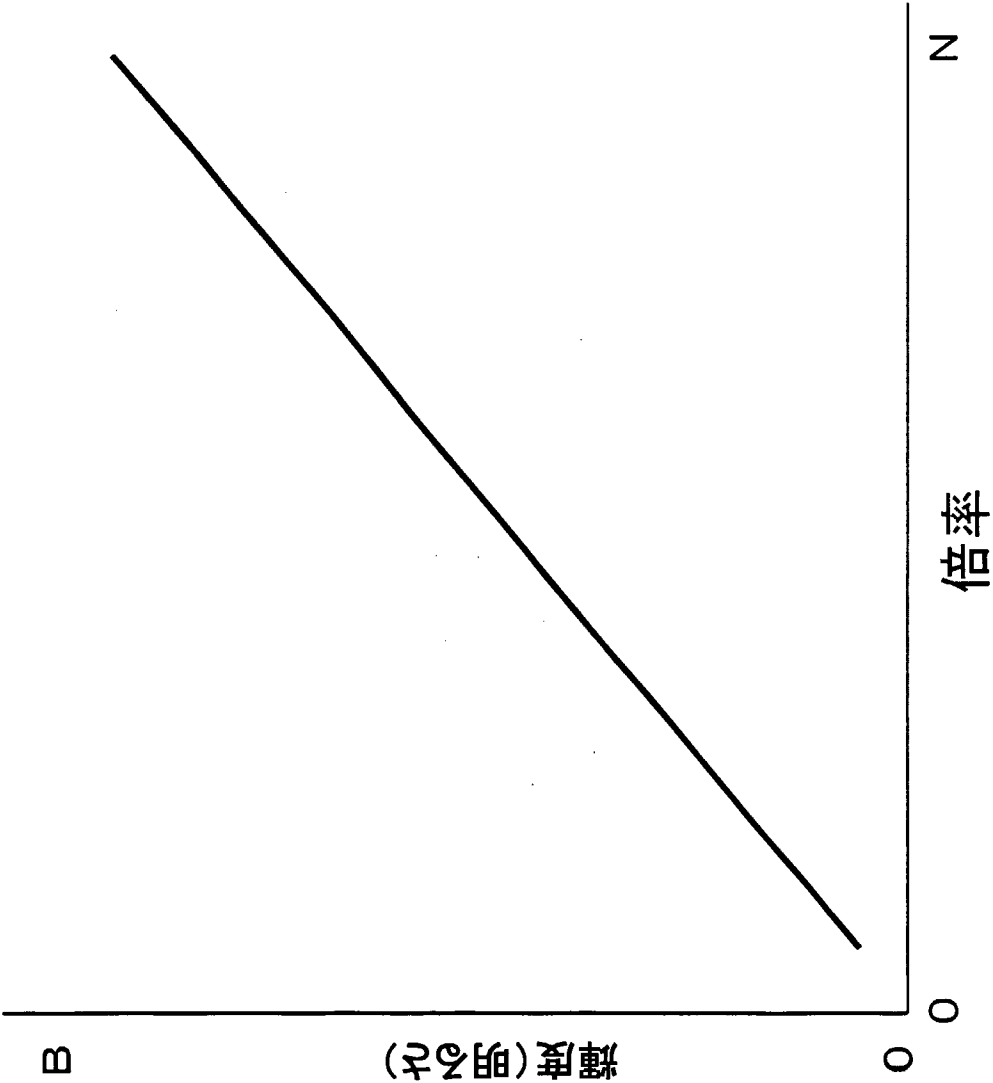
第10図



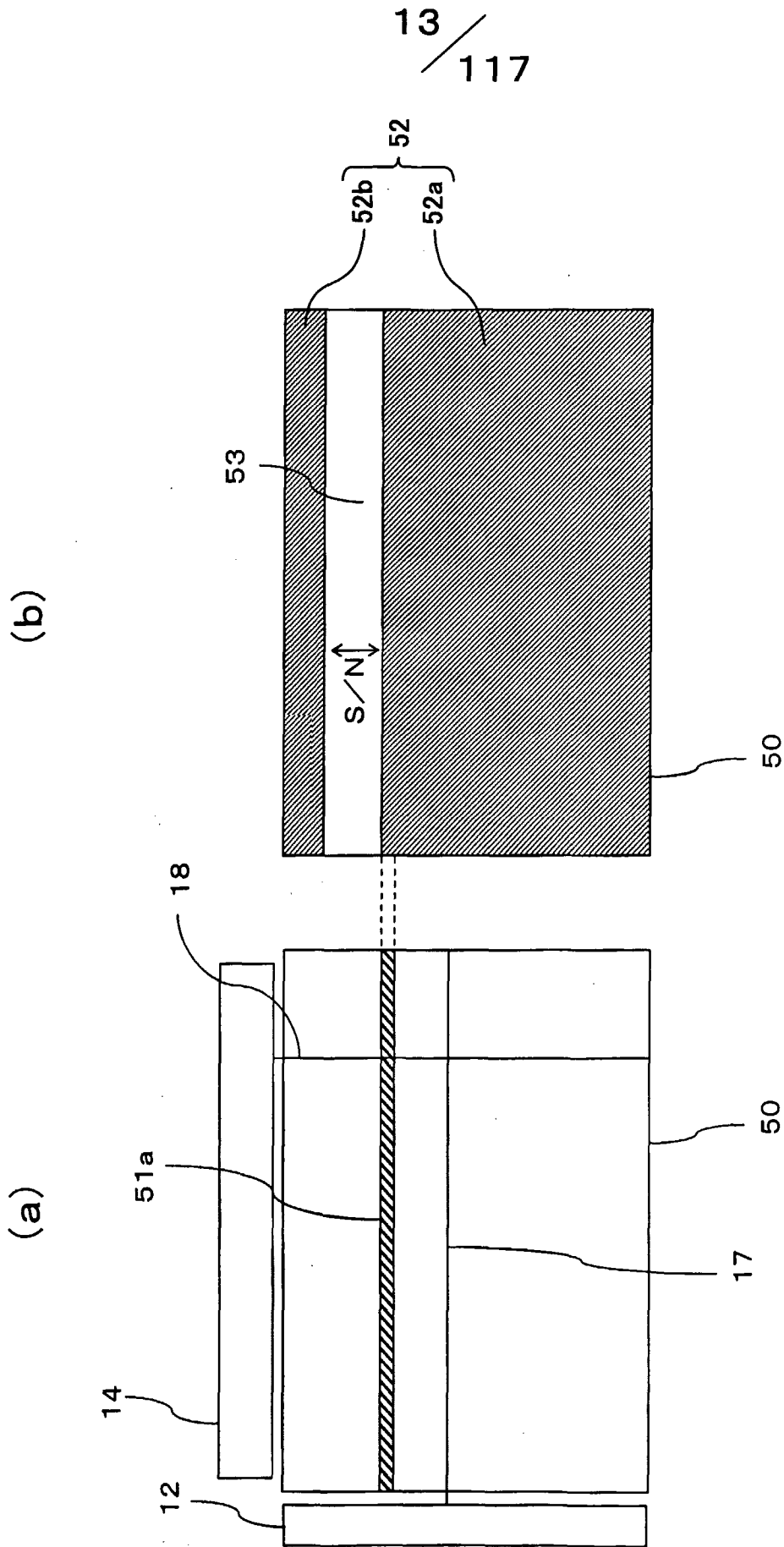
第11図



12 / 117

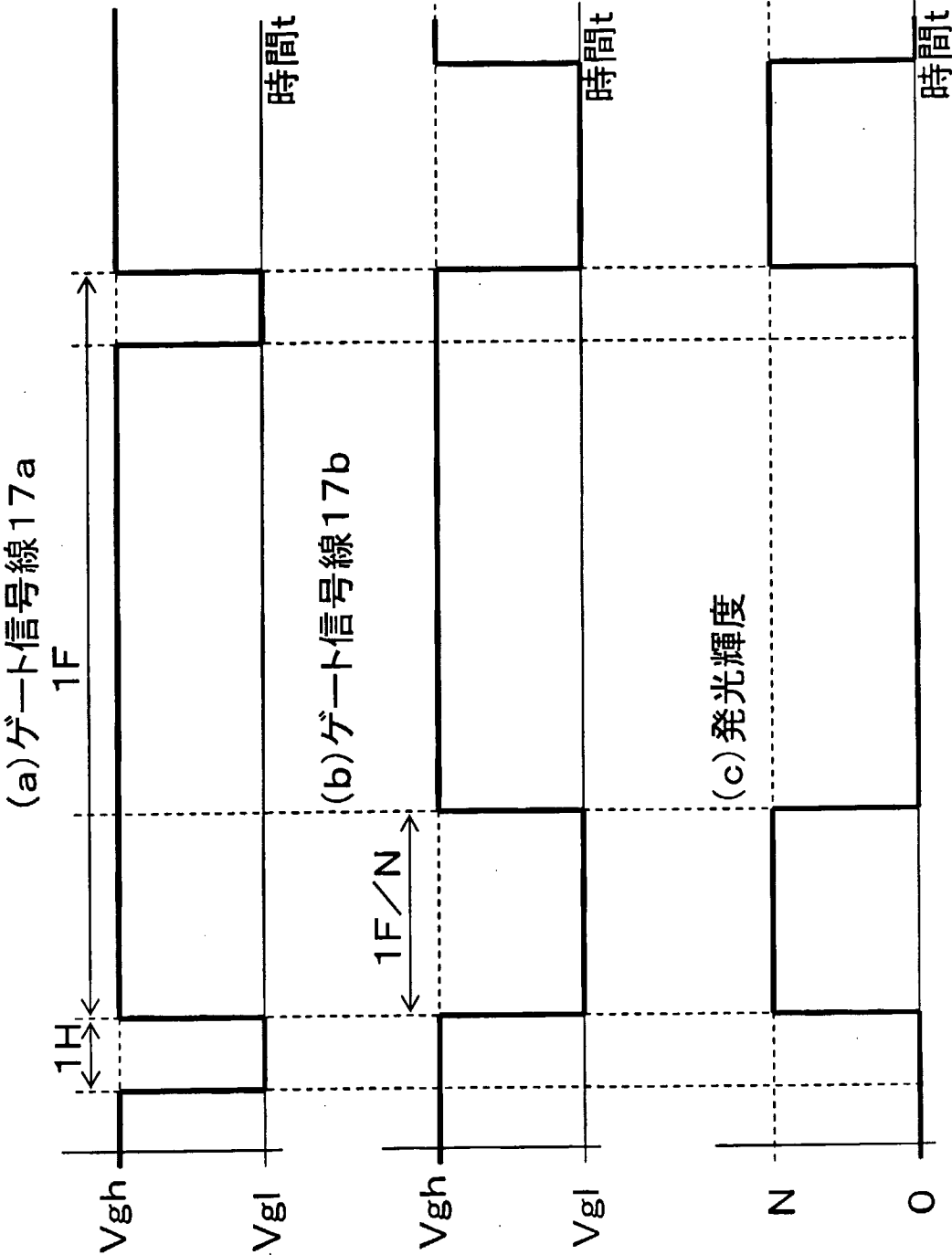


第12図

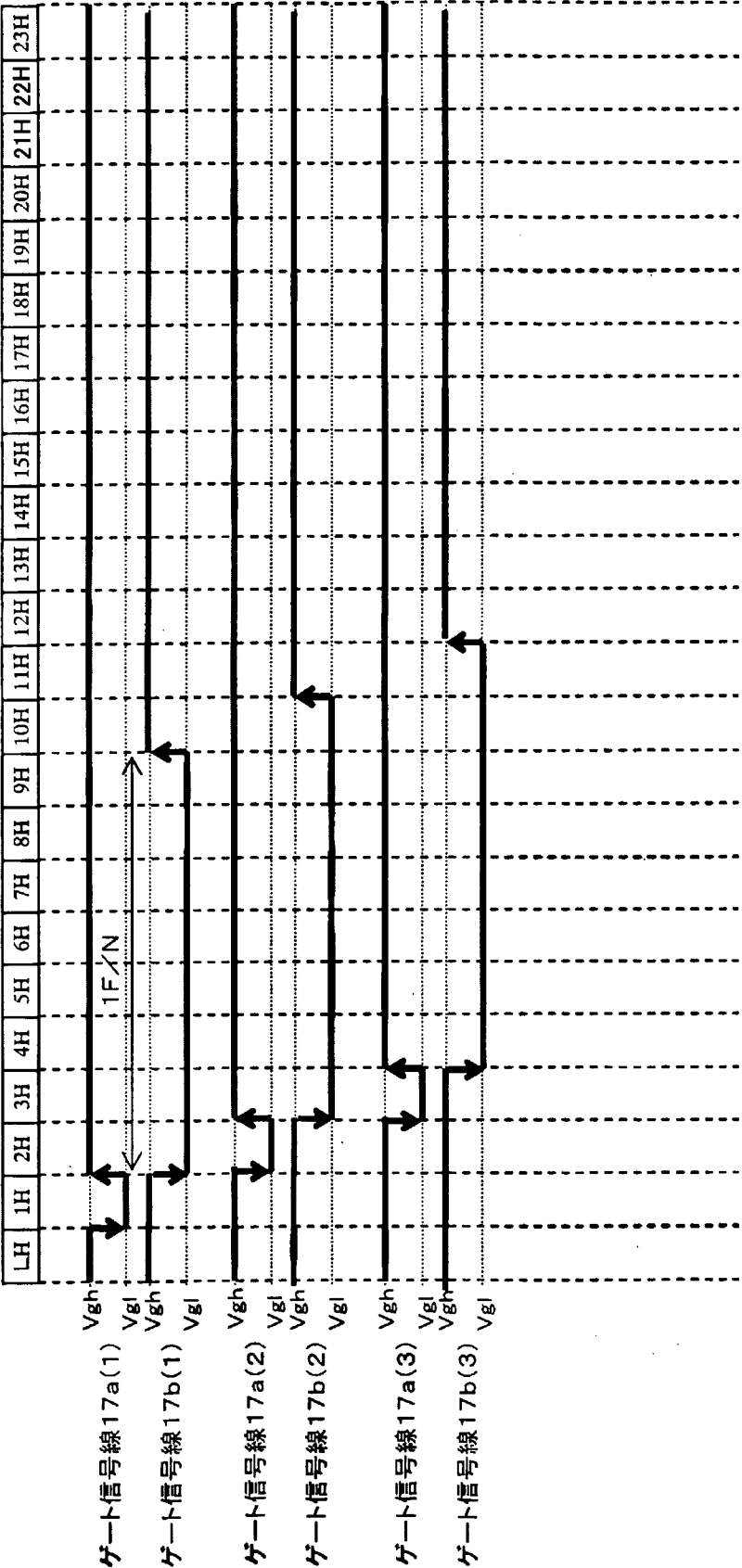


第13図

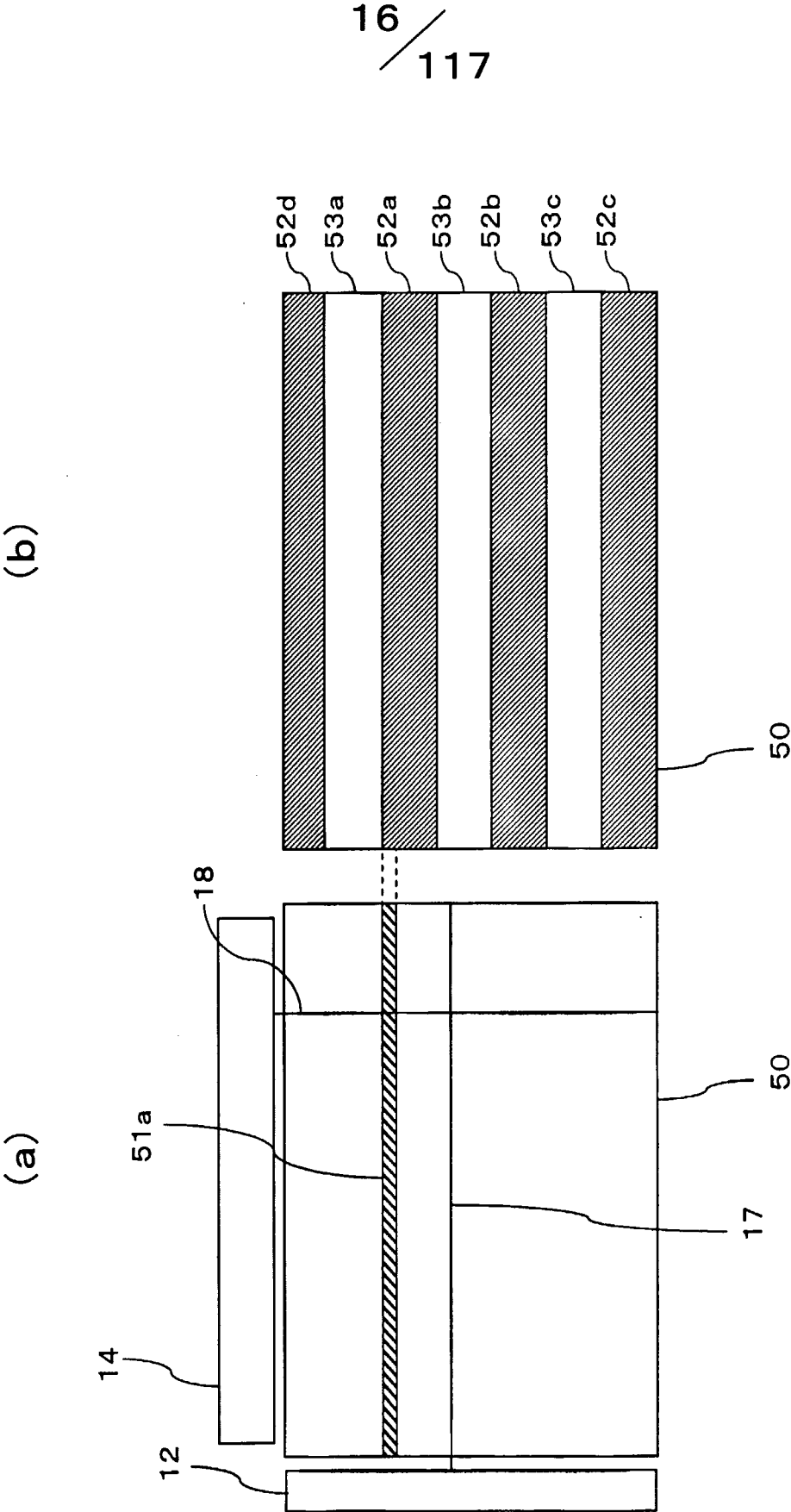
14 / 117



第14図

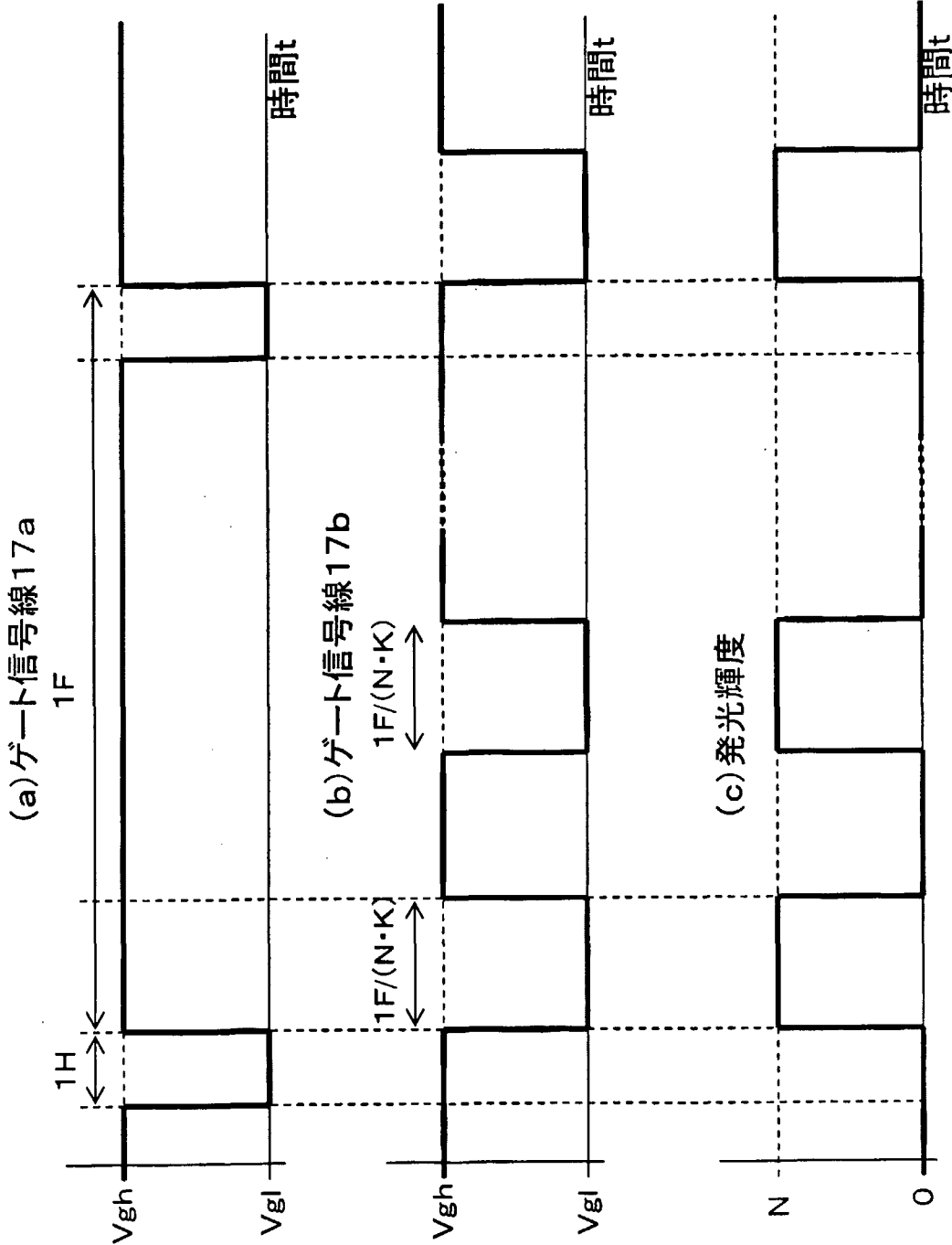


第15図

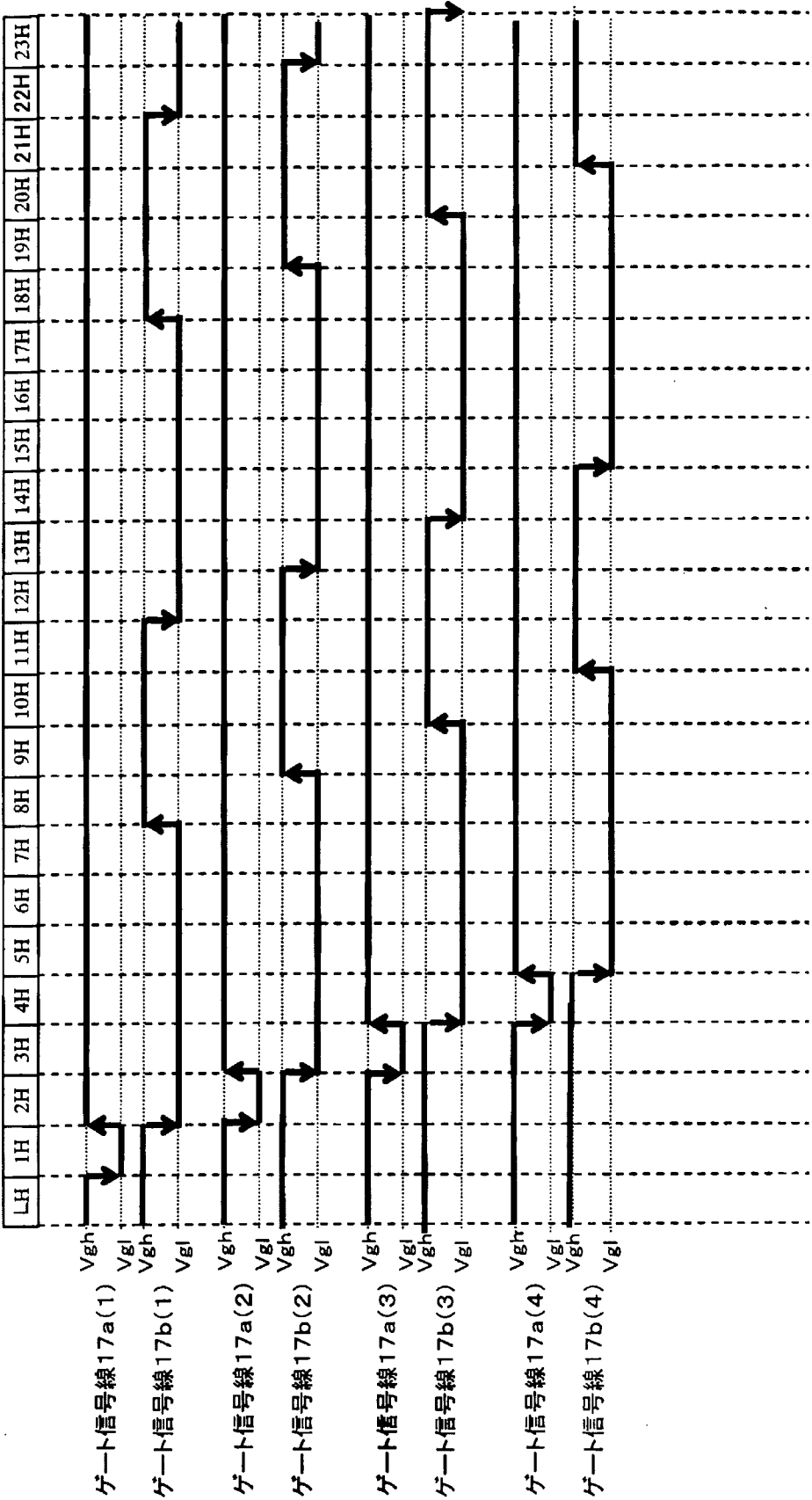


第16図

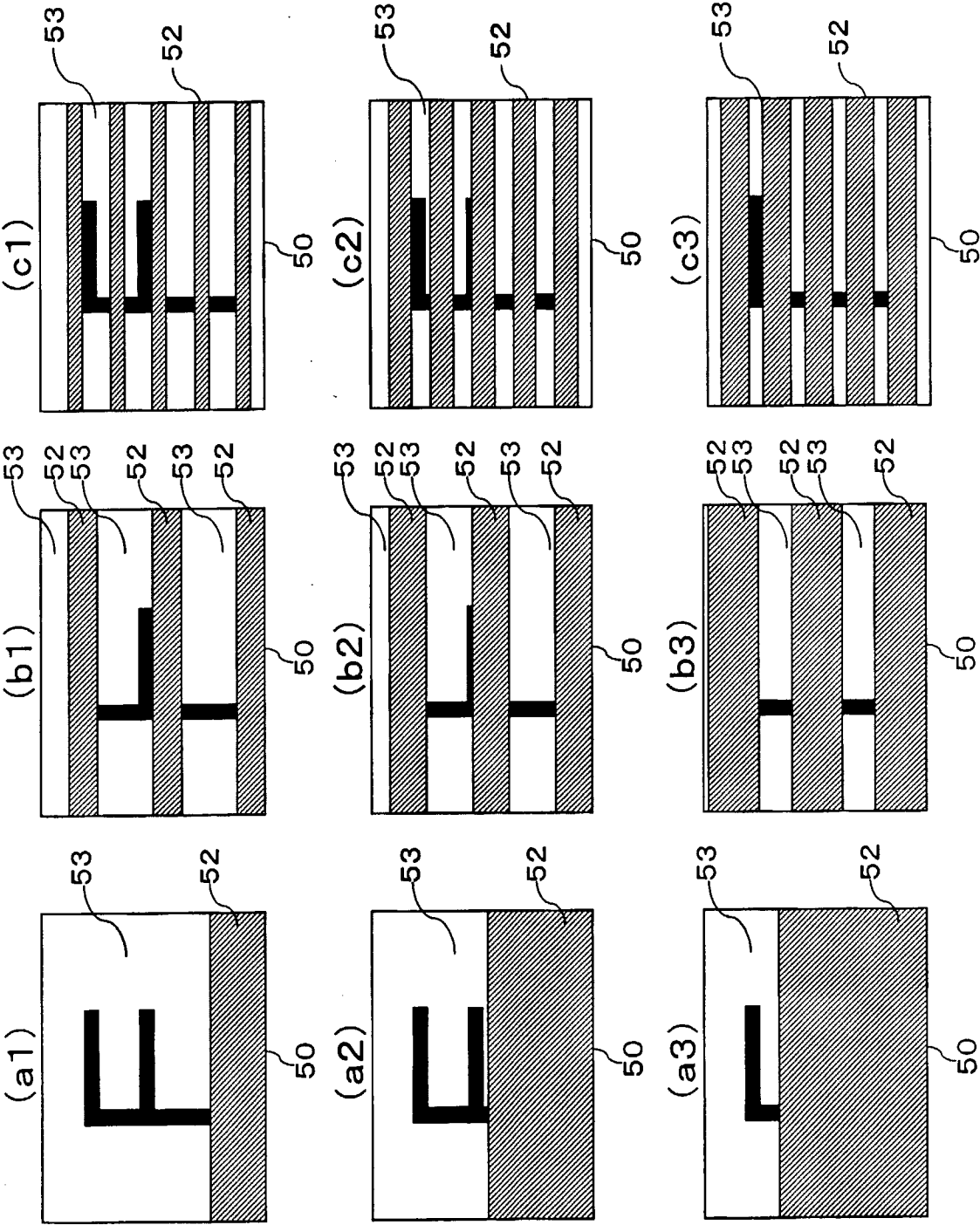
17 / 117



第17図

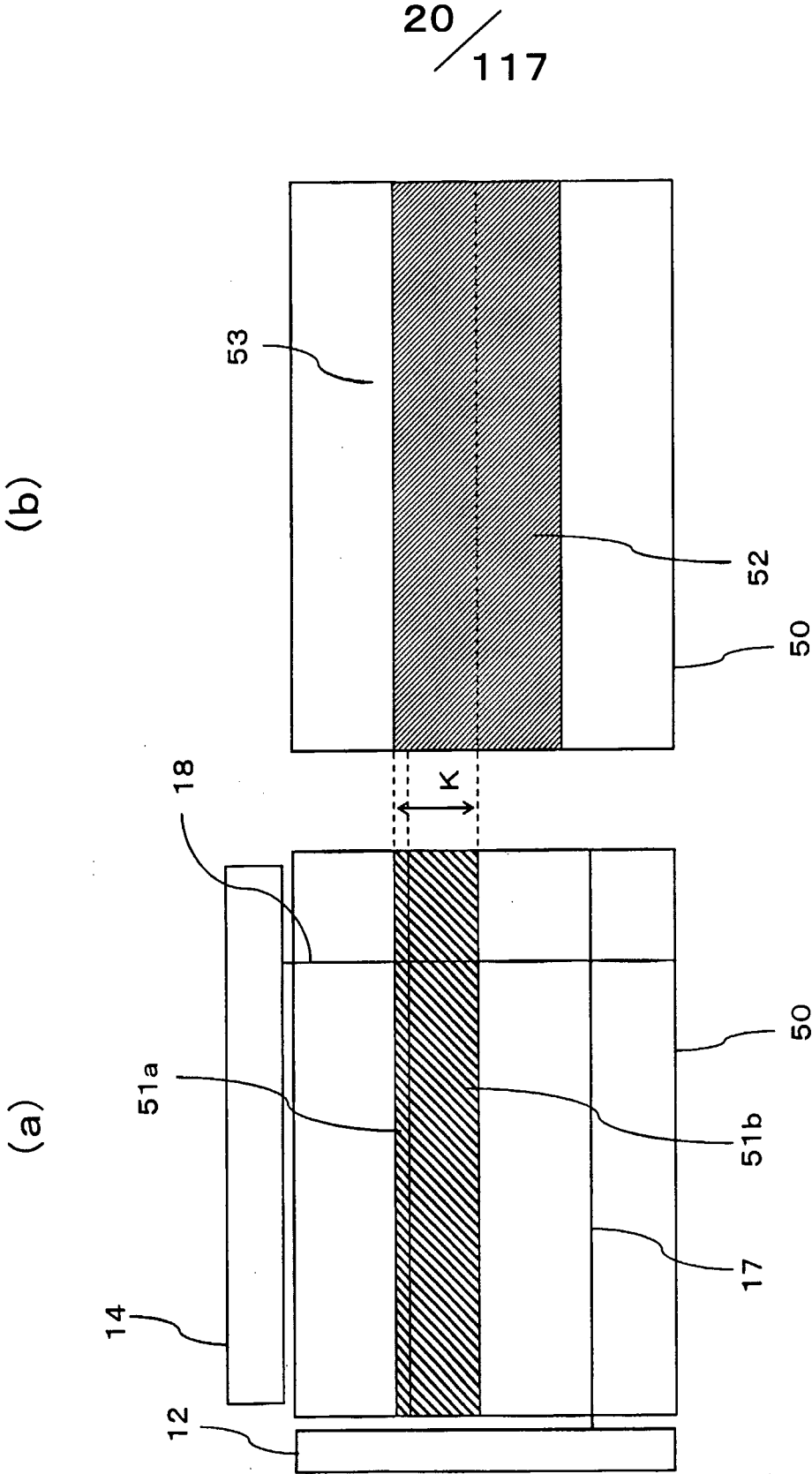


第18図

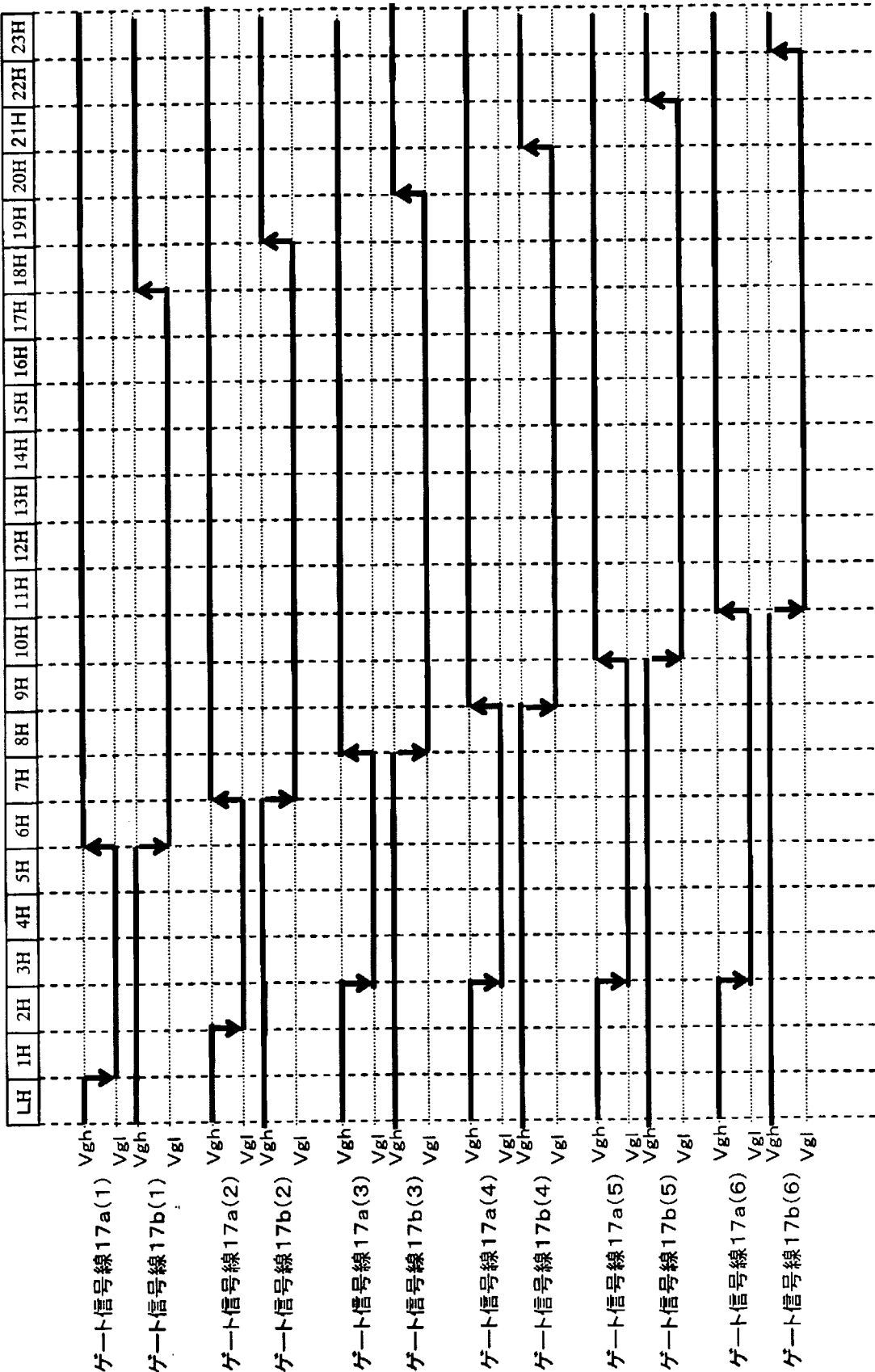


第19図

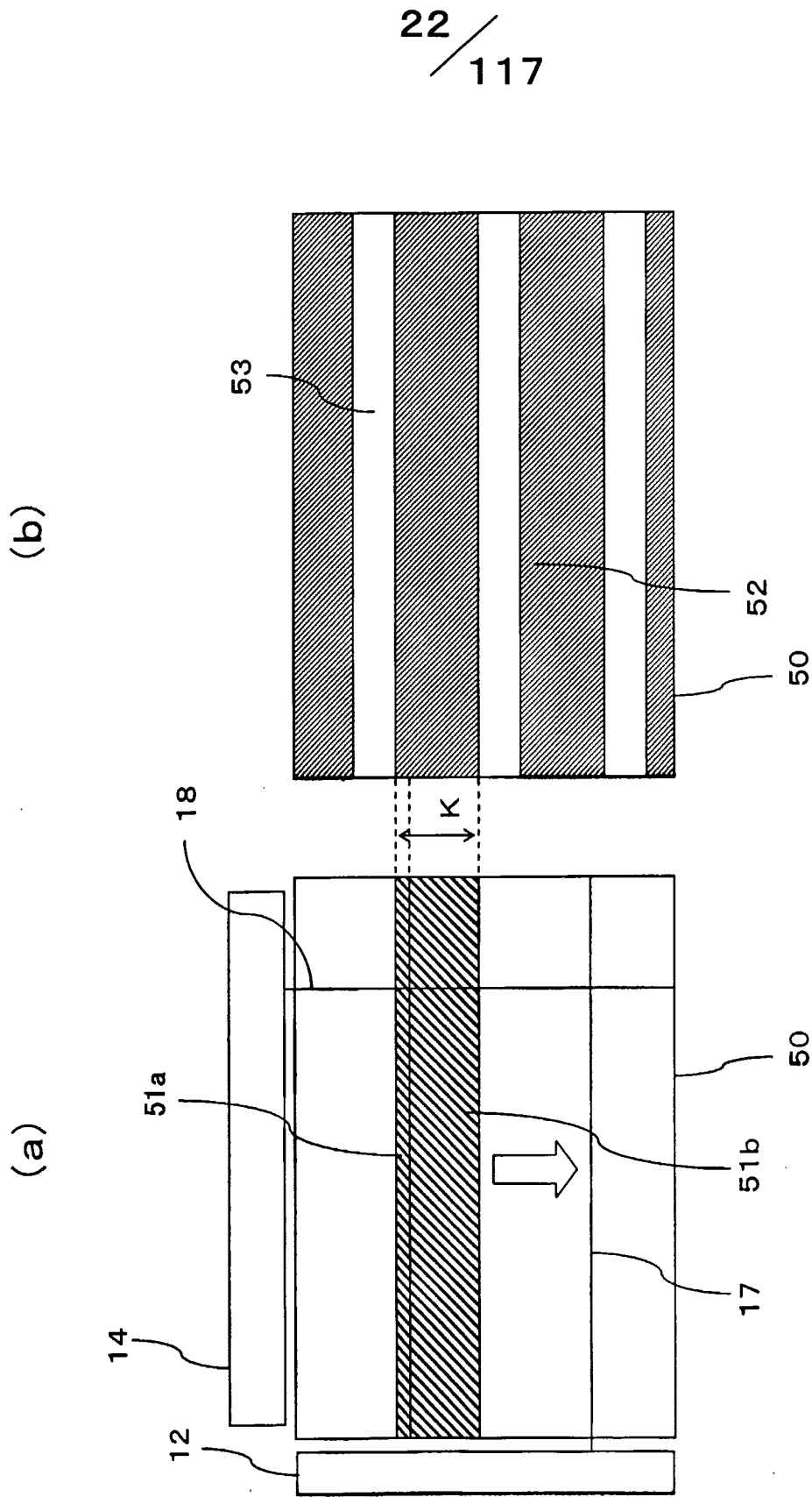




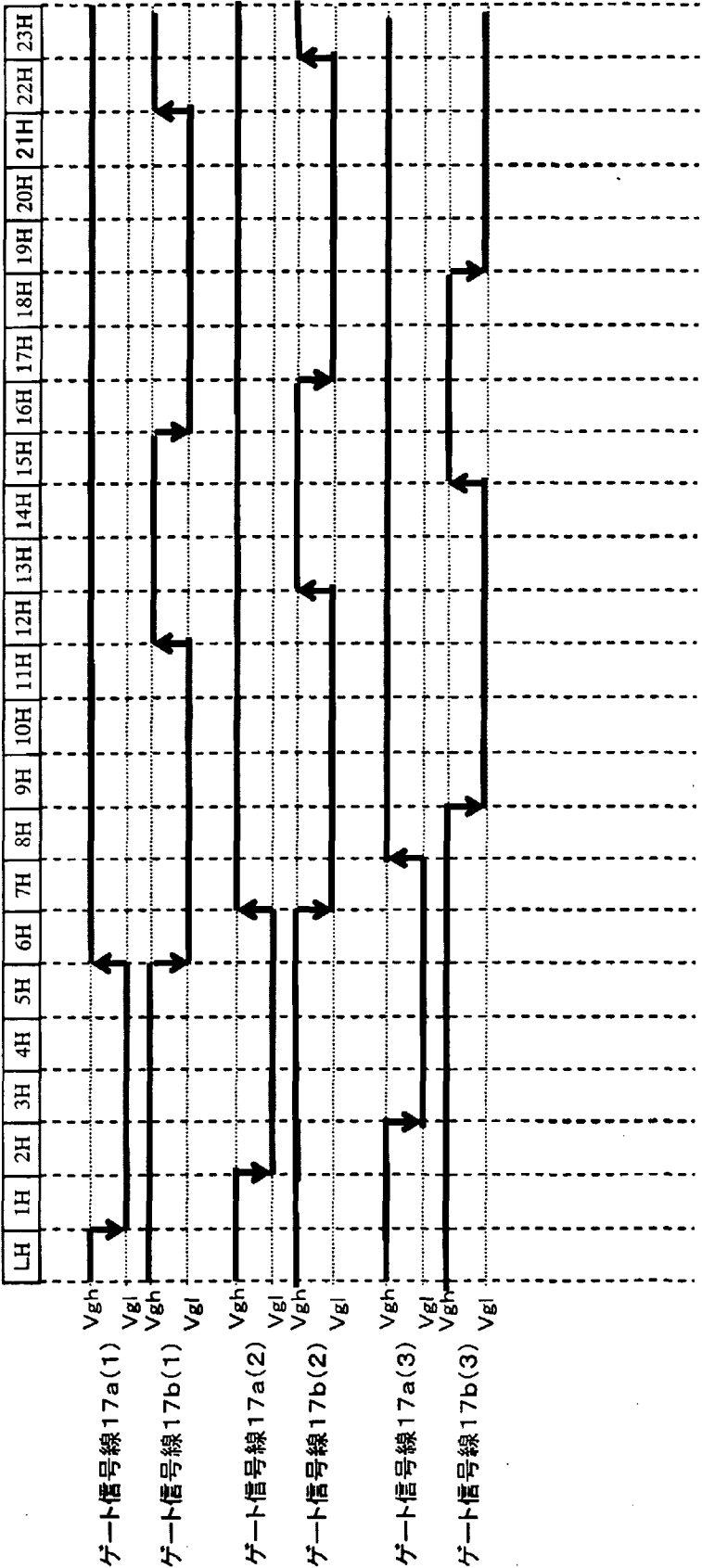
第20図



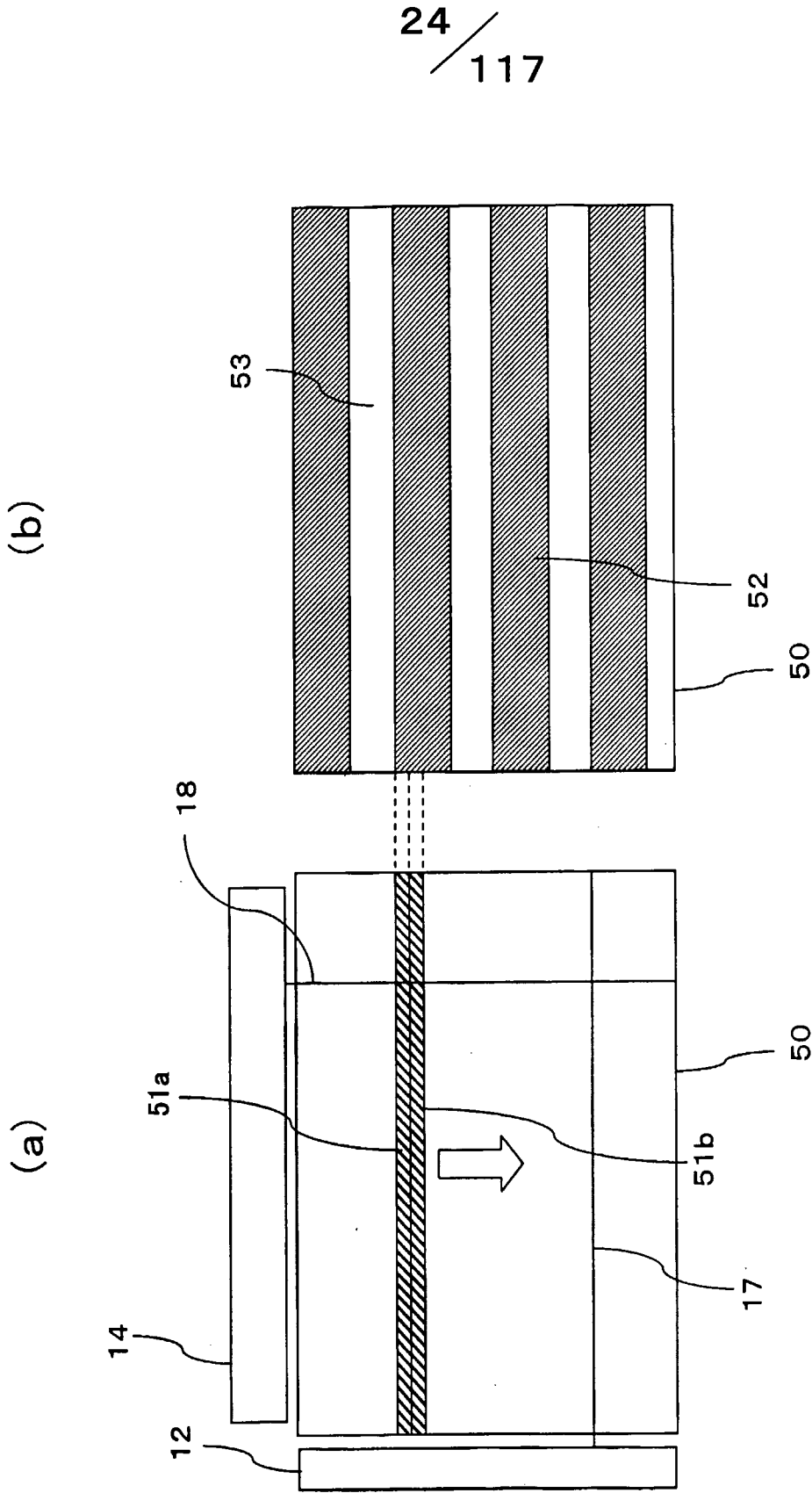
第21図



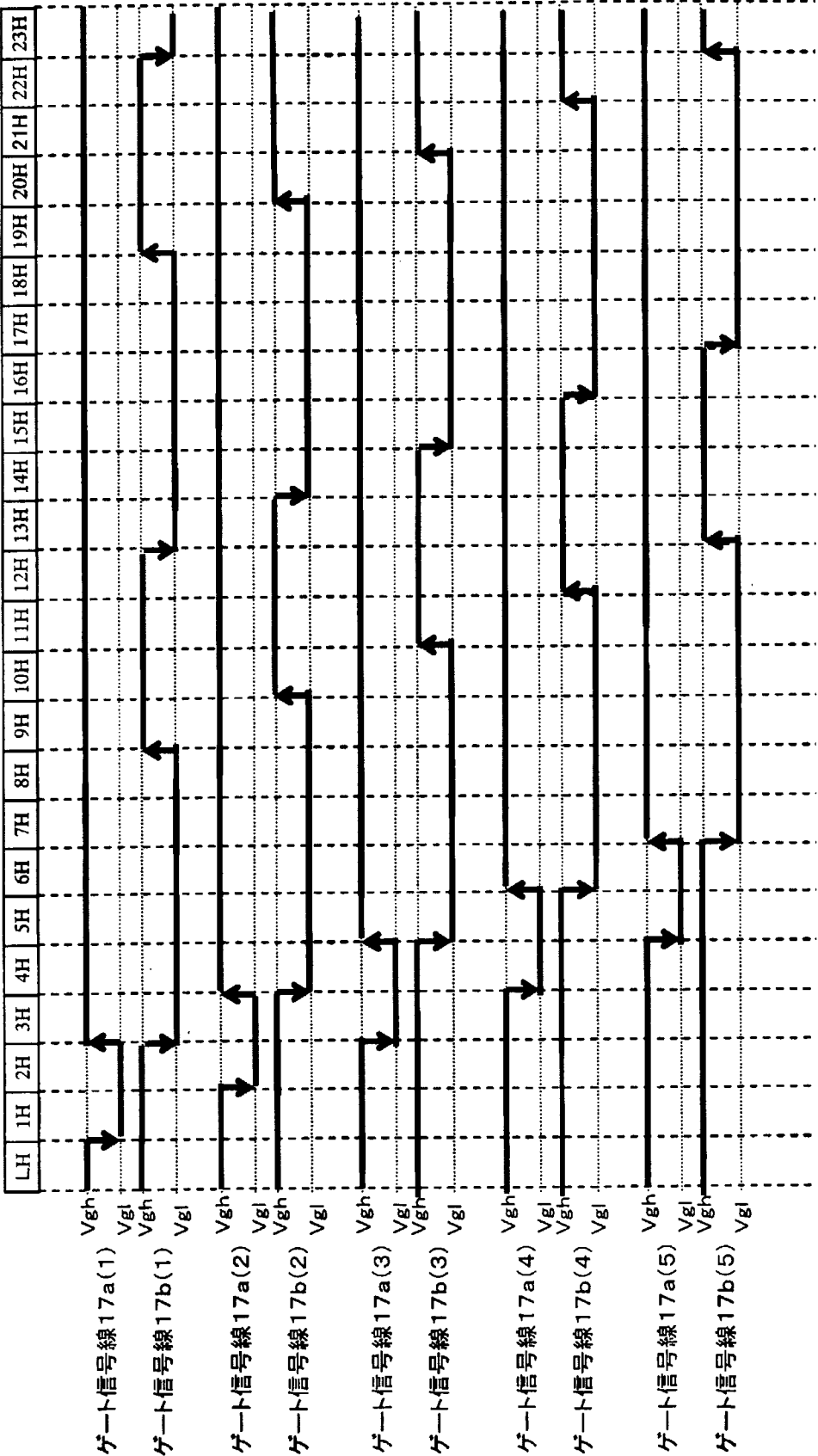
第22図



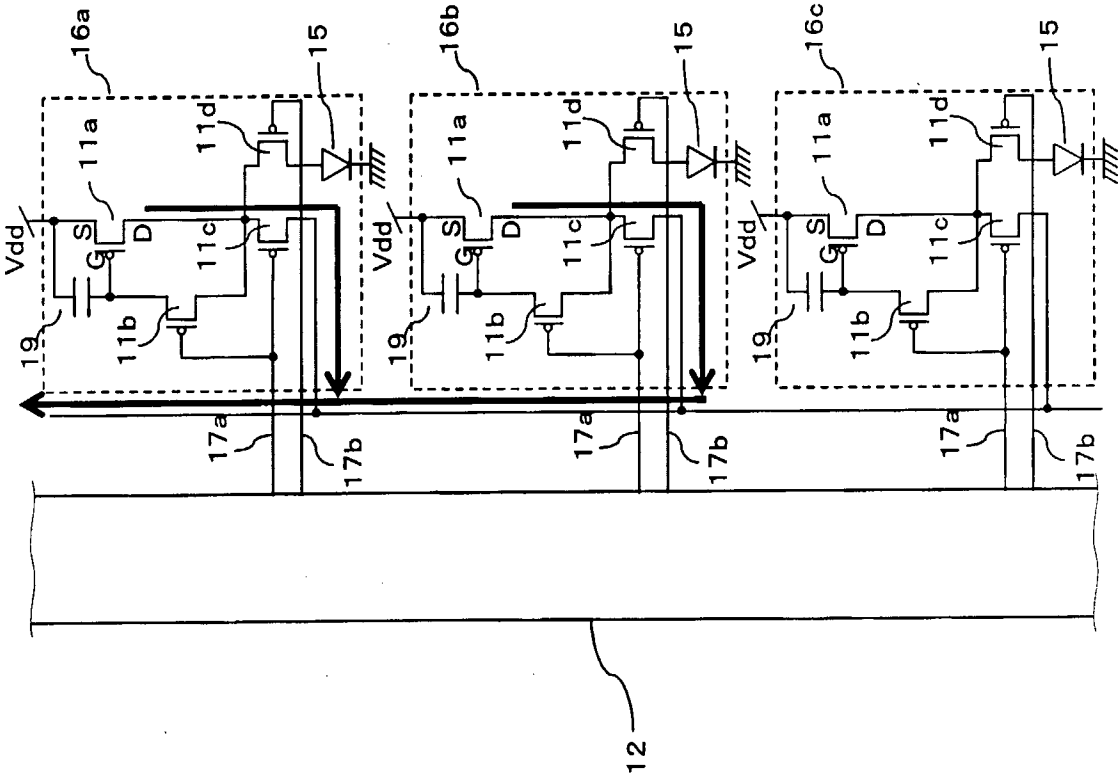
第23図



第24図



第25図

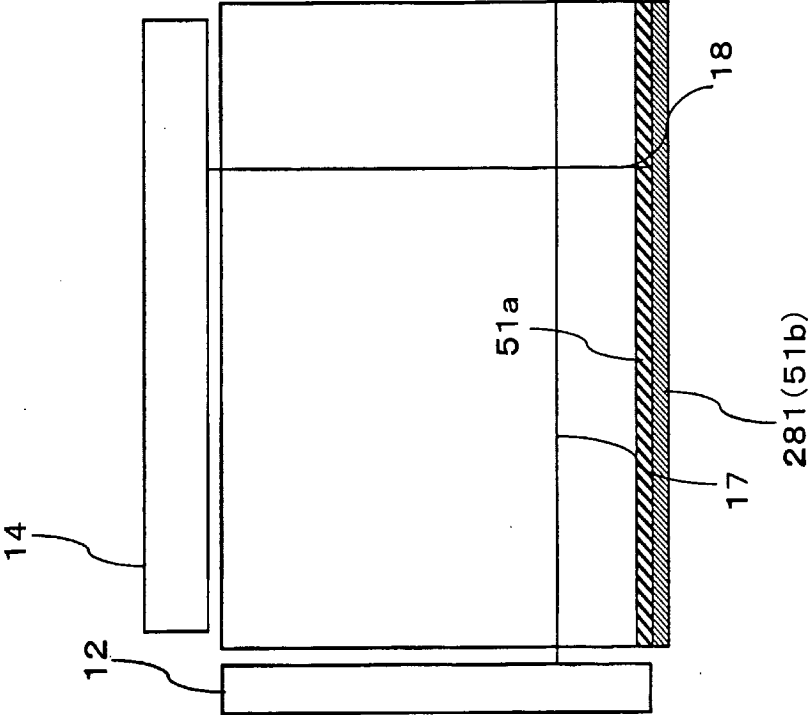
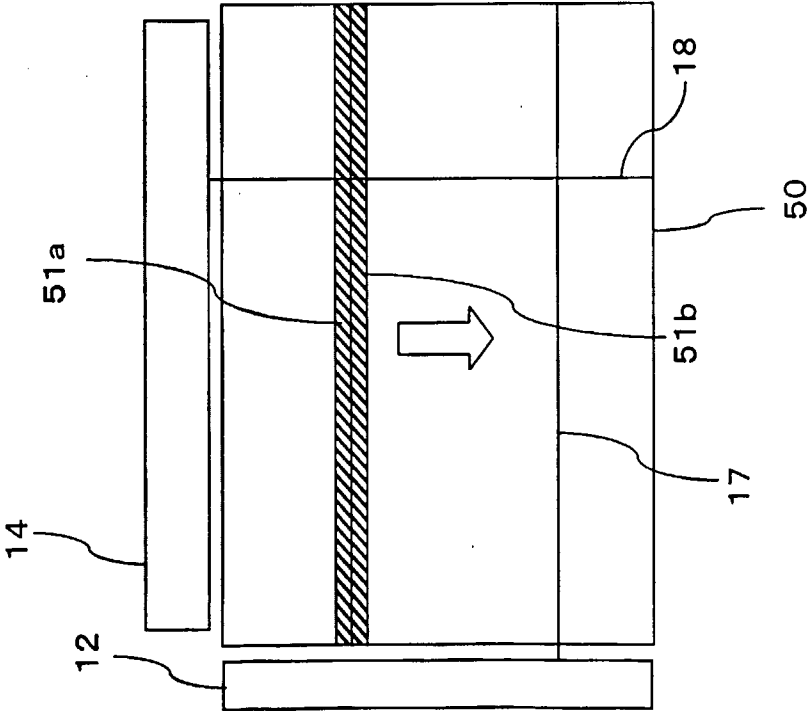


第26図

281 ダミー画素(行)

(a)

(b)

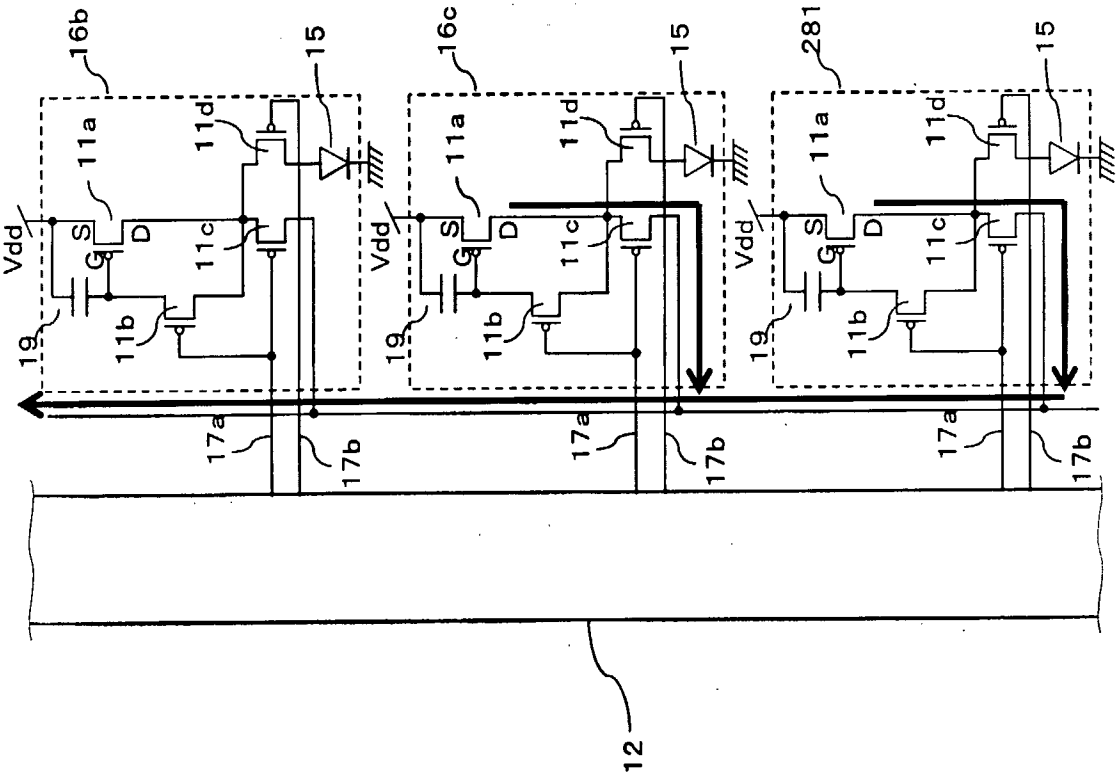


27 / 117

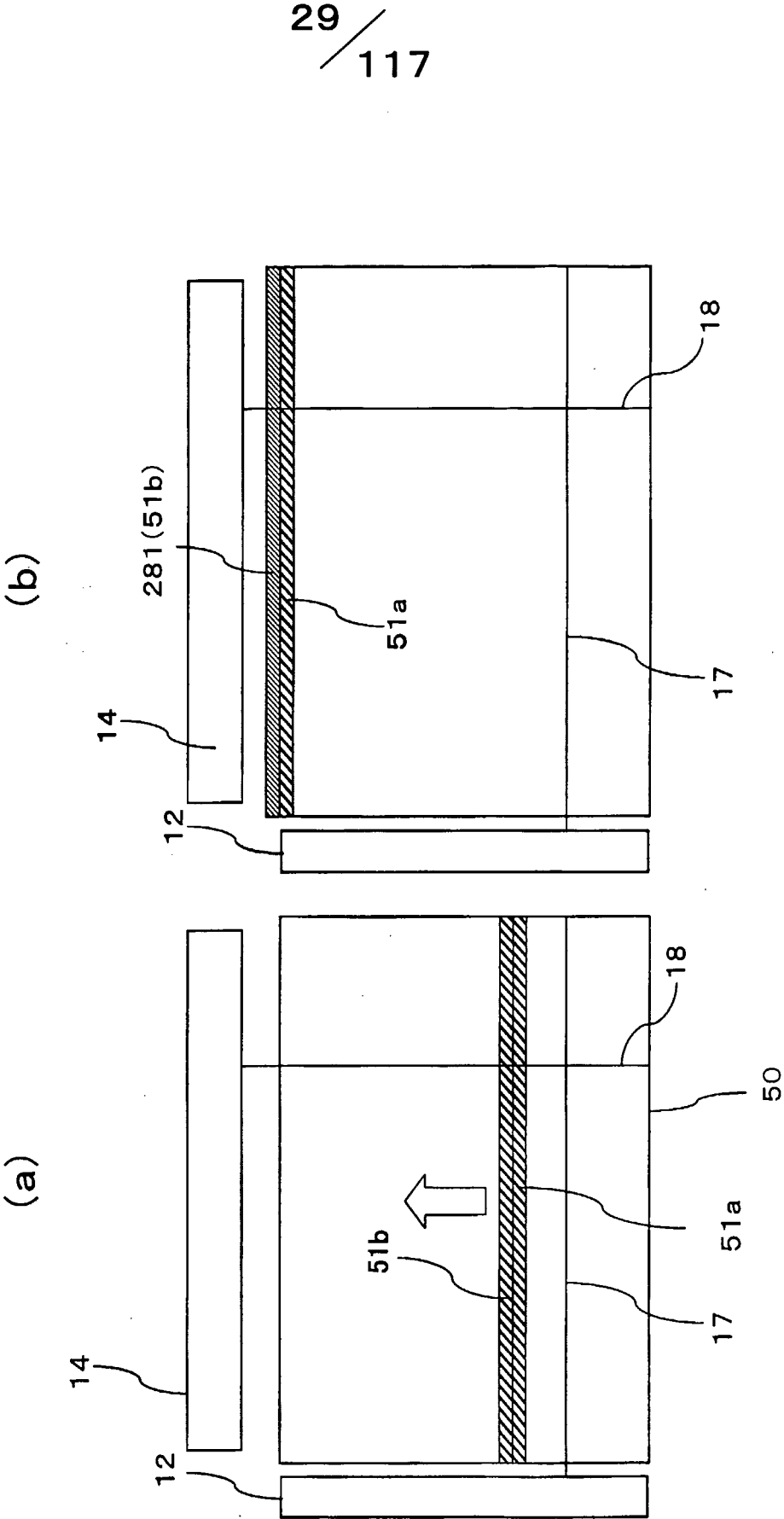
第27図



28 / 117

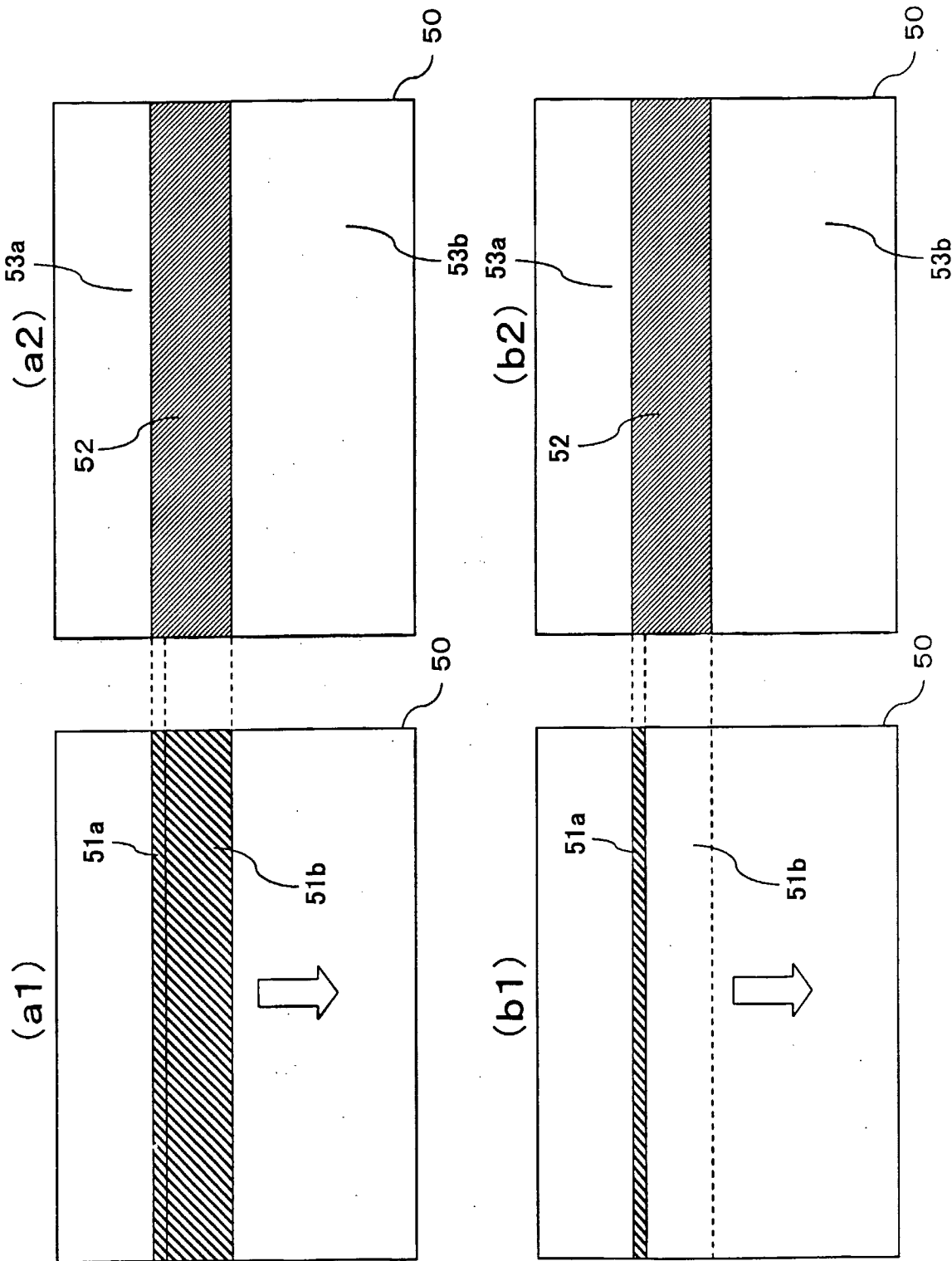


第28図

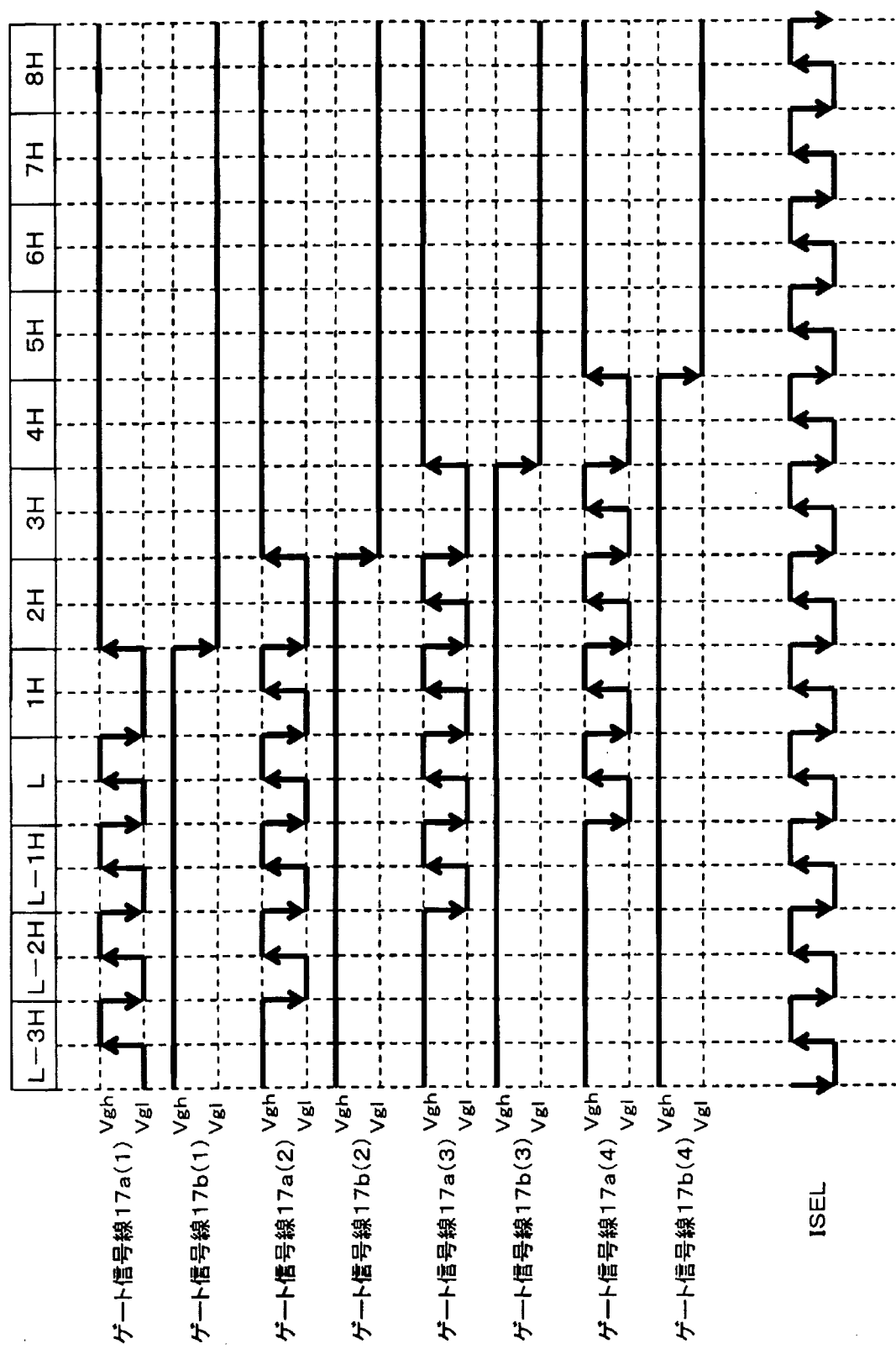


第29図

30 / 117



第30図



第31図



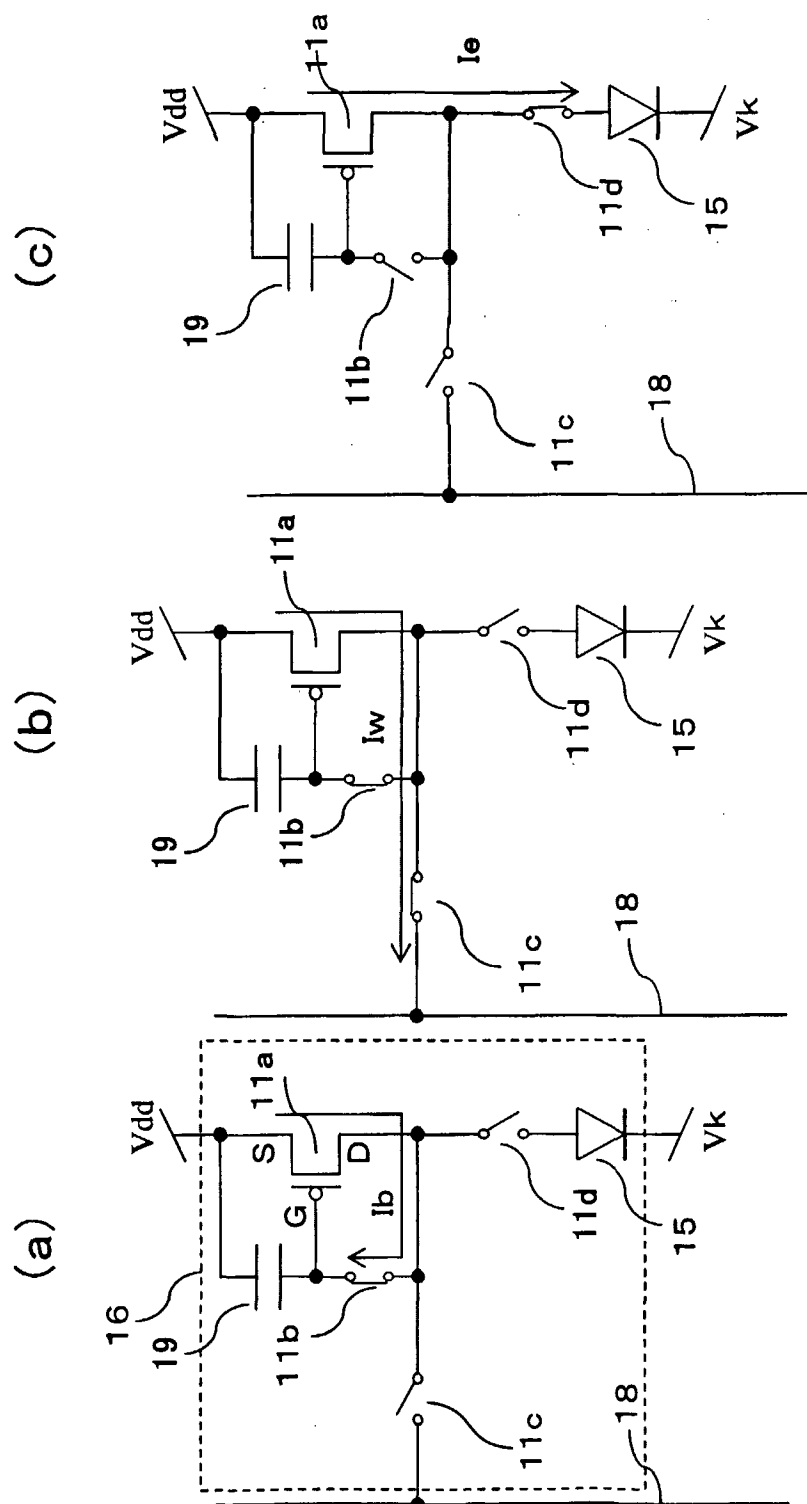
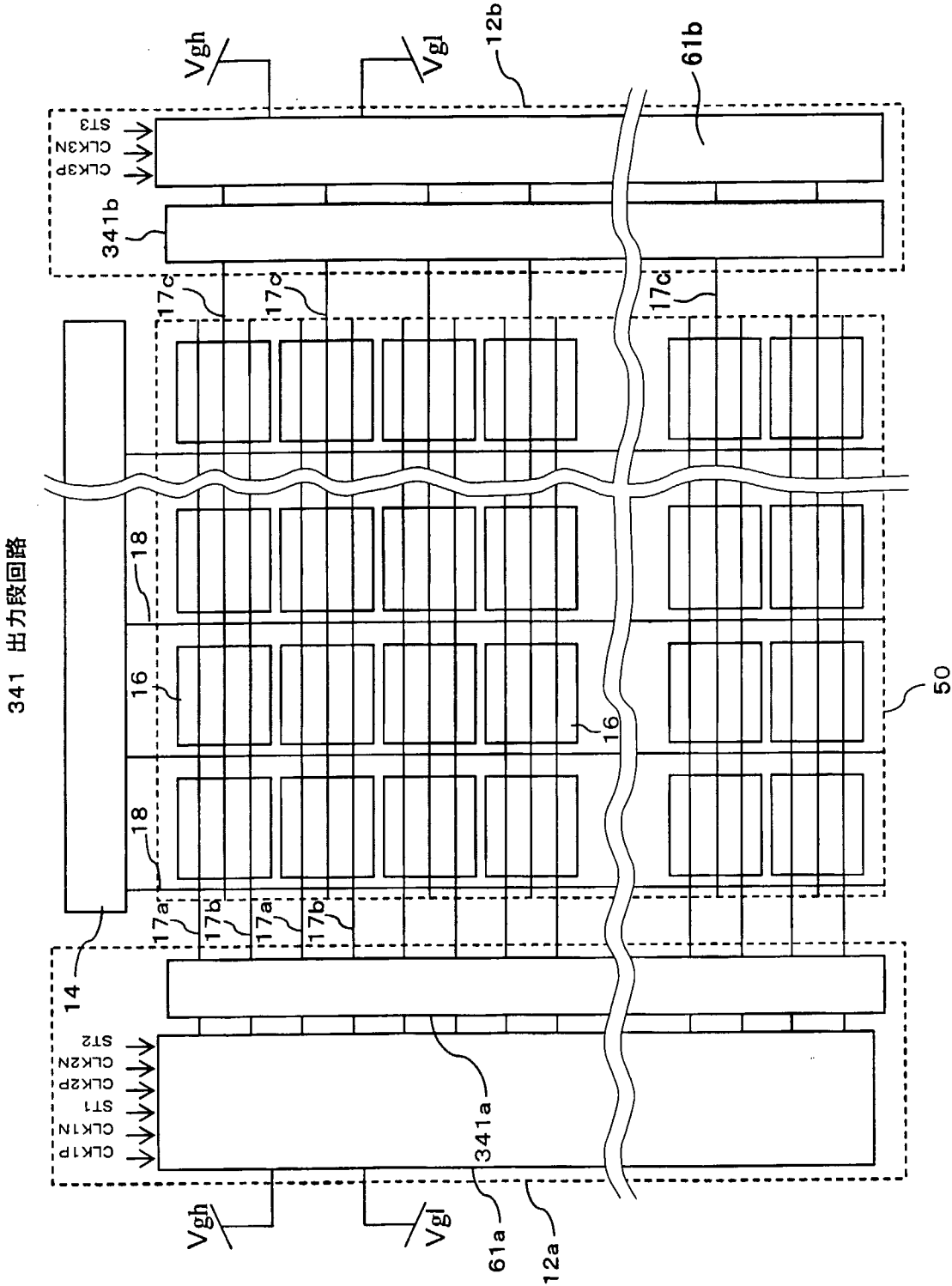
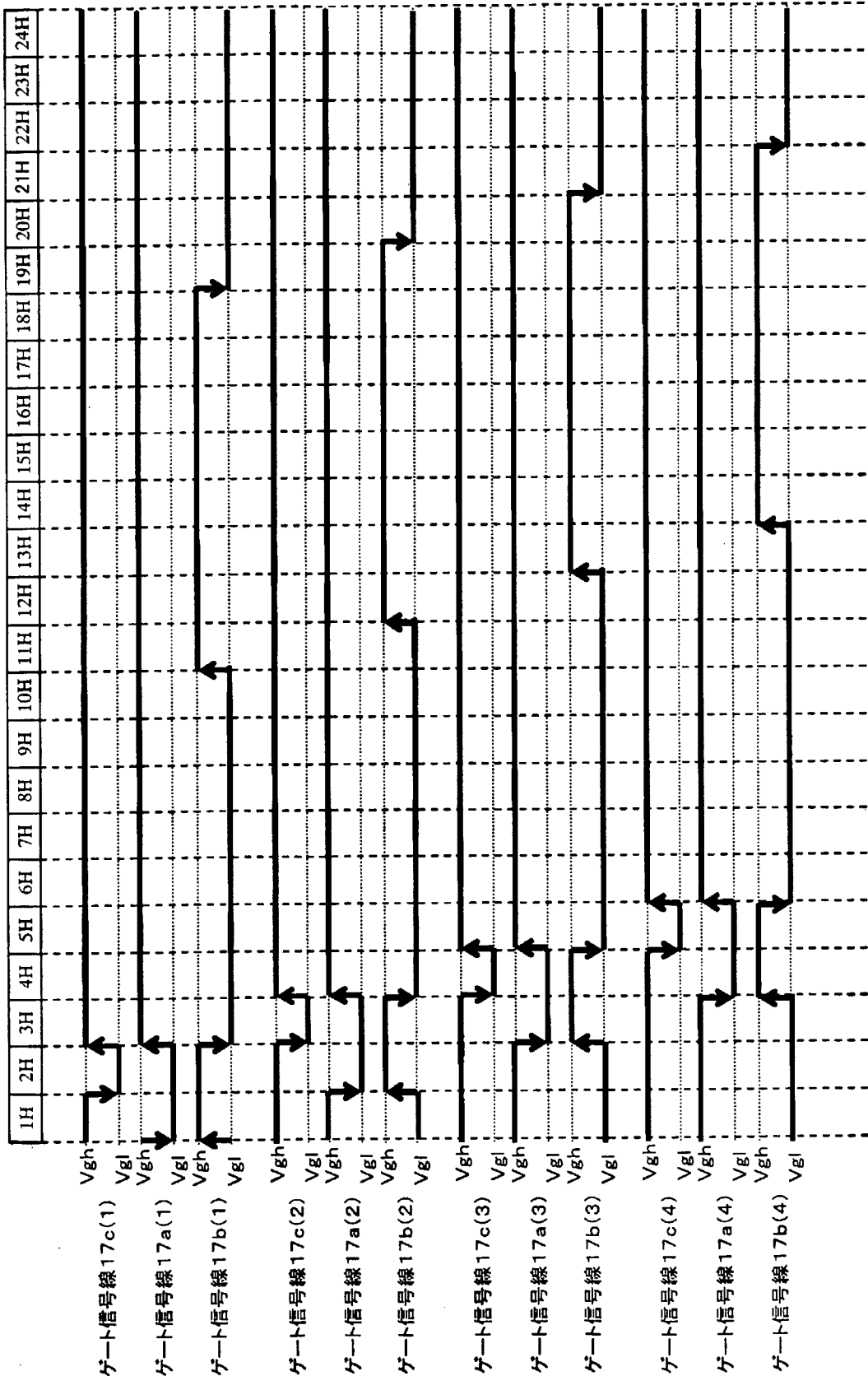


図 3 3 鋼

34 / 117

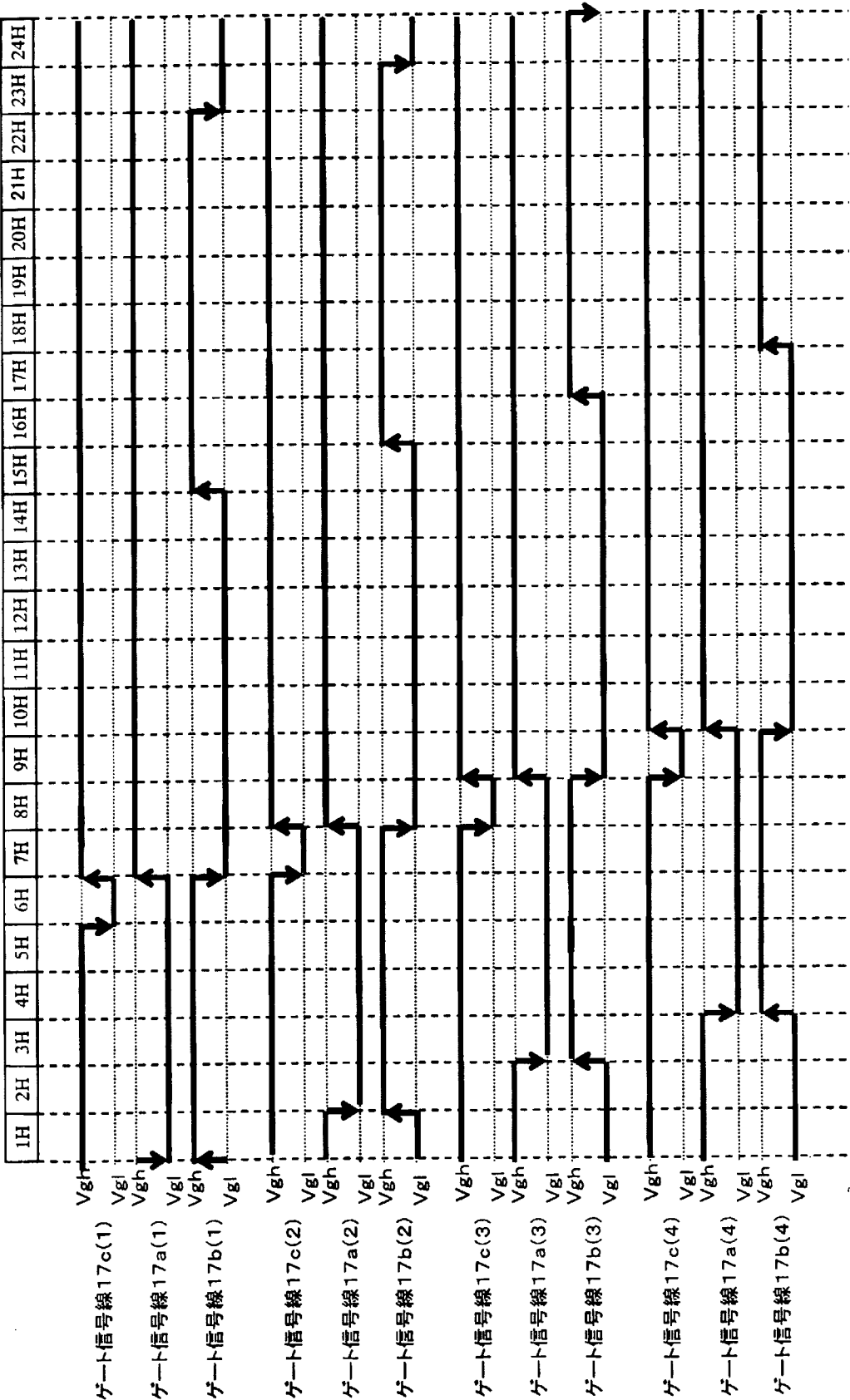


第34図

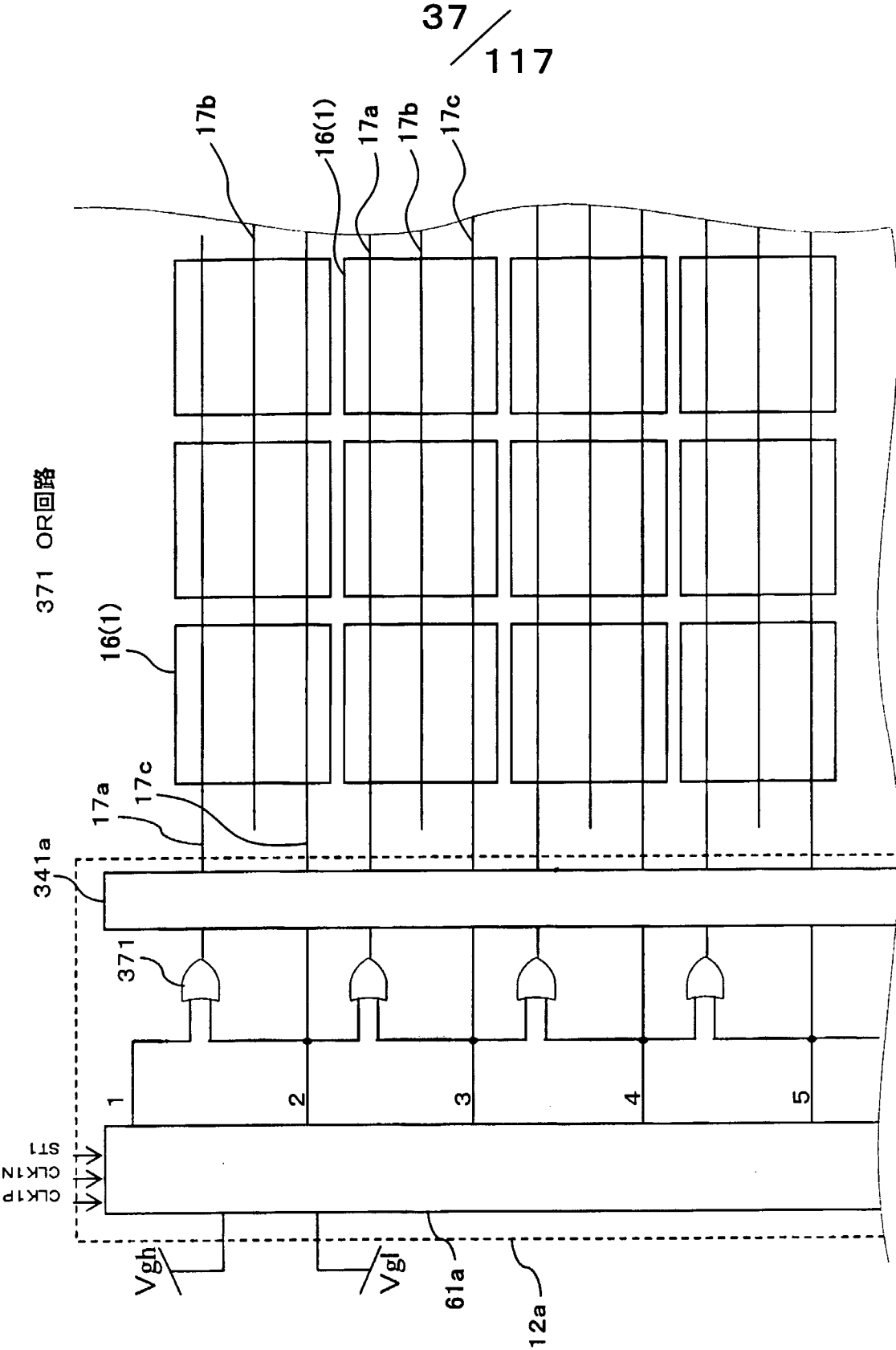


第35図





第36図



第37図

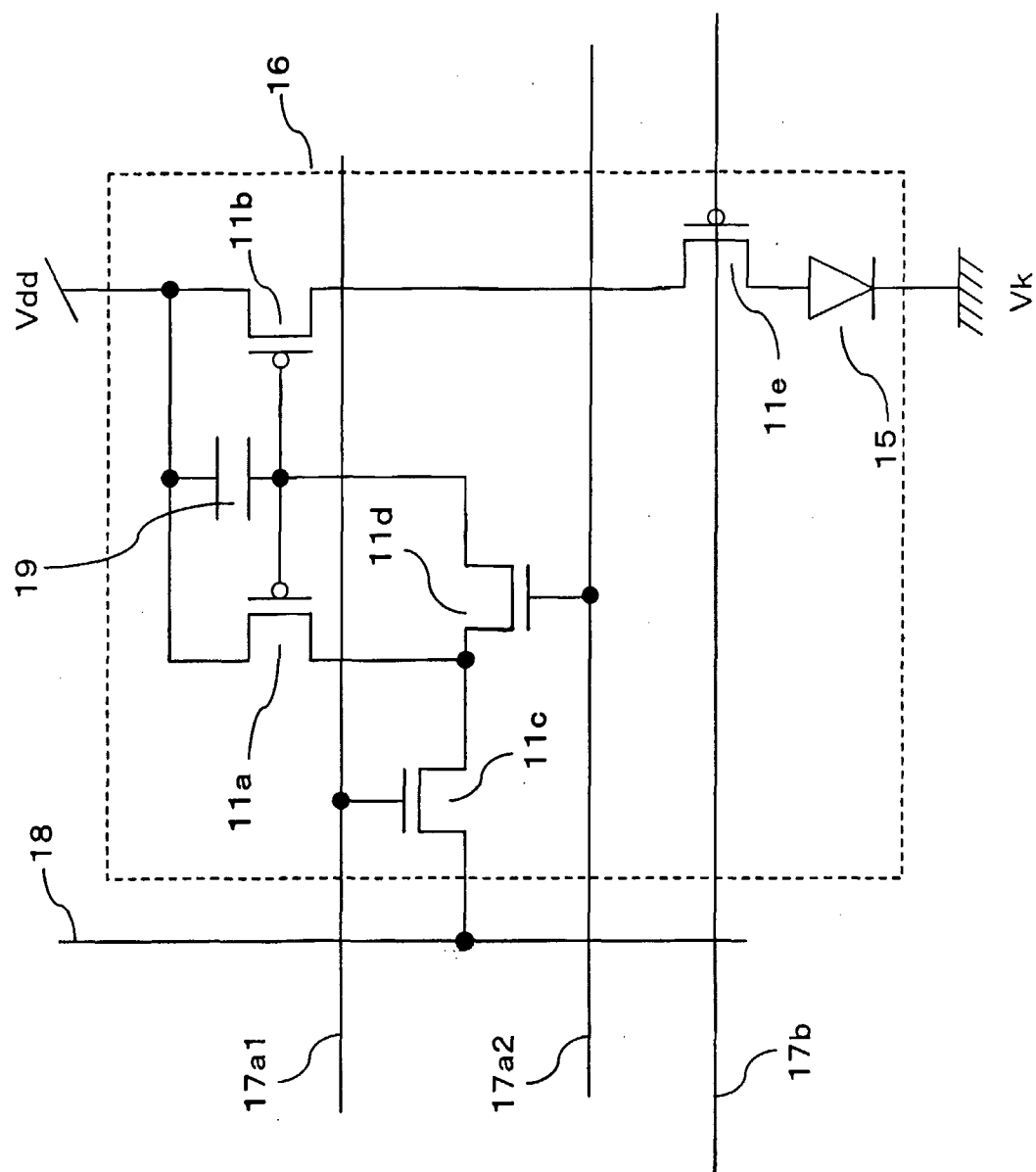
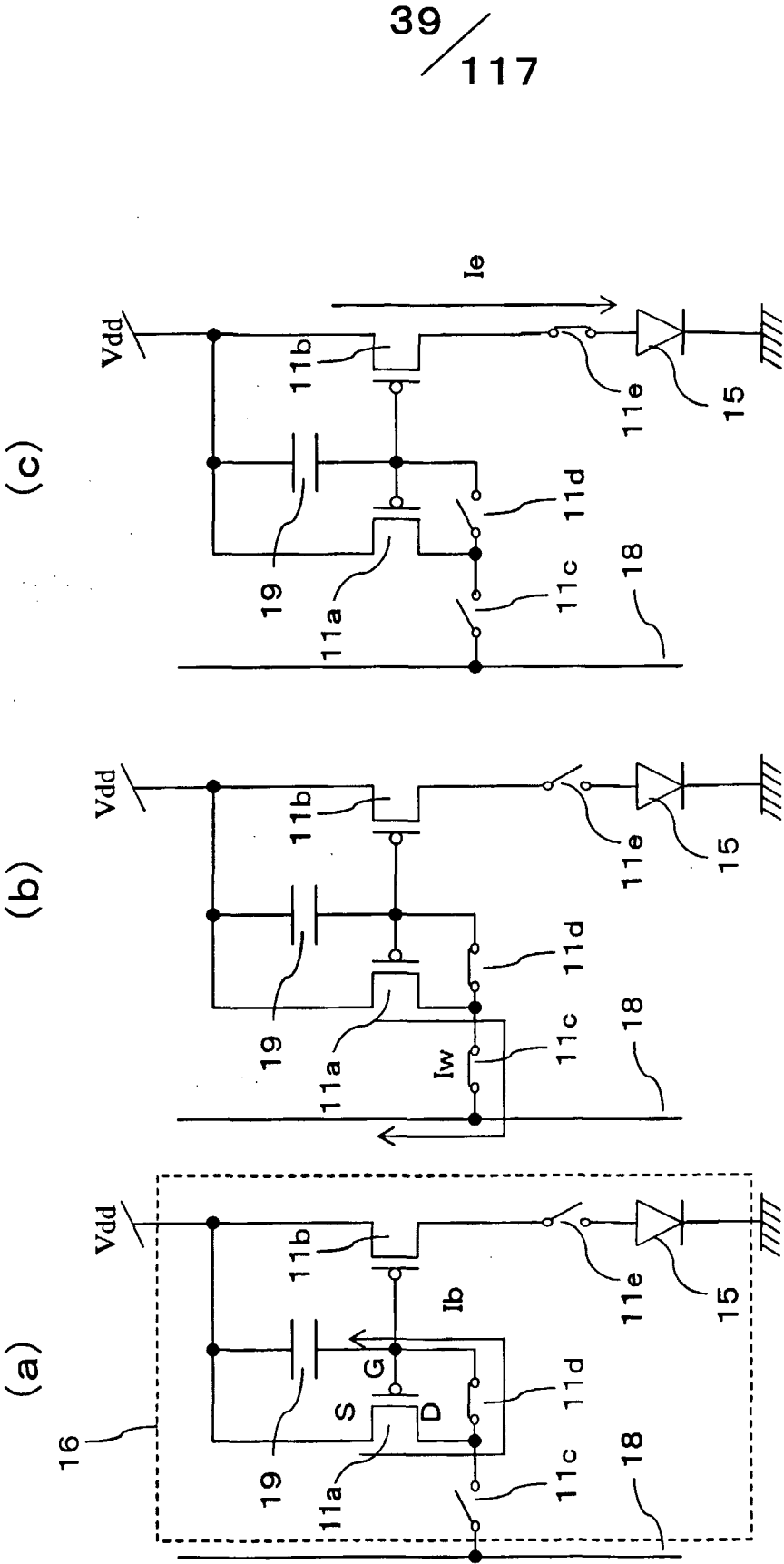
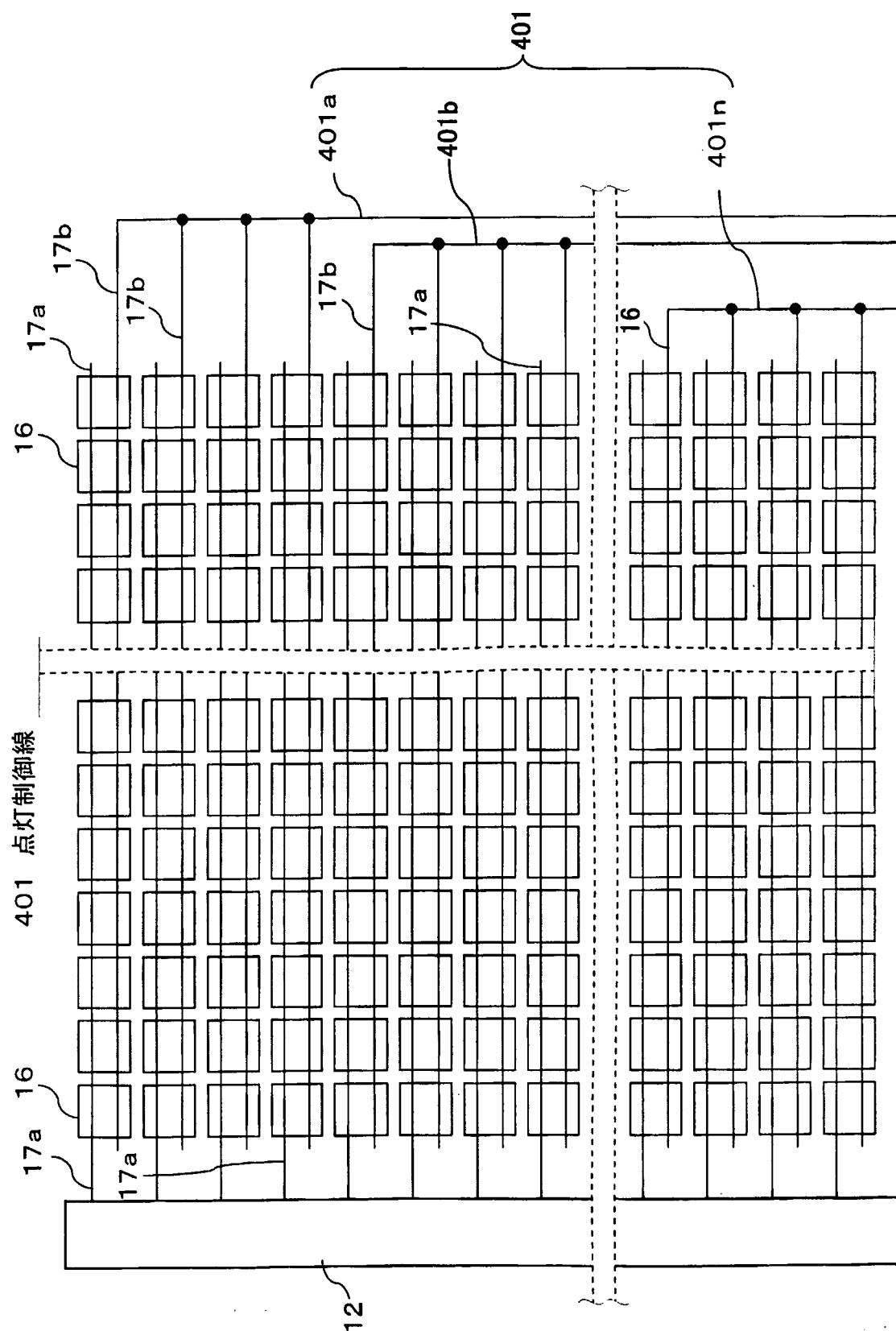
$$\frac{38}{117}$$


図 83 鋼

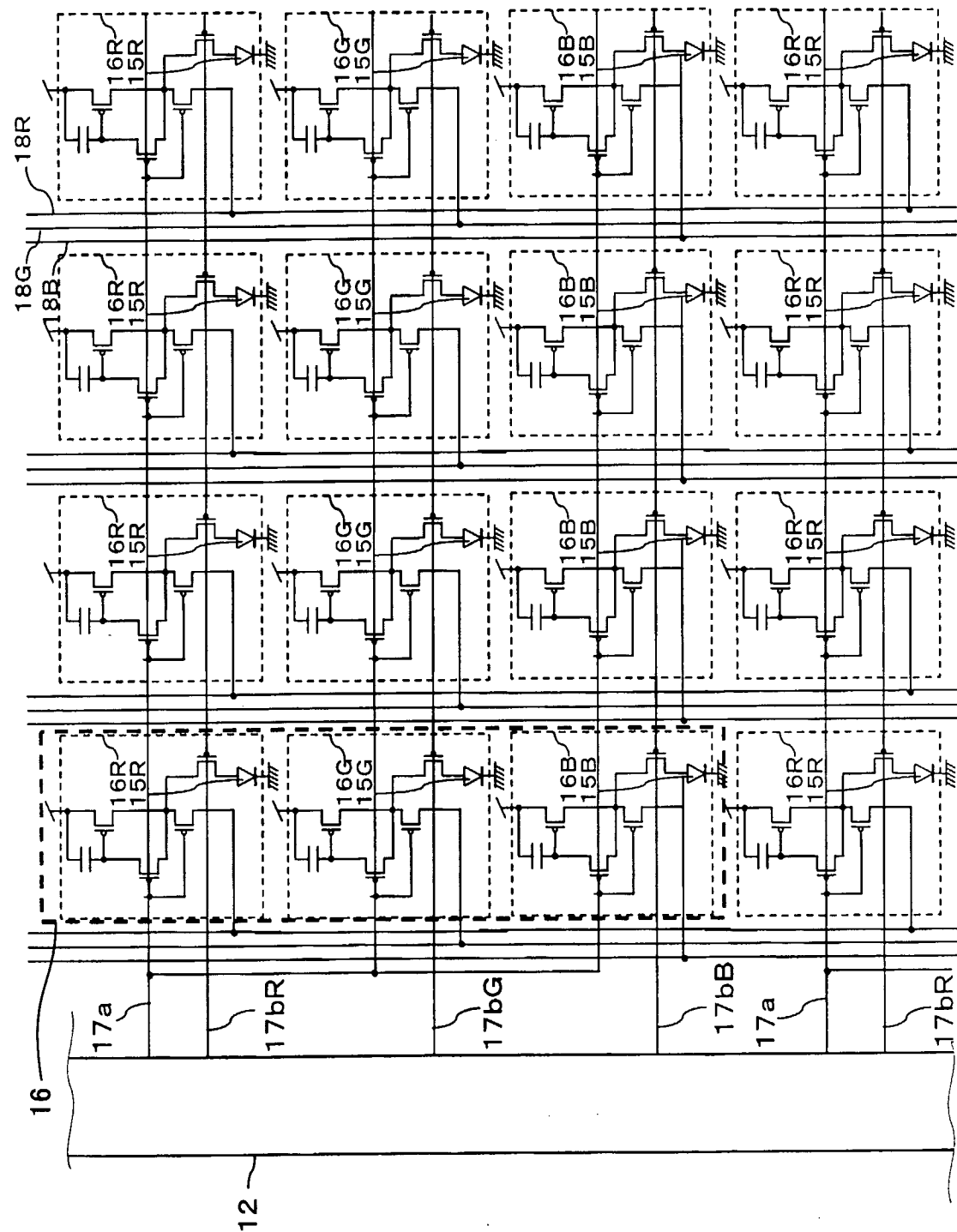


39 / 117

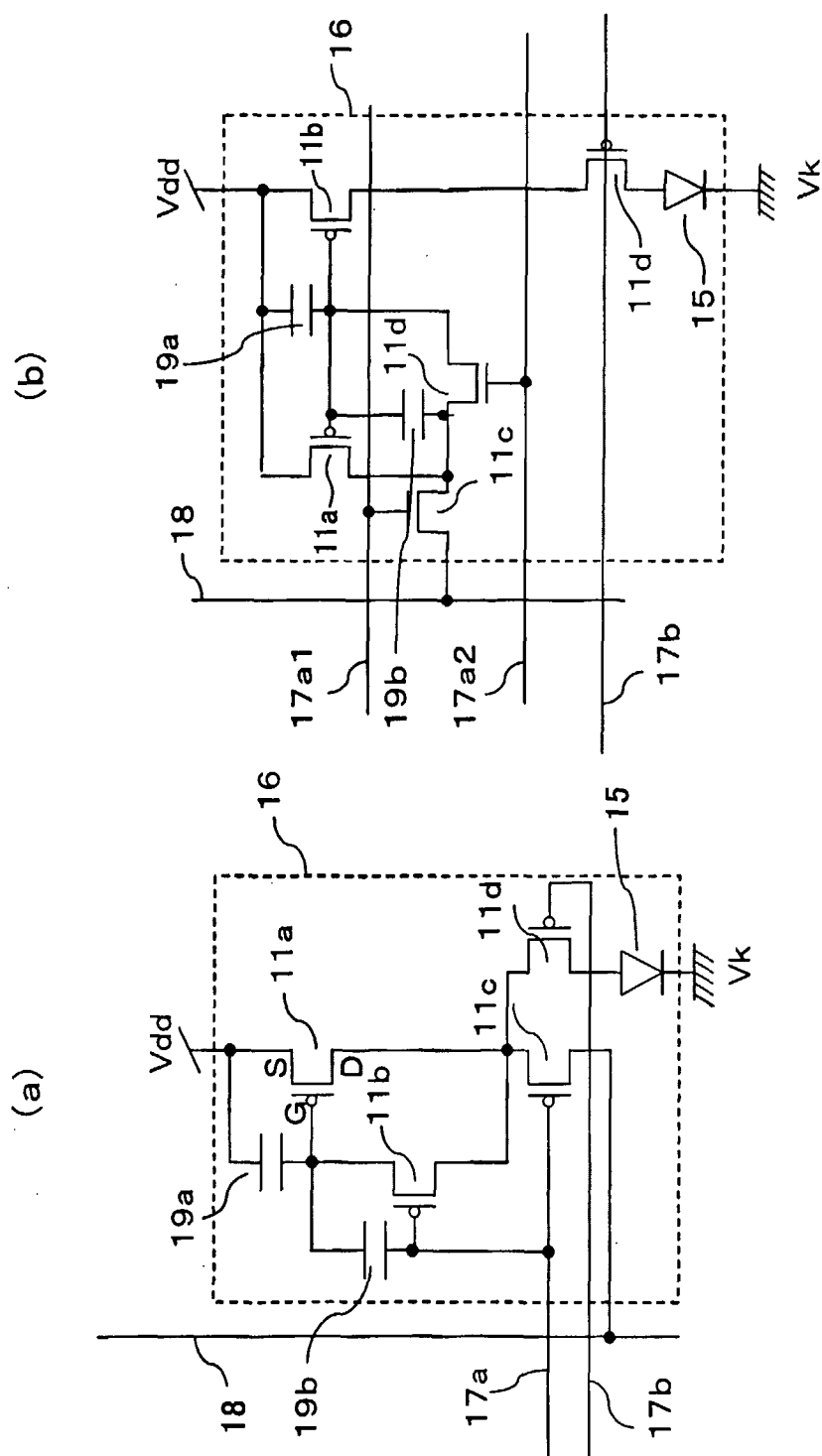
第39図

$$\frac{40}{117}$$


## 図 40 第



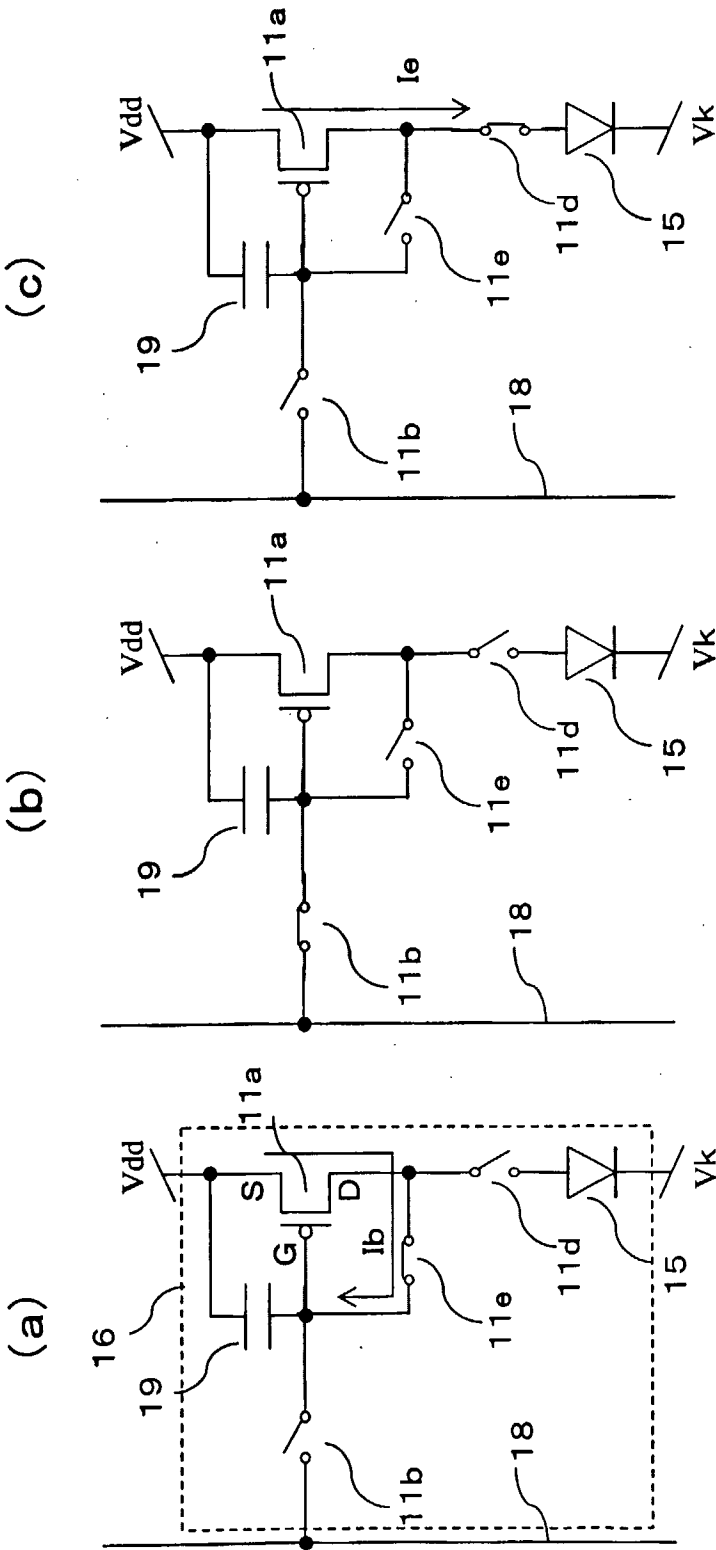
第41図



## 图 42 第

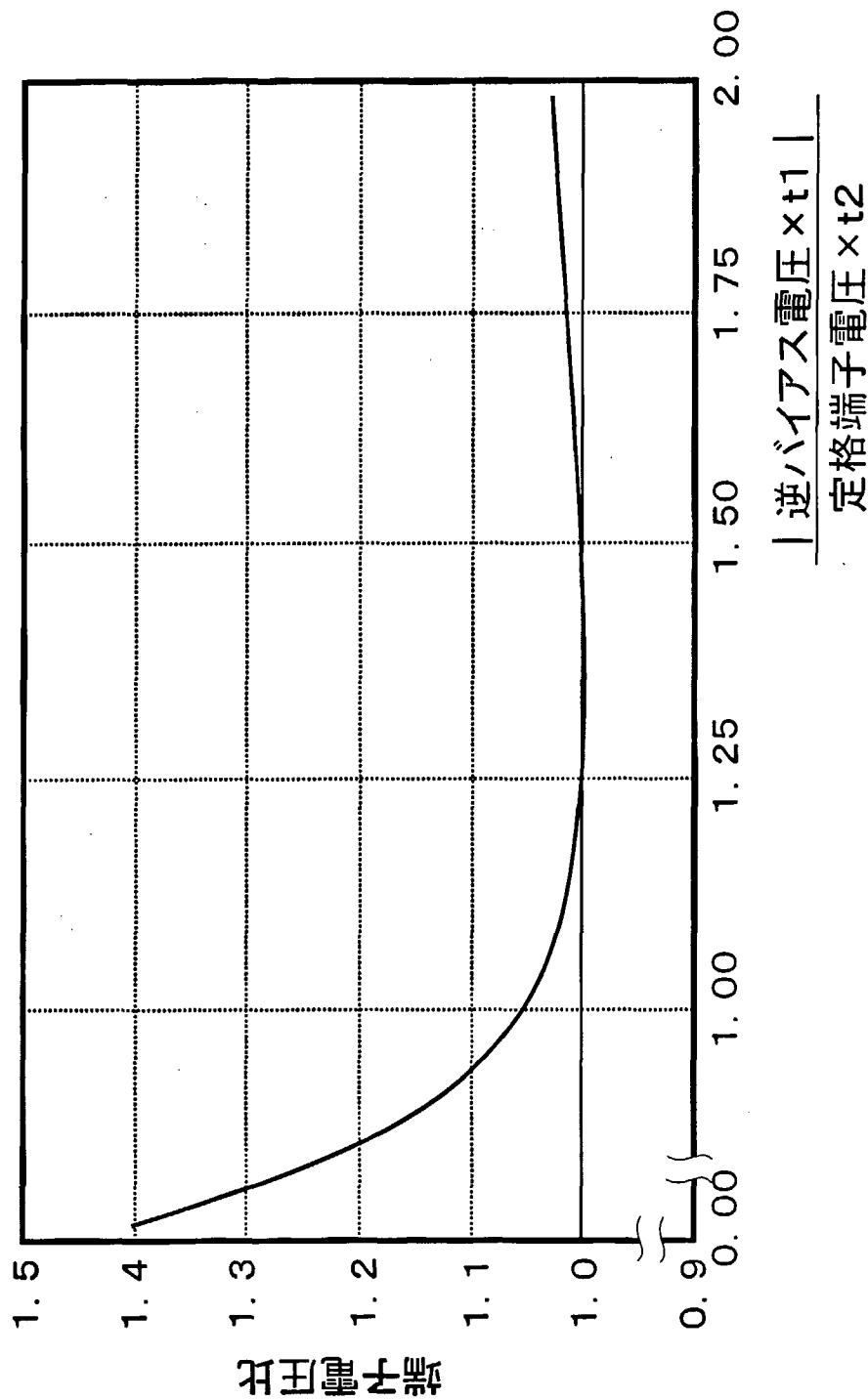






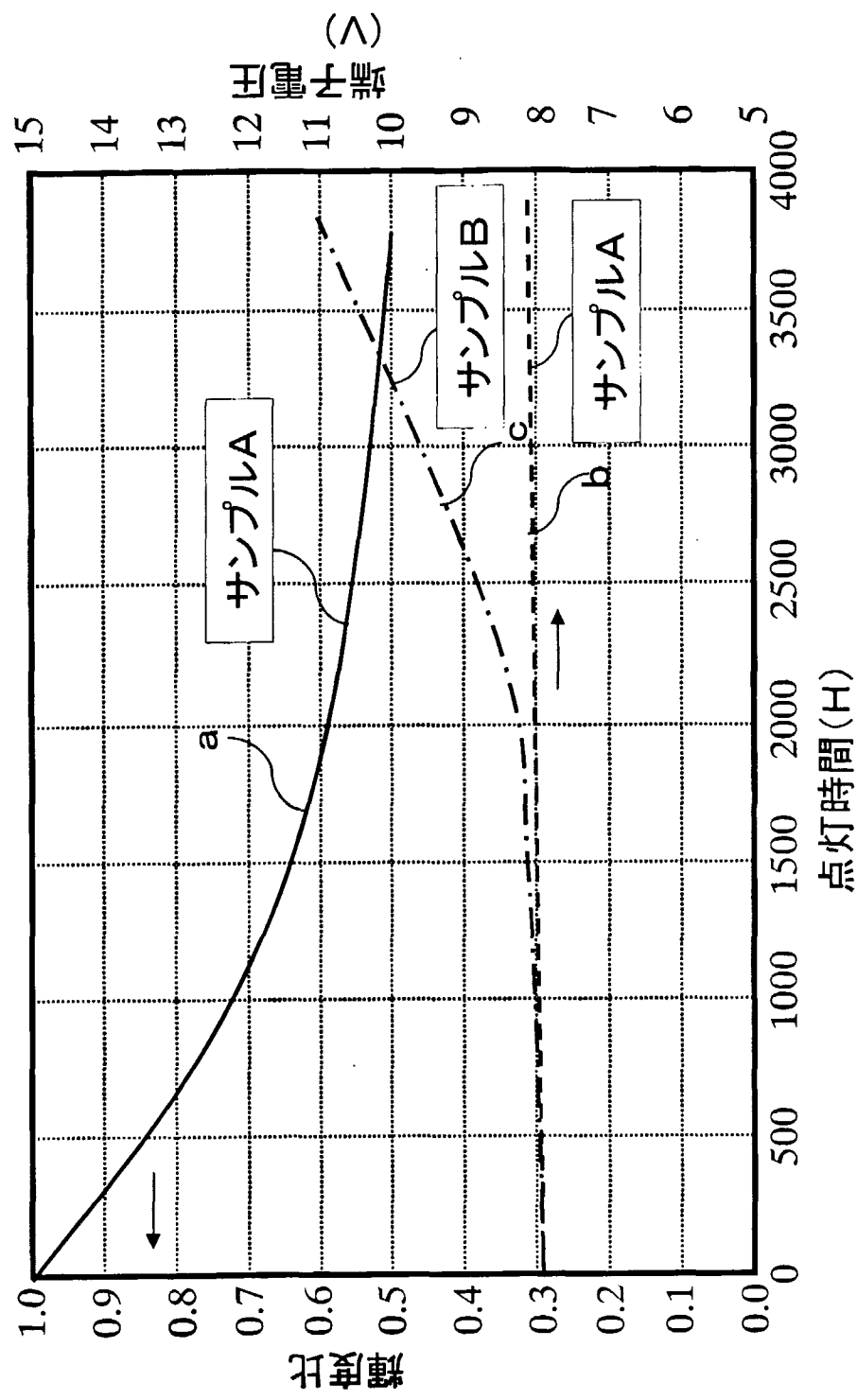
第44図

45 / 117



第45図

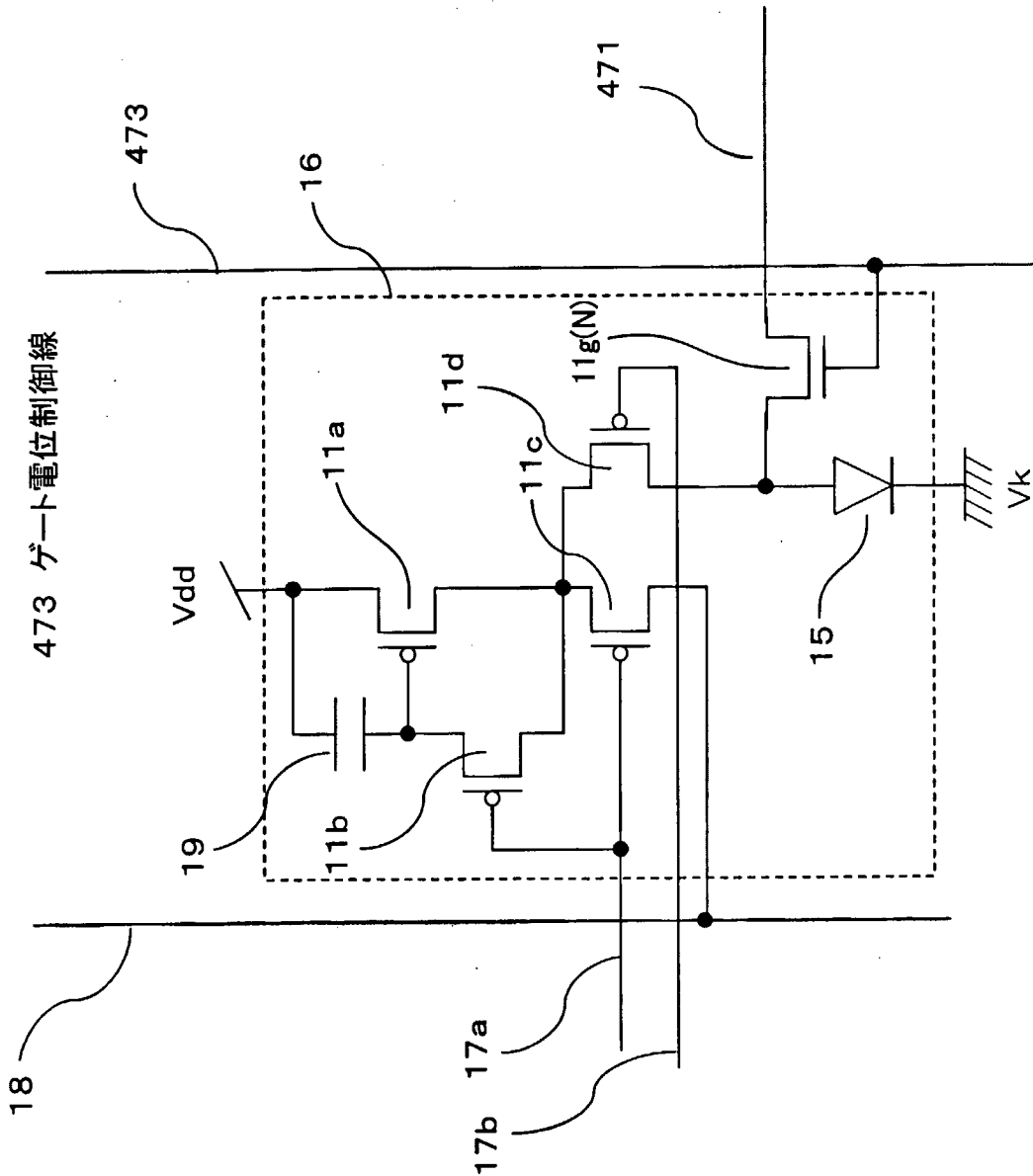
46 / 117



第46図

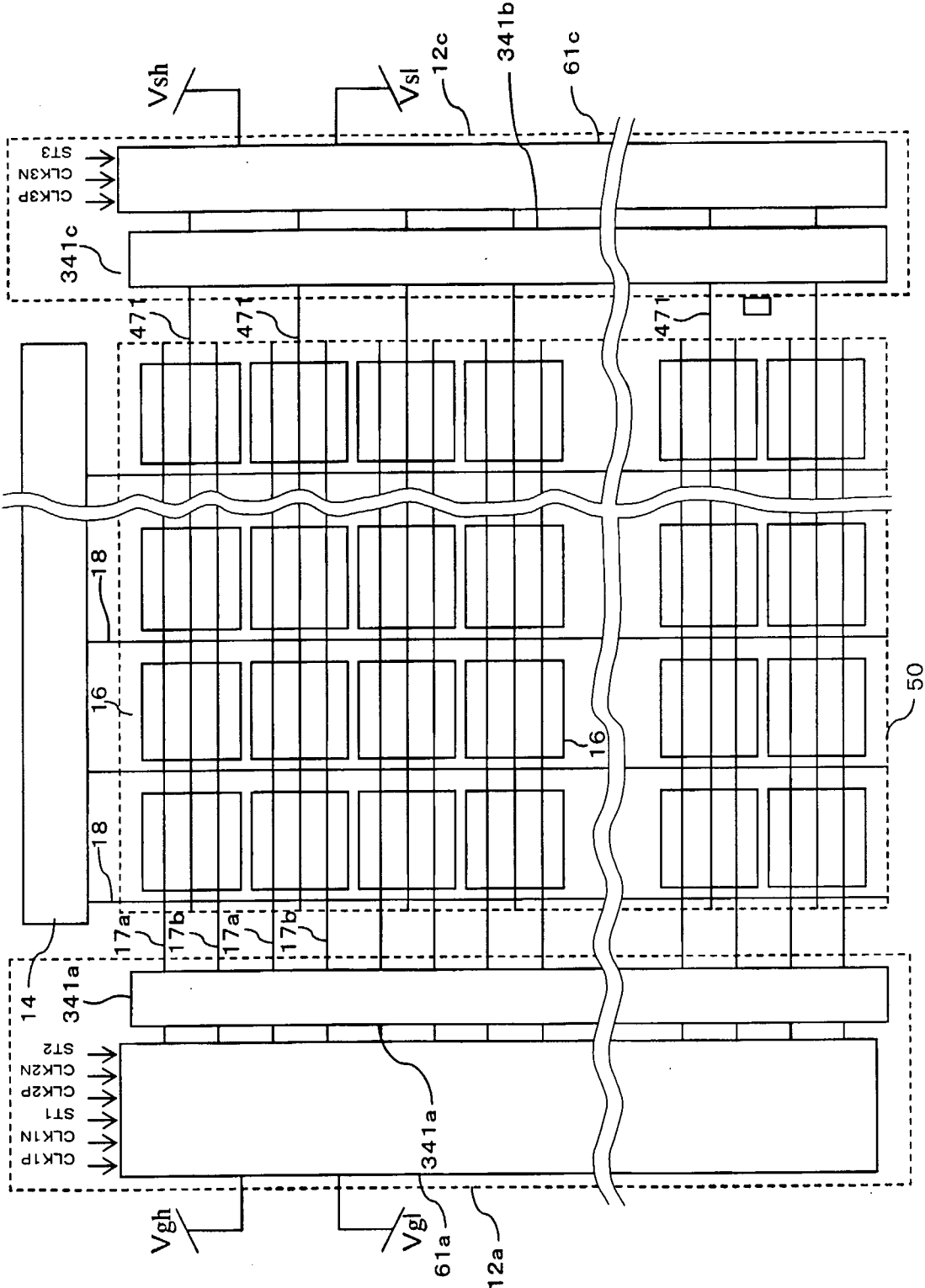
47 / 117

471 逆バイアス線  
473 ゲート電位制御線

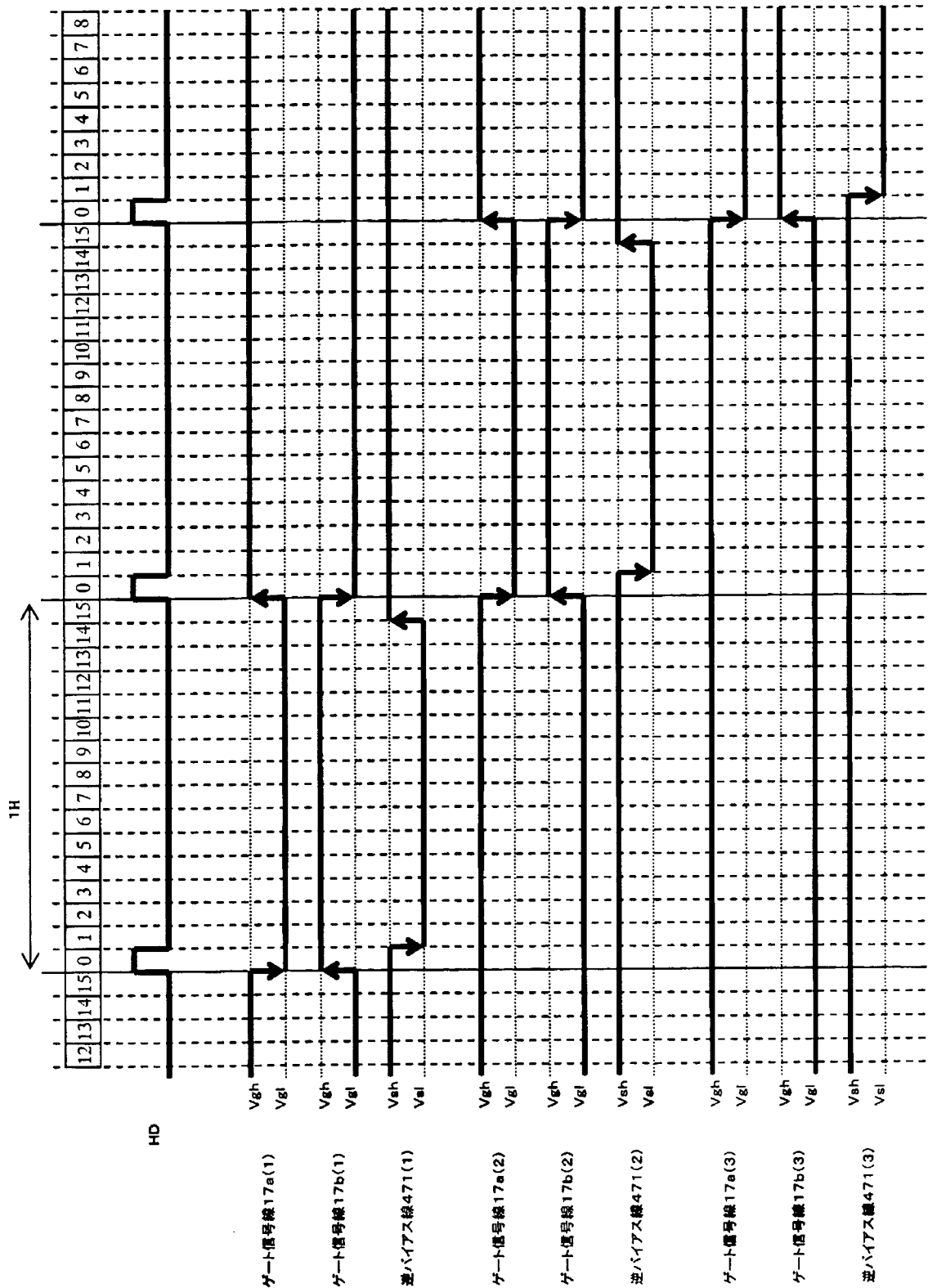


第47図

48 / 117

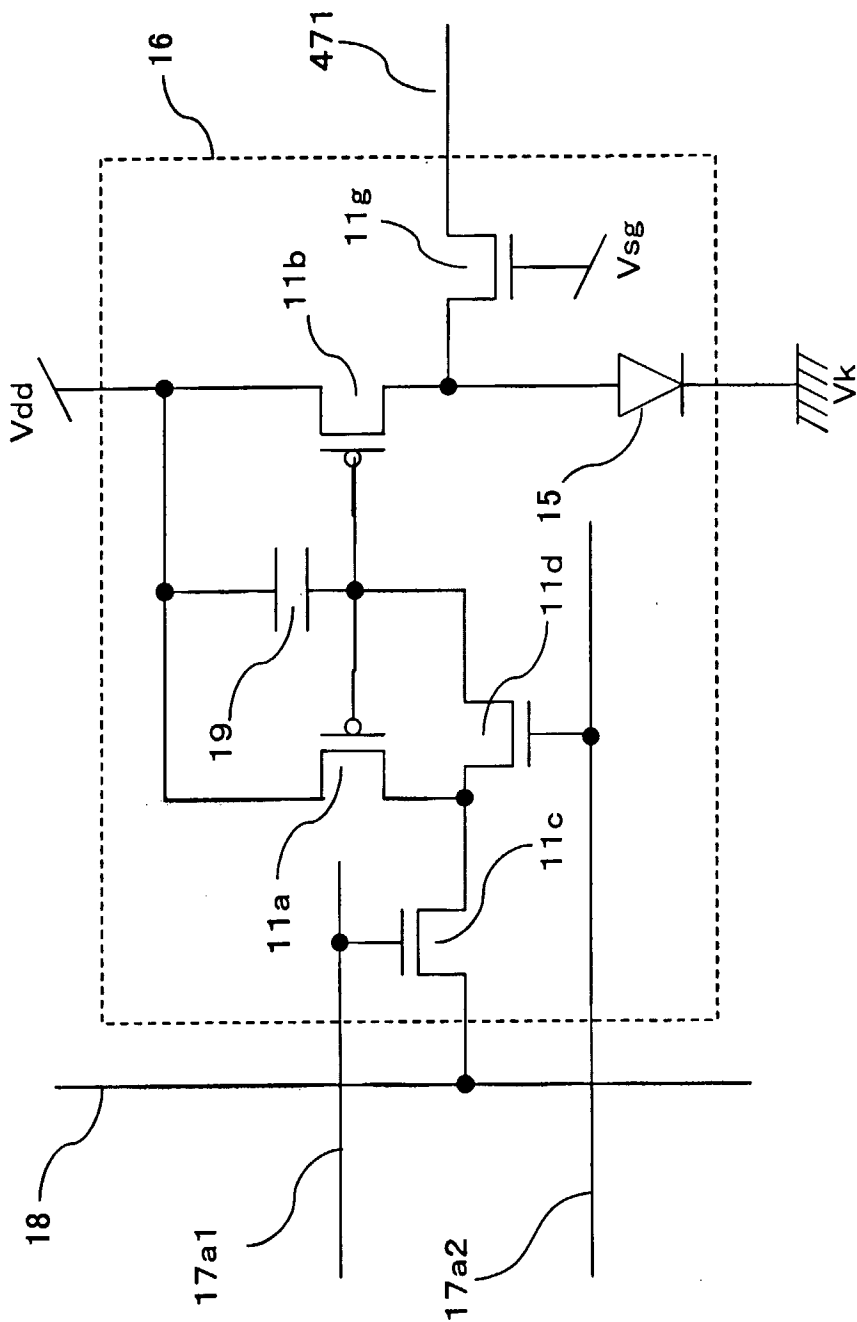


第48図

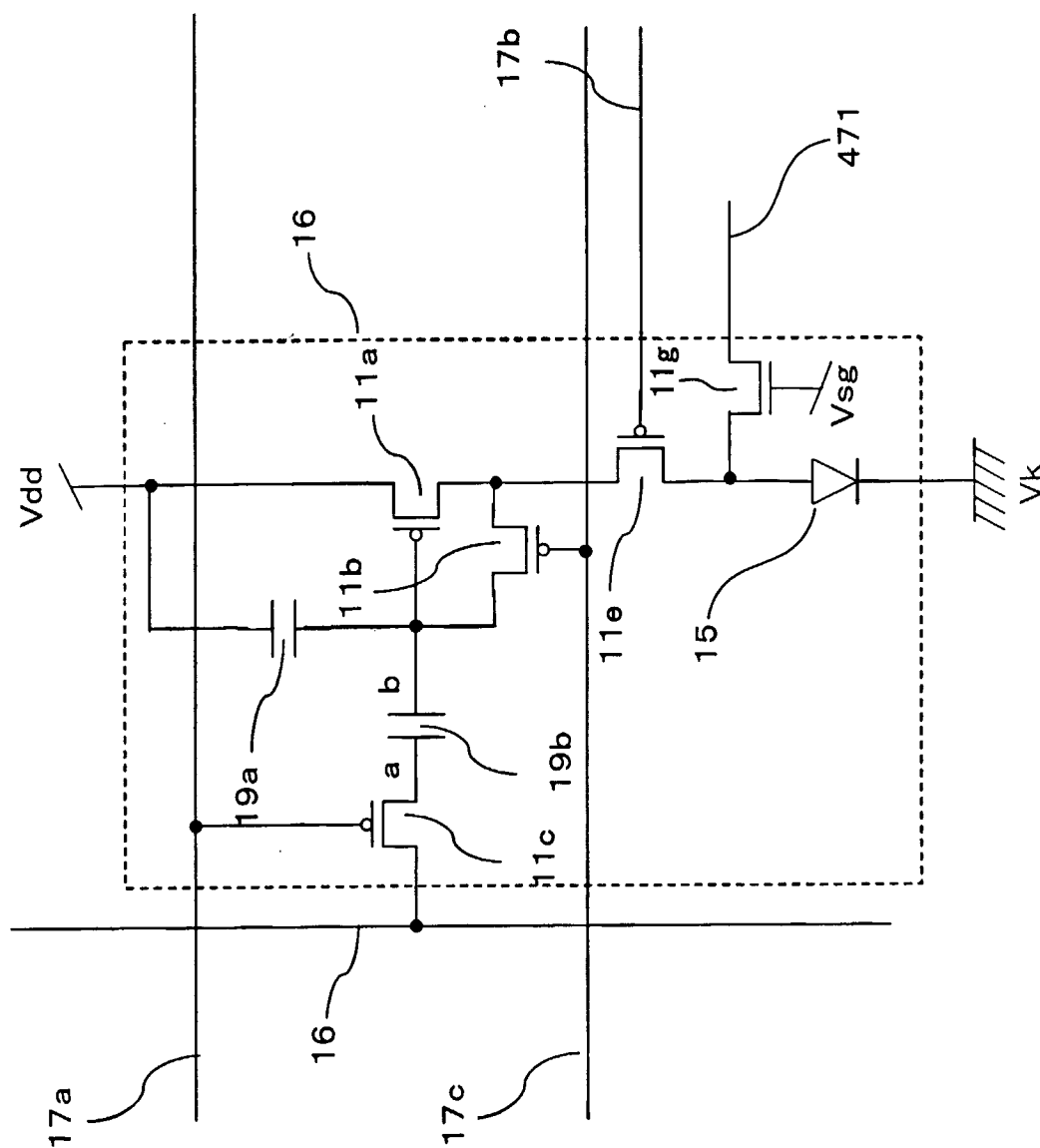


第49図

50  
117

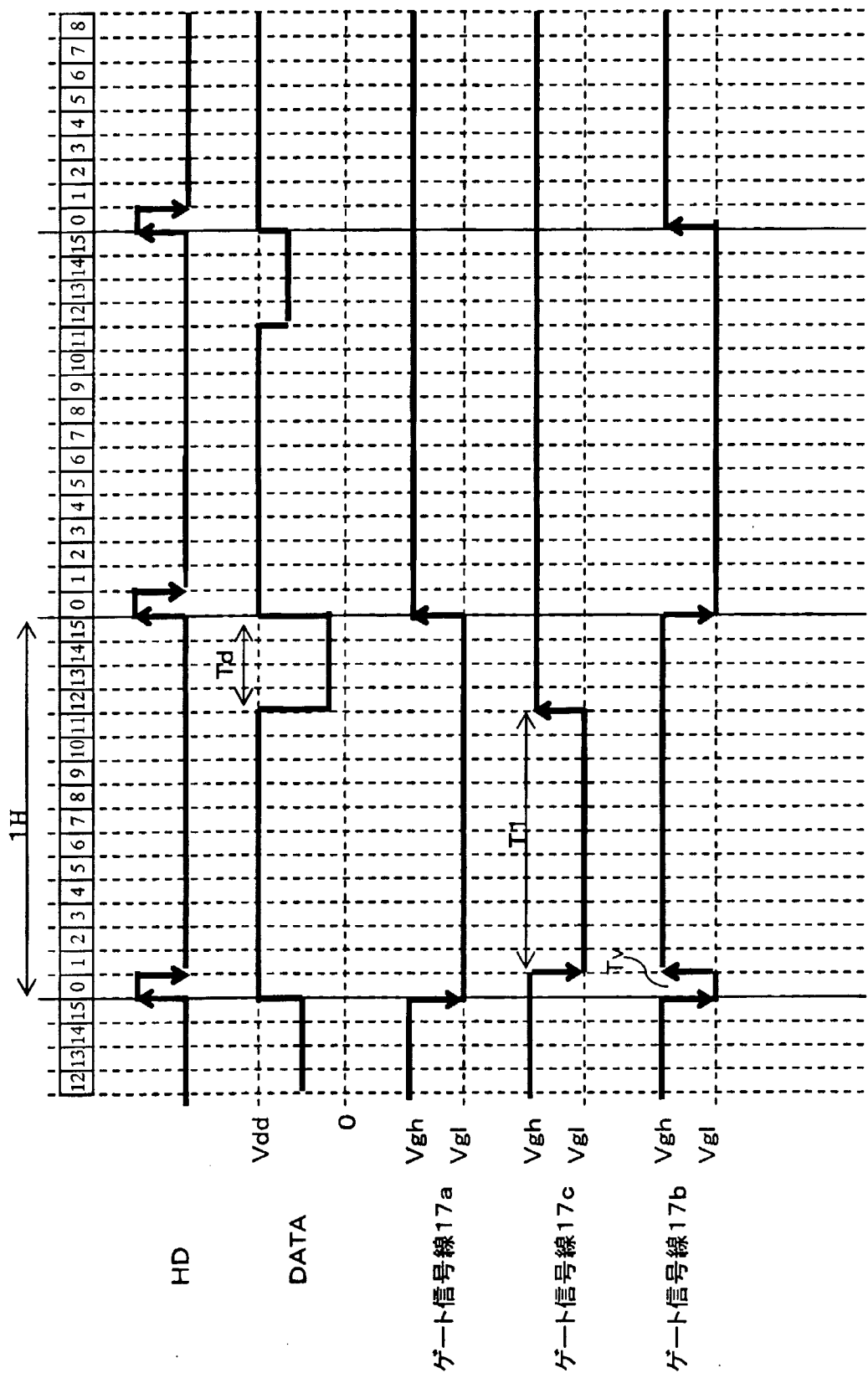


第50図

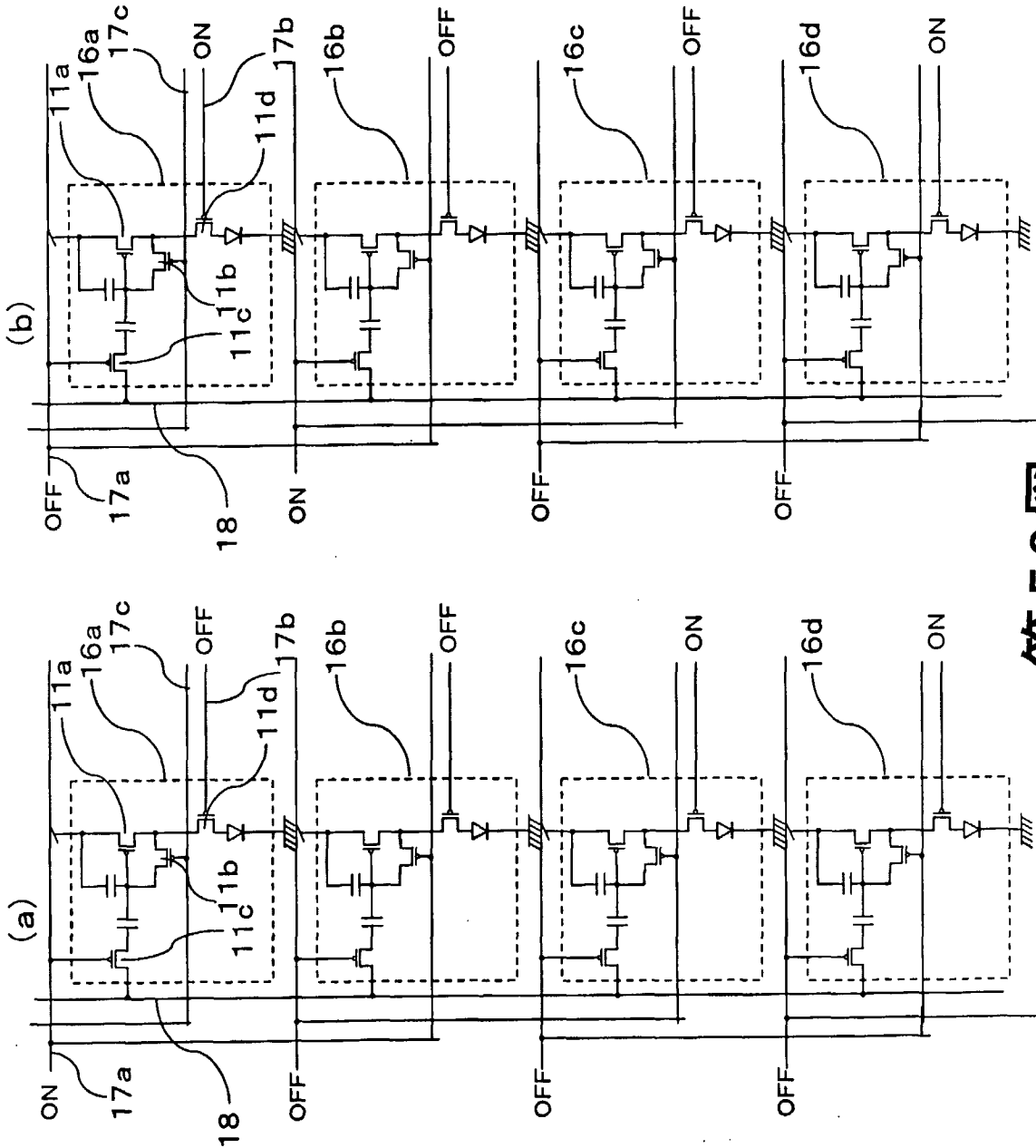


# 図 51 架



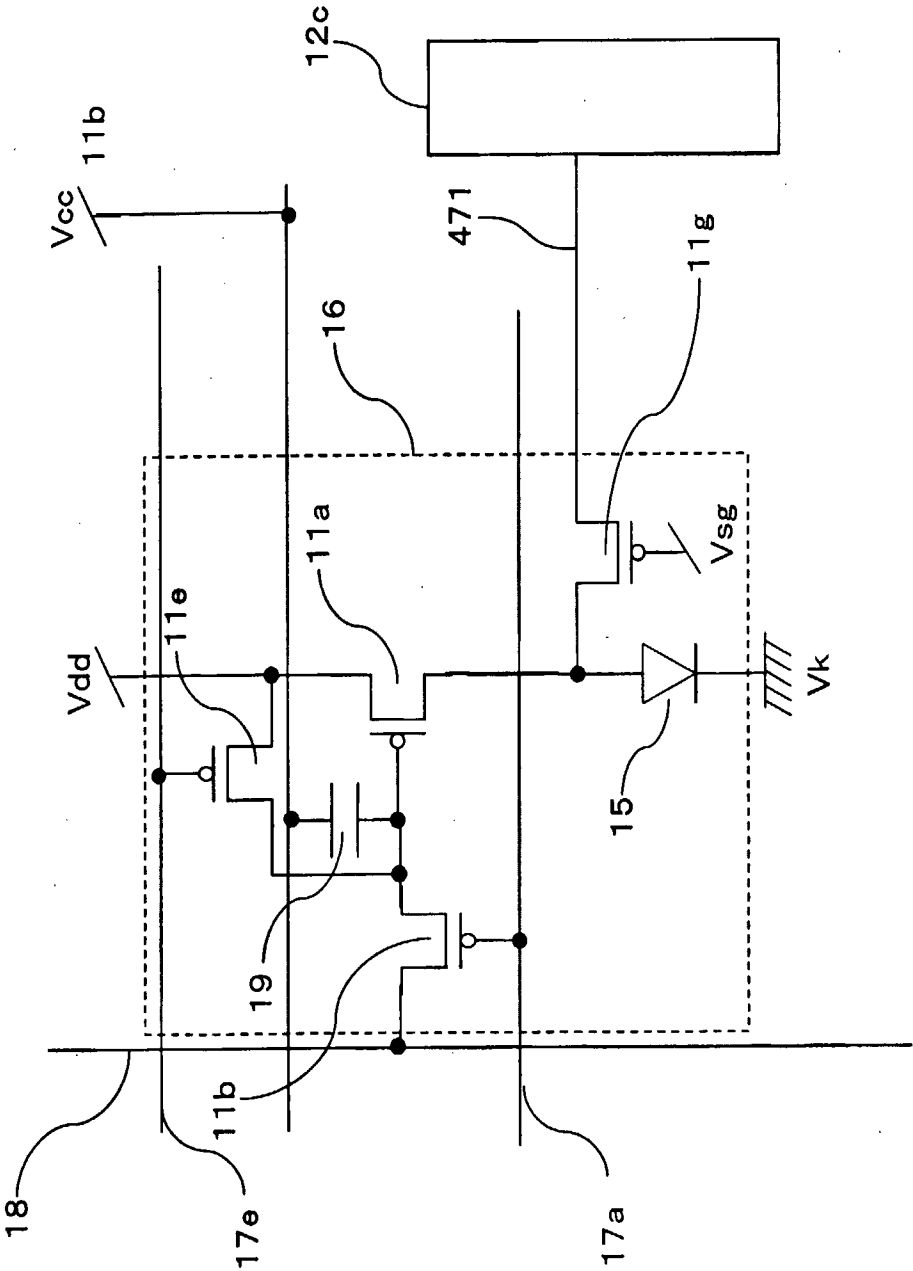


第52図



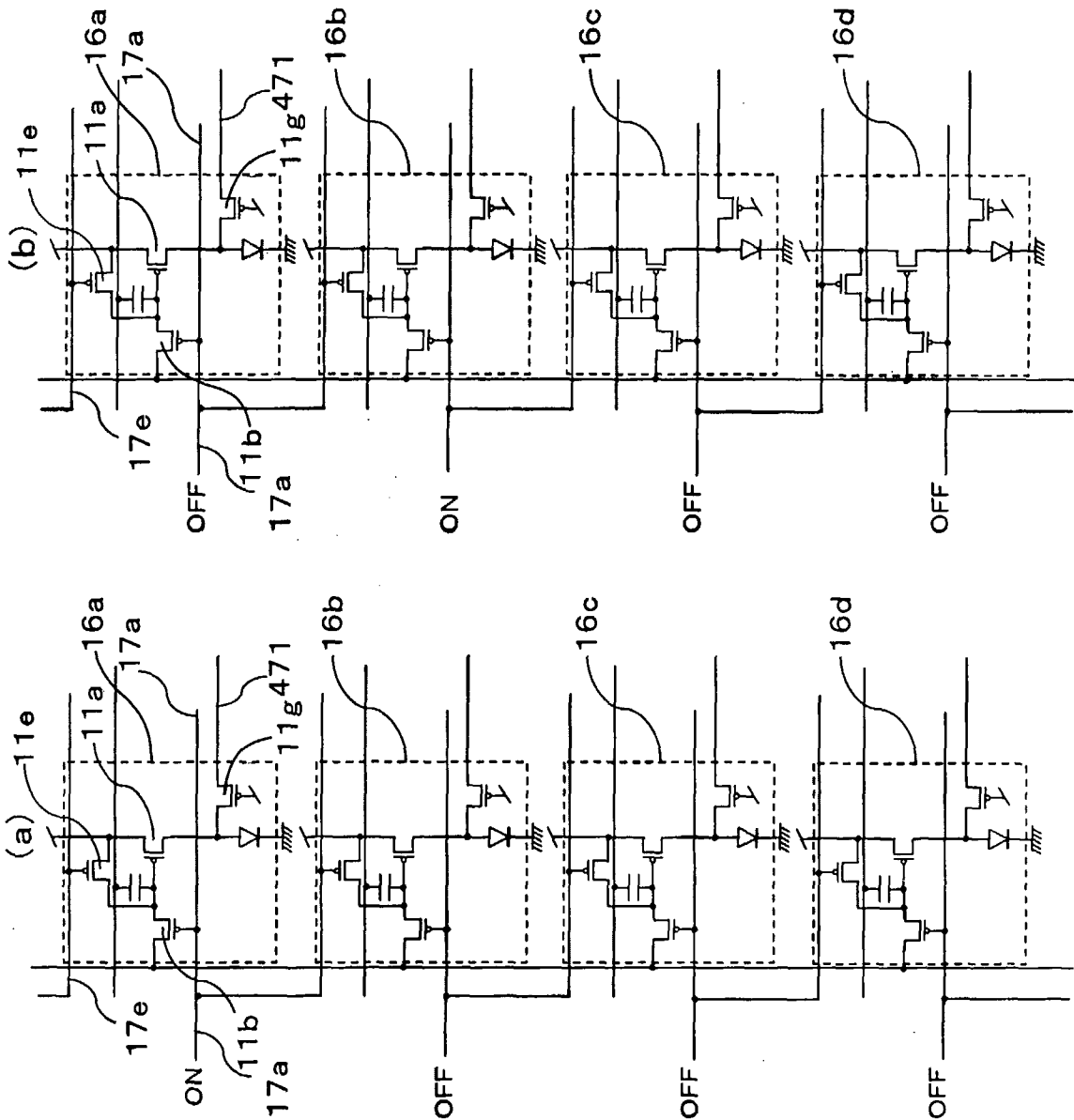
第53図

54 / 117



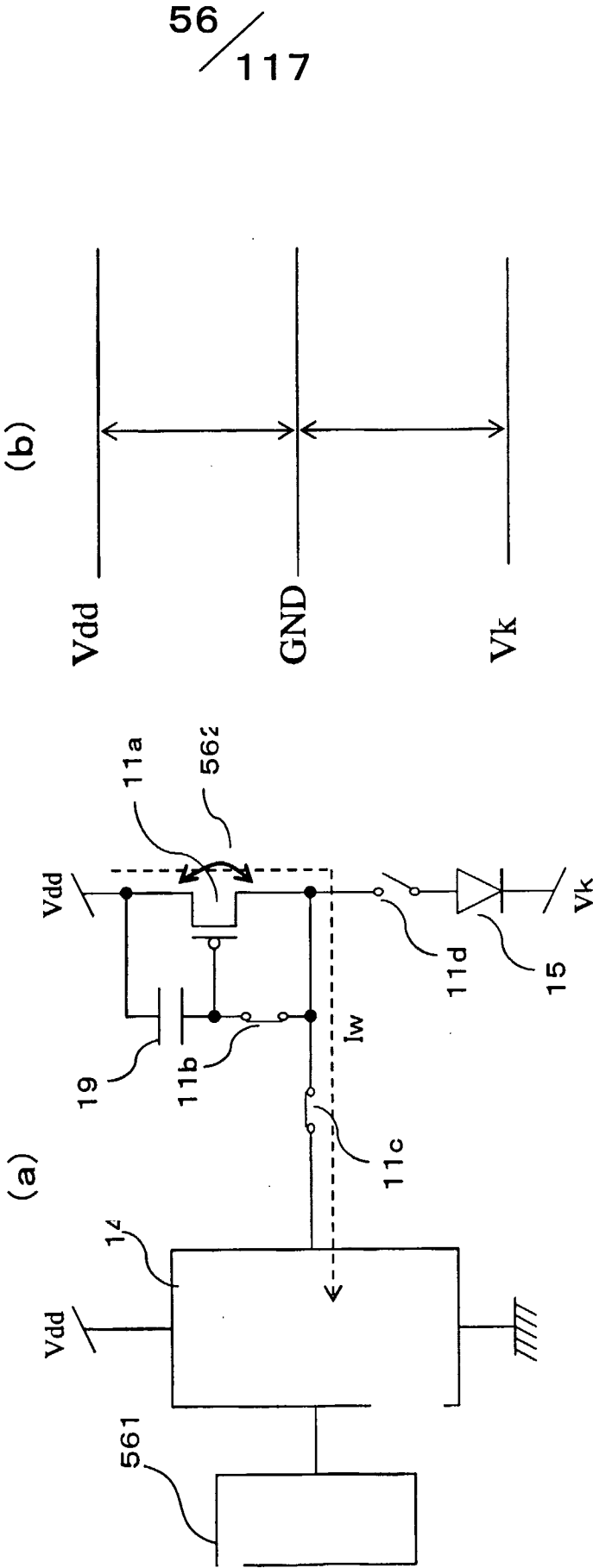
第54図

55 / 117



第55図

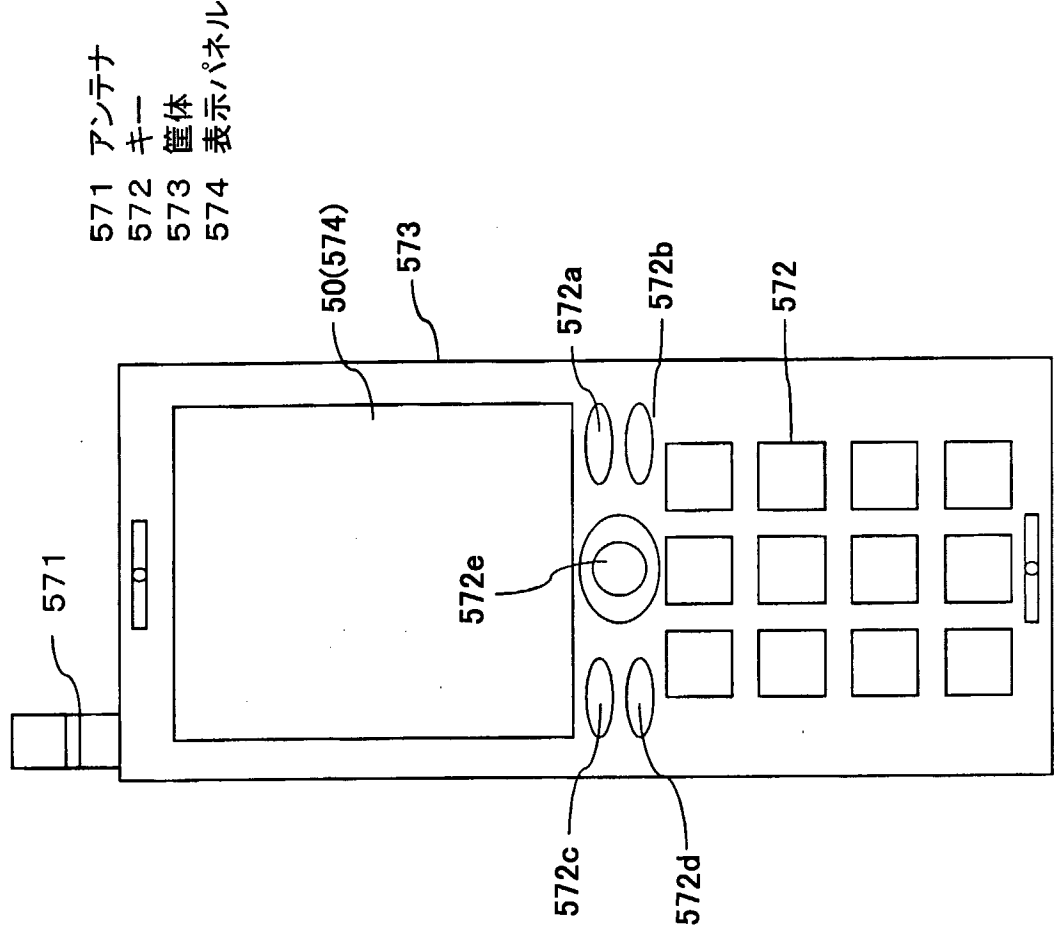
561 電子ポリウム回路  
562 TFTのSD(ソースードレイン)シヨート



第56図

56 / 117

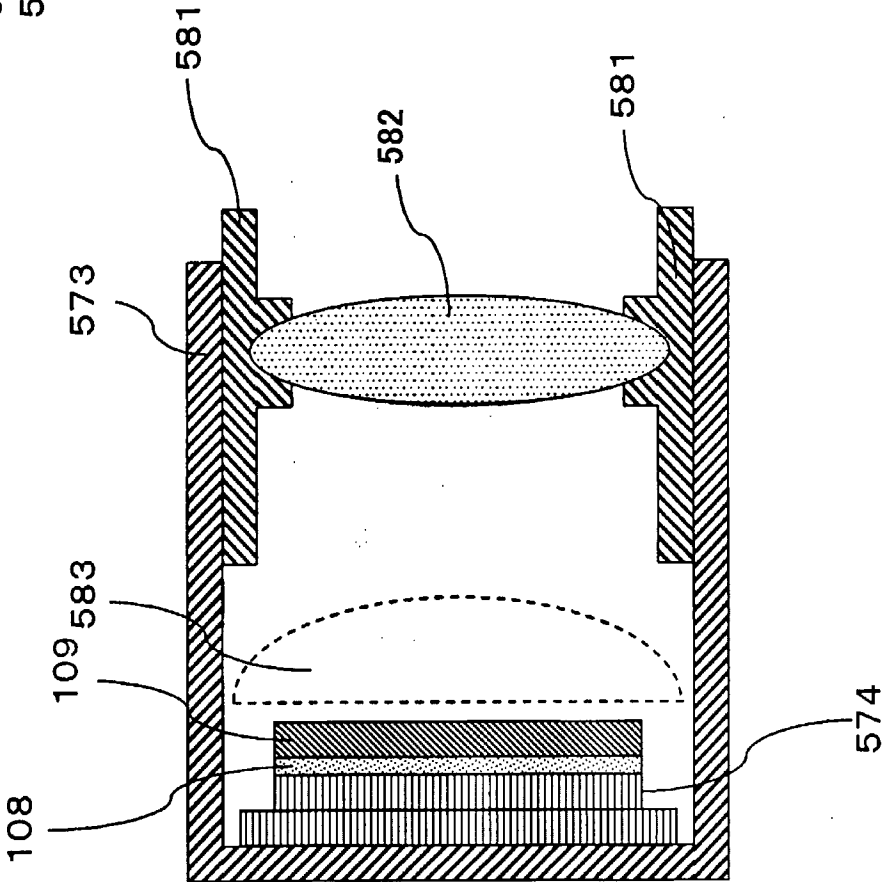
57 / 117



第57図

58 / 117

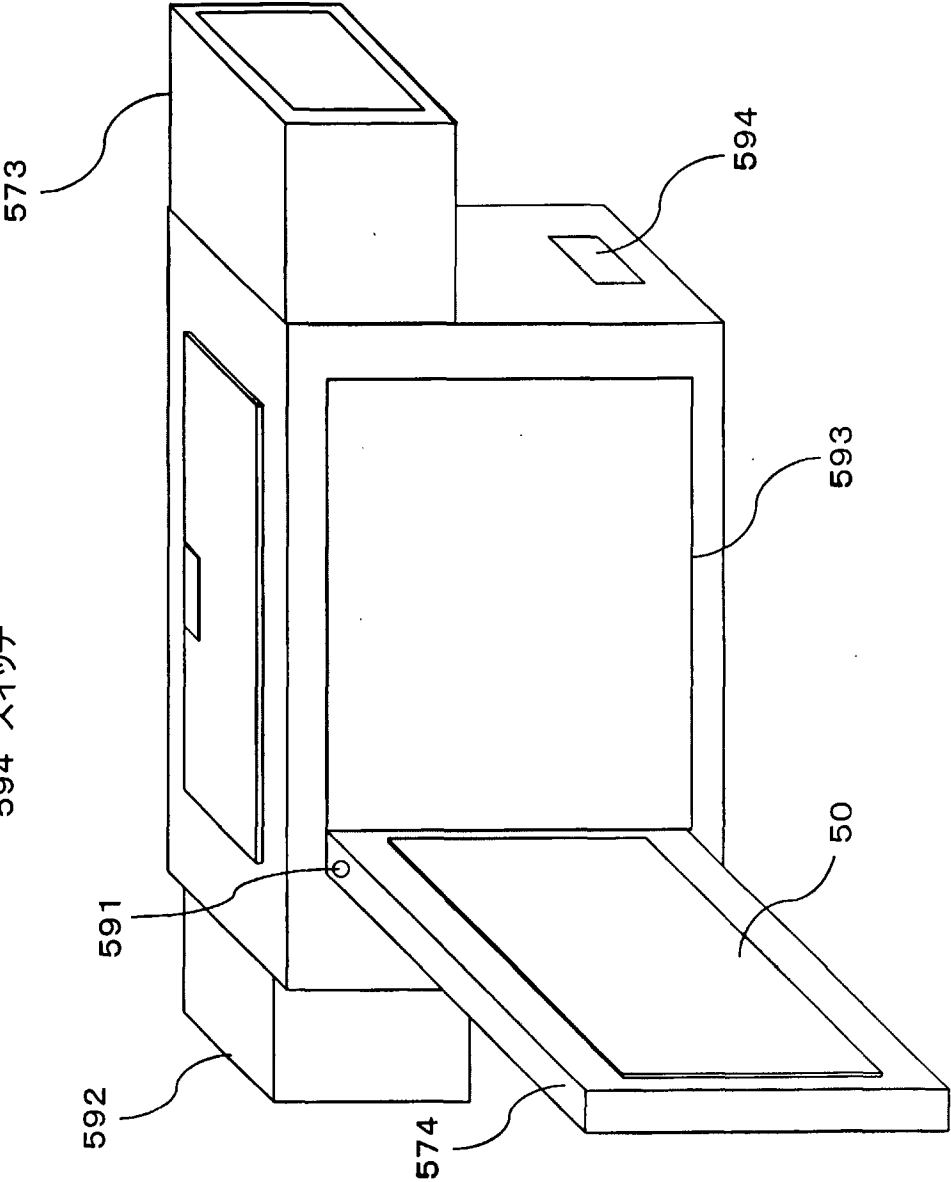
581 接眼リング  
582 拡大レンズ  
583 凸レンズ



第58図

59 / 117

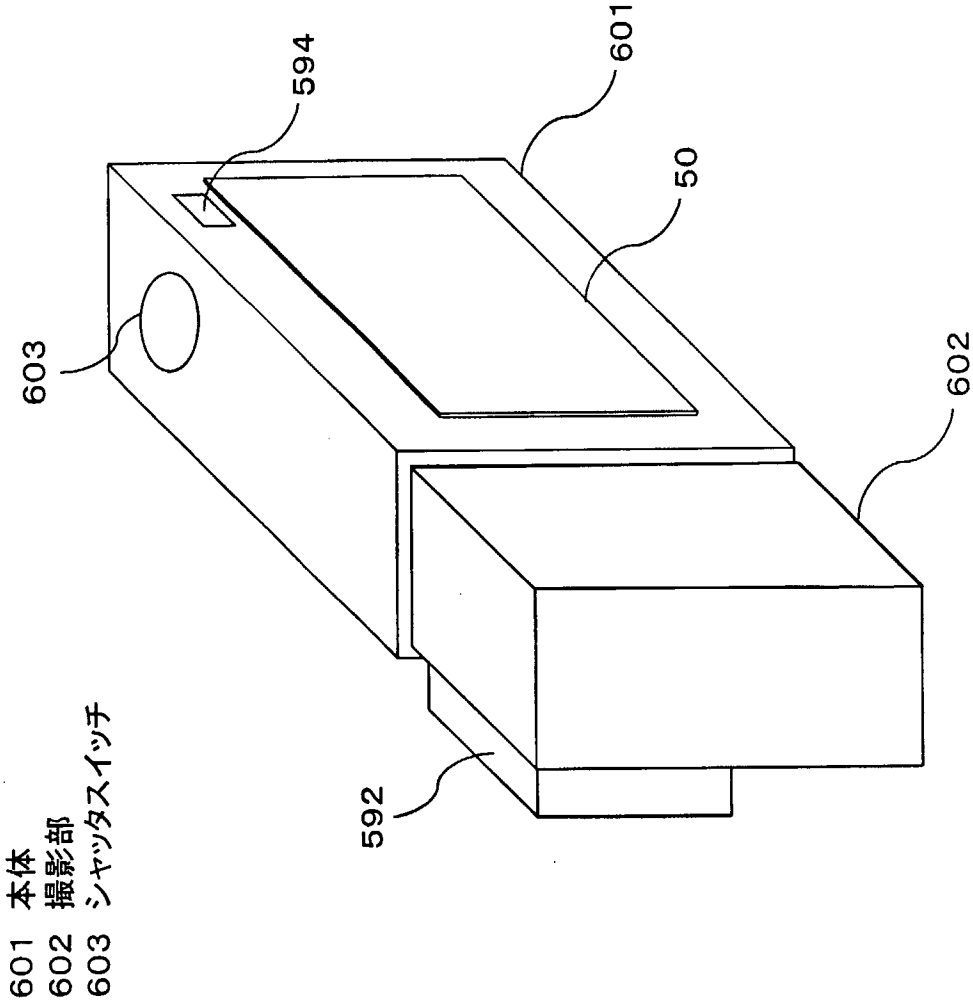
591 支点  
592 撮影レンズ  
593 格納部  
594 スイッチ



第59図

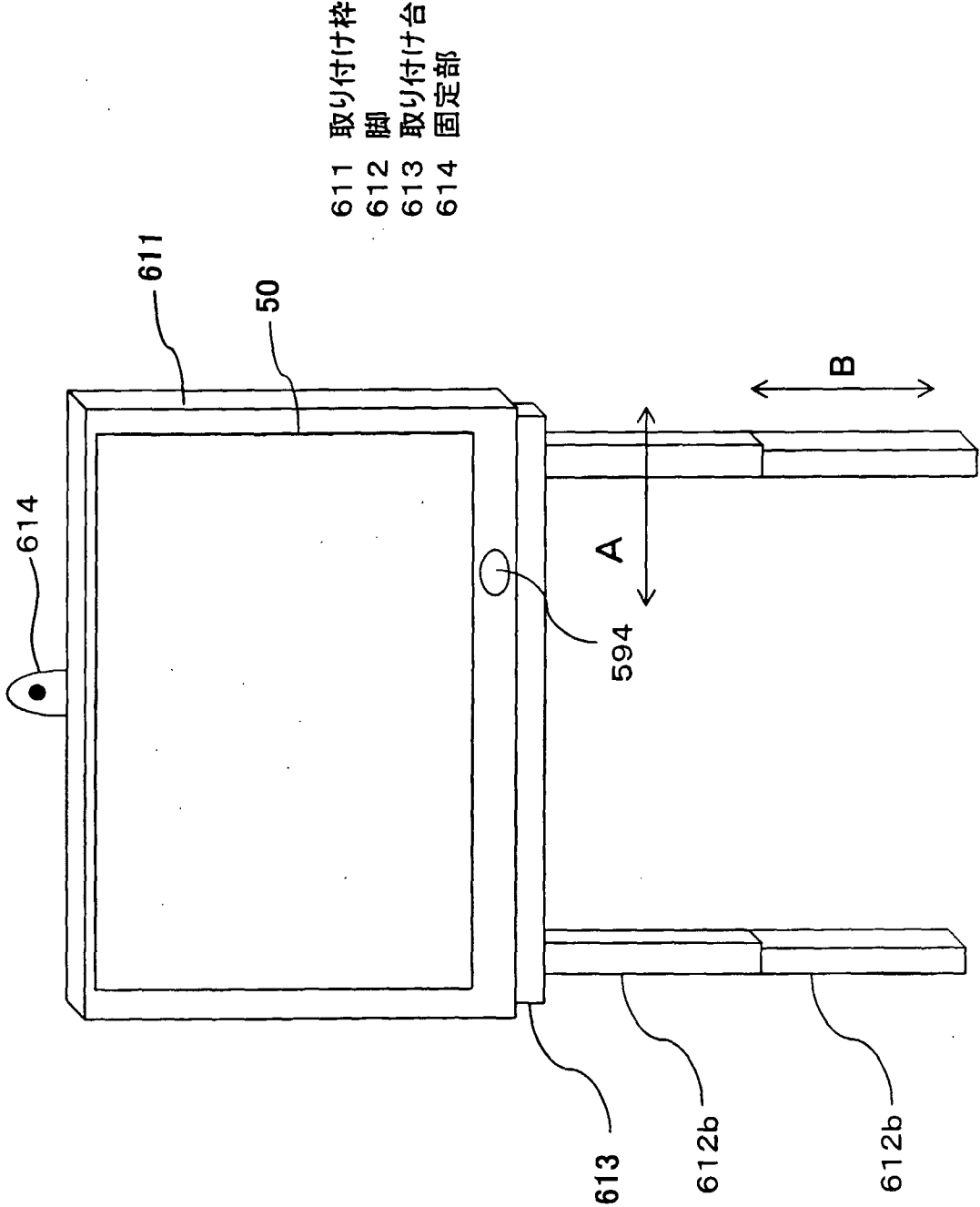


60 / 117



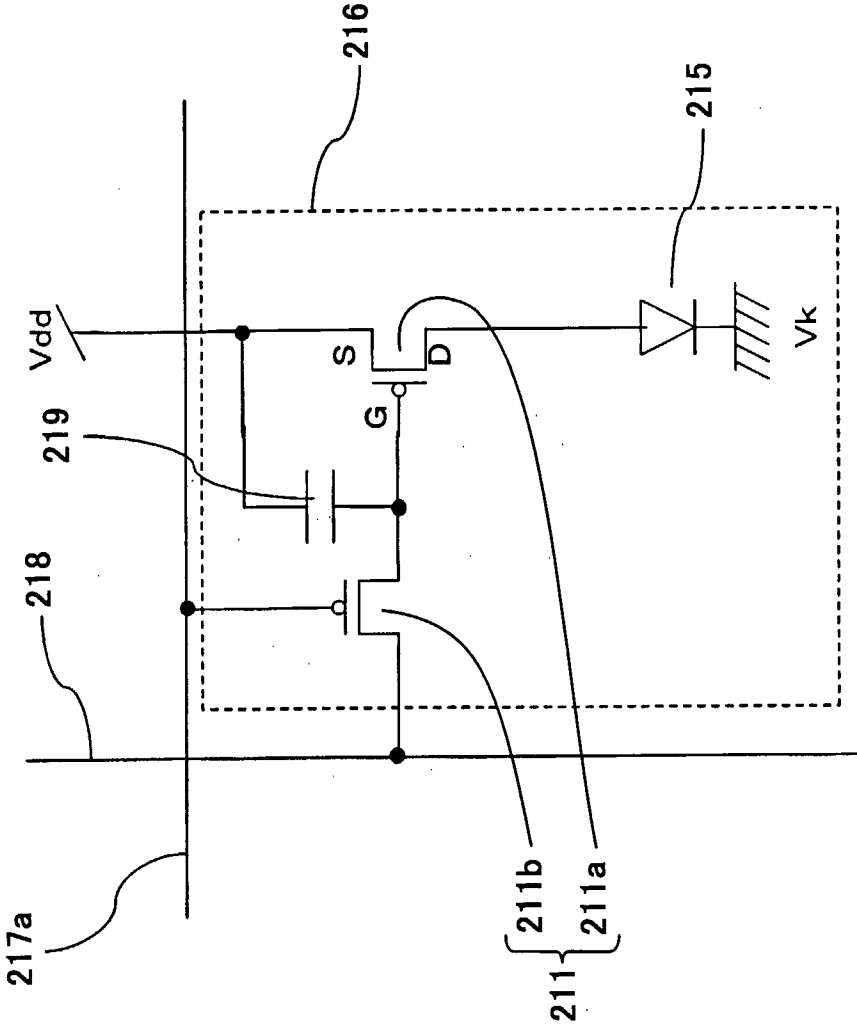
第60図

61 / 117

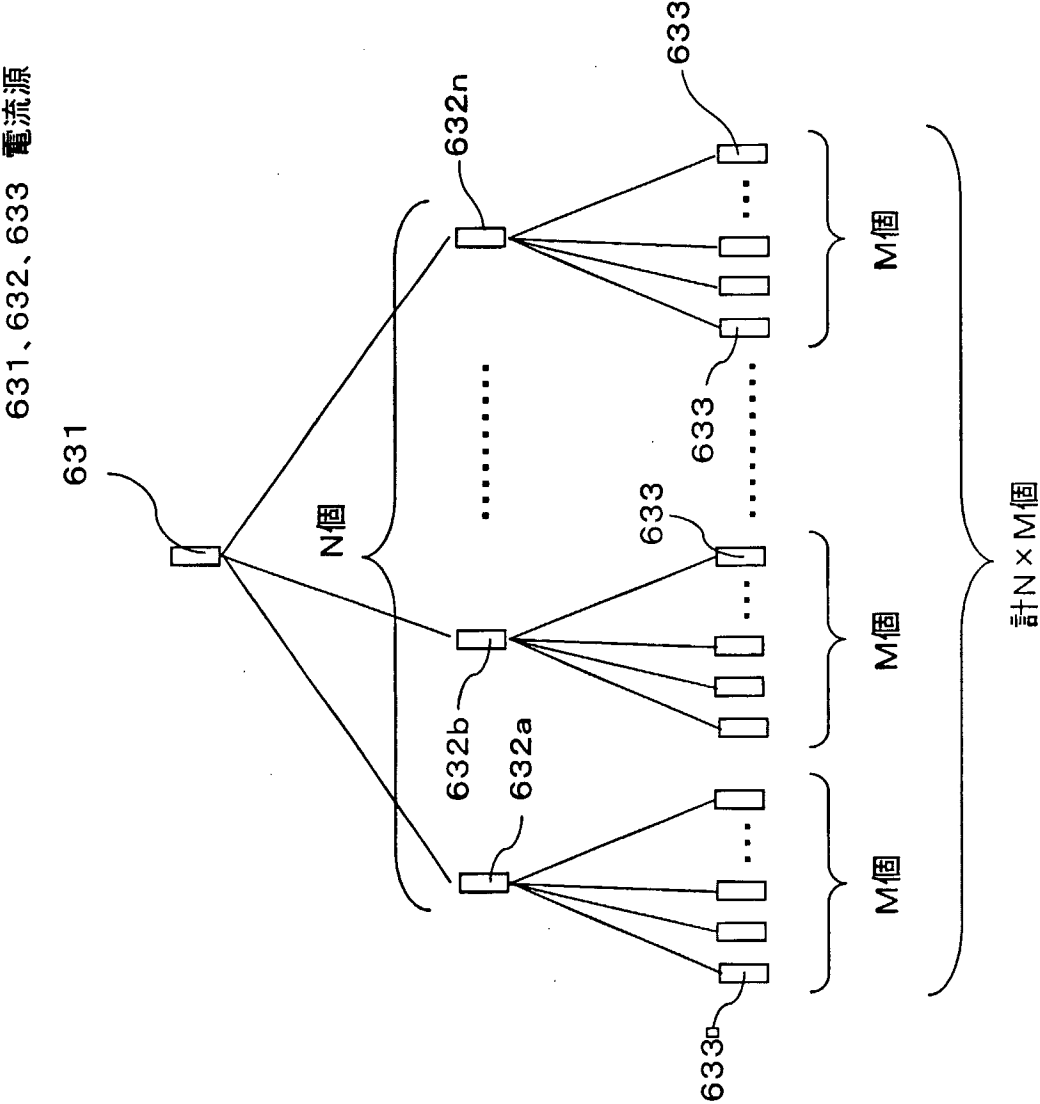


第61図

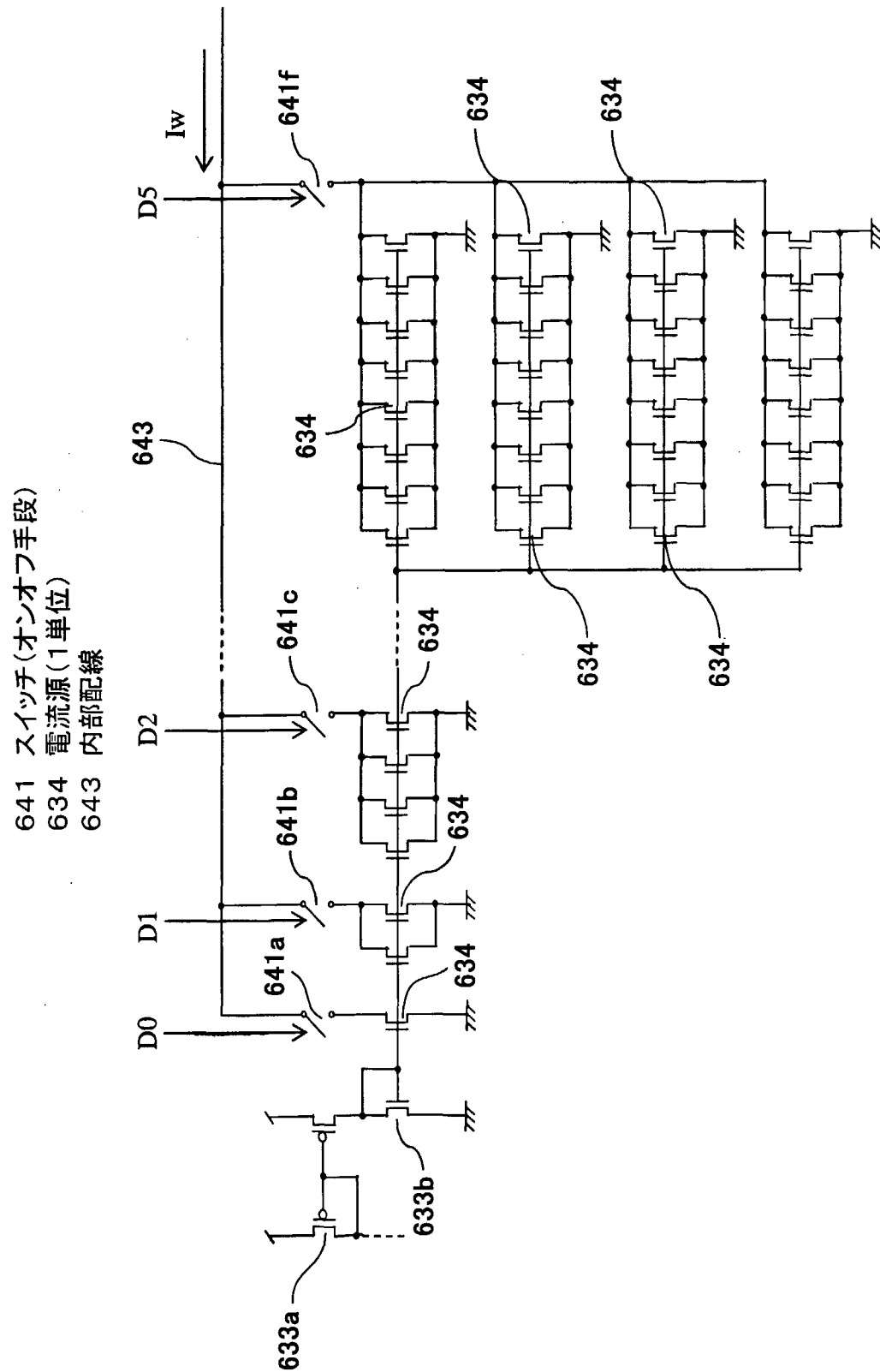
62 / 117



第62図

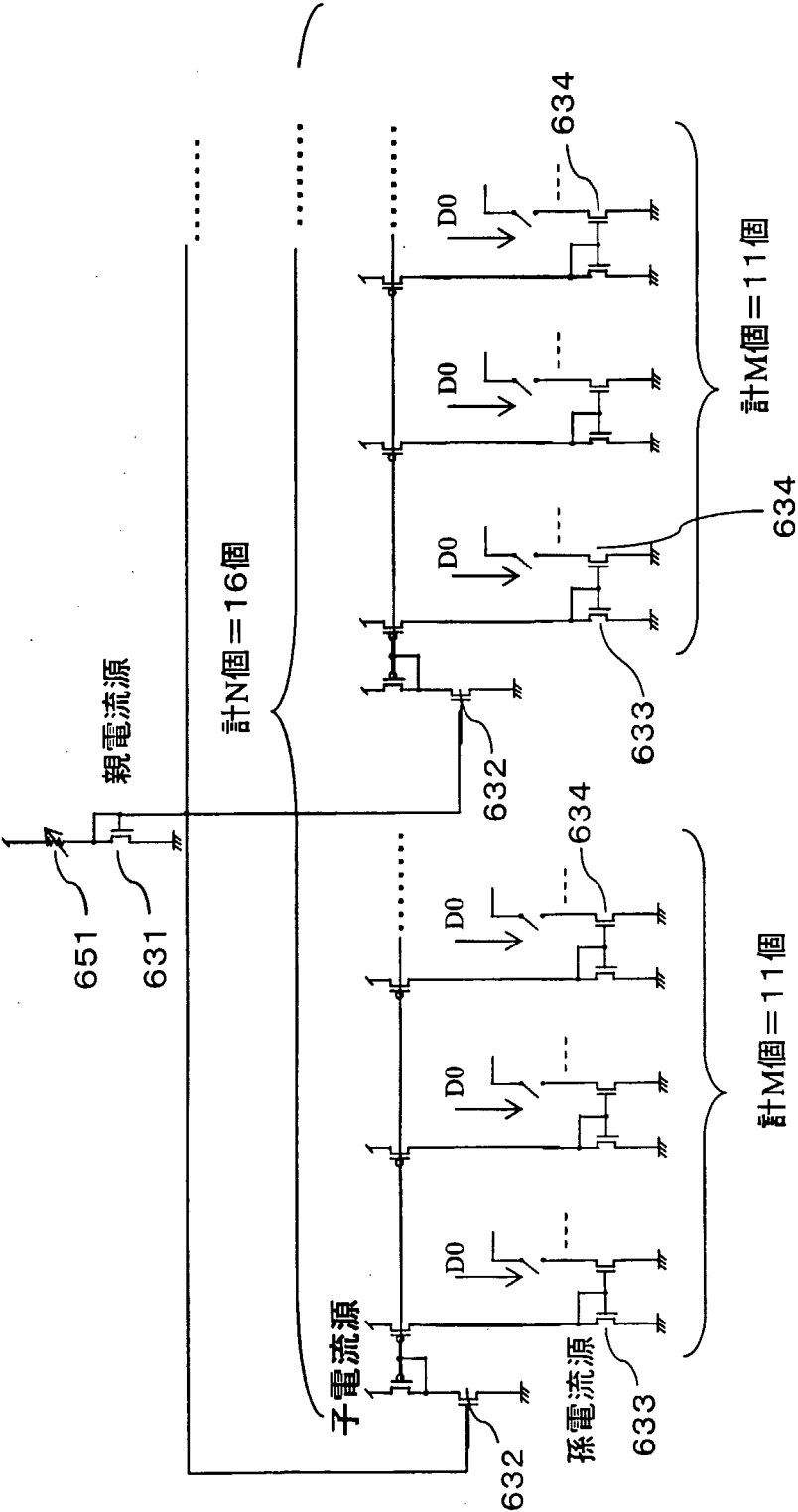


第63図

$$\frac{64}{117}$$


## 第 4 図

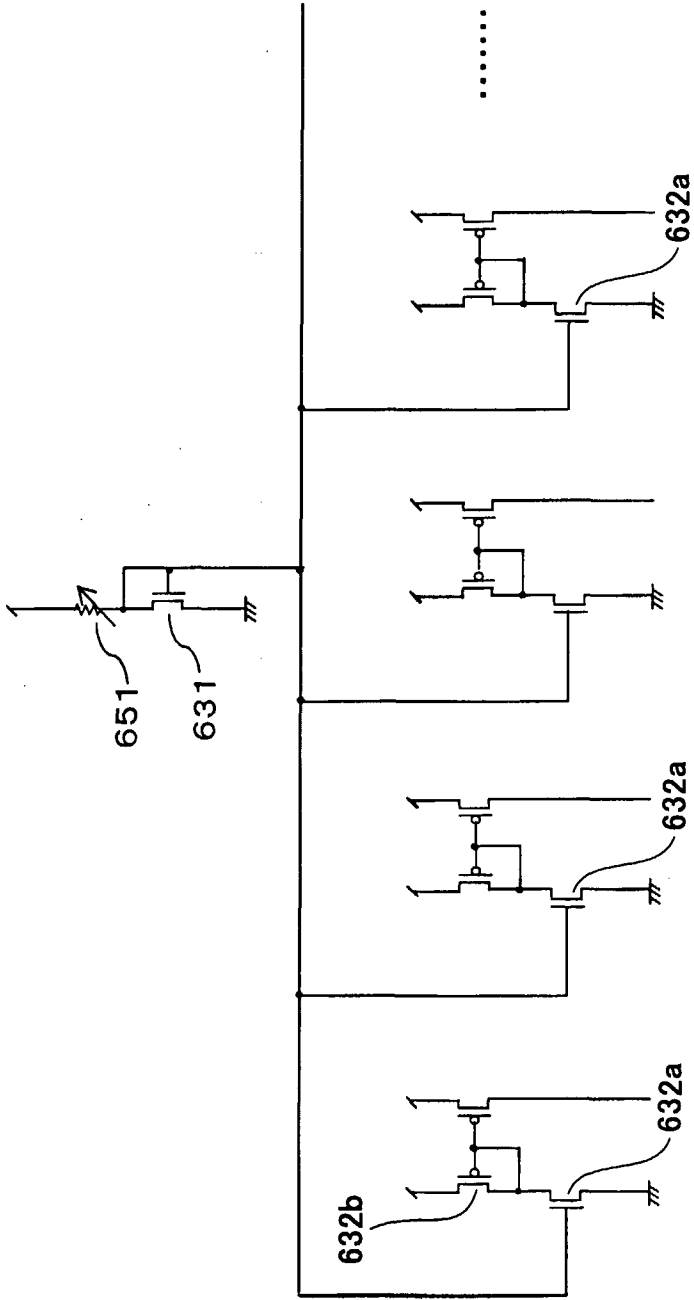
651 ポリウム(電流調節手段)



65 / 117

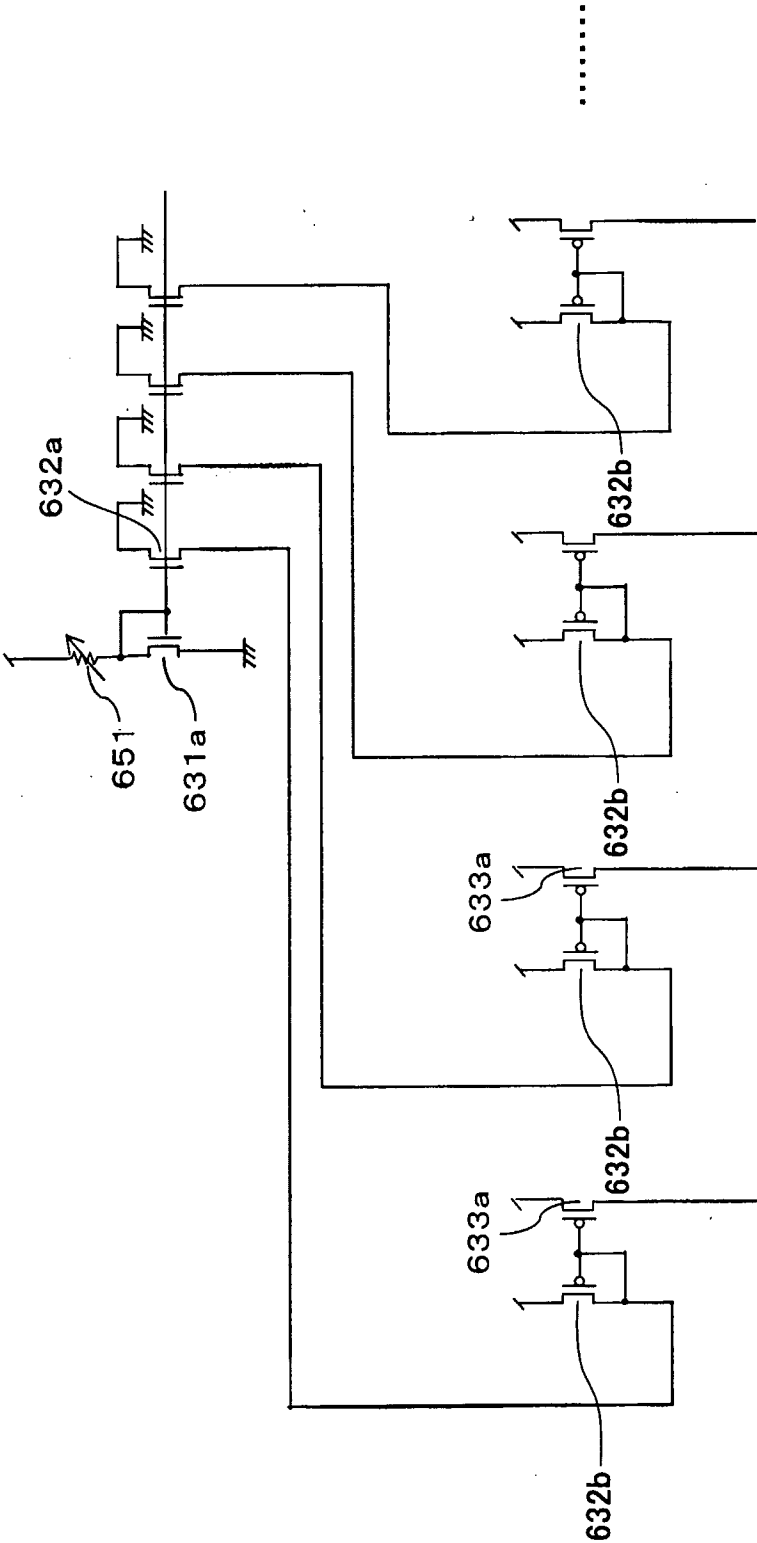
第65図

66 / 117



第66図

67 / 117

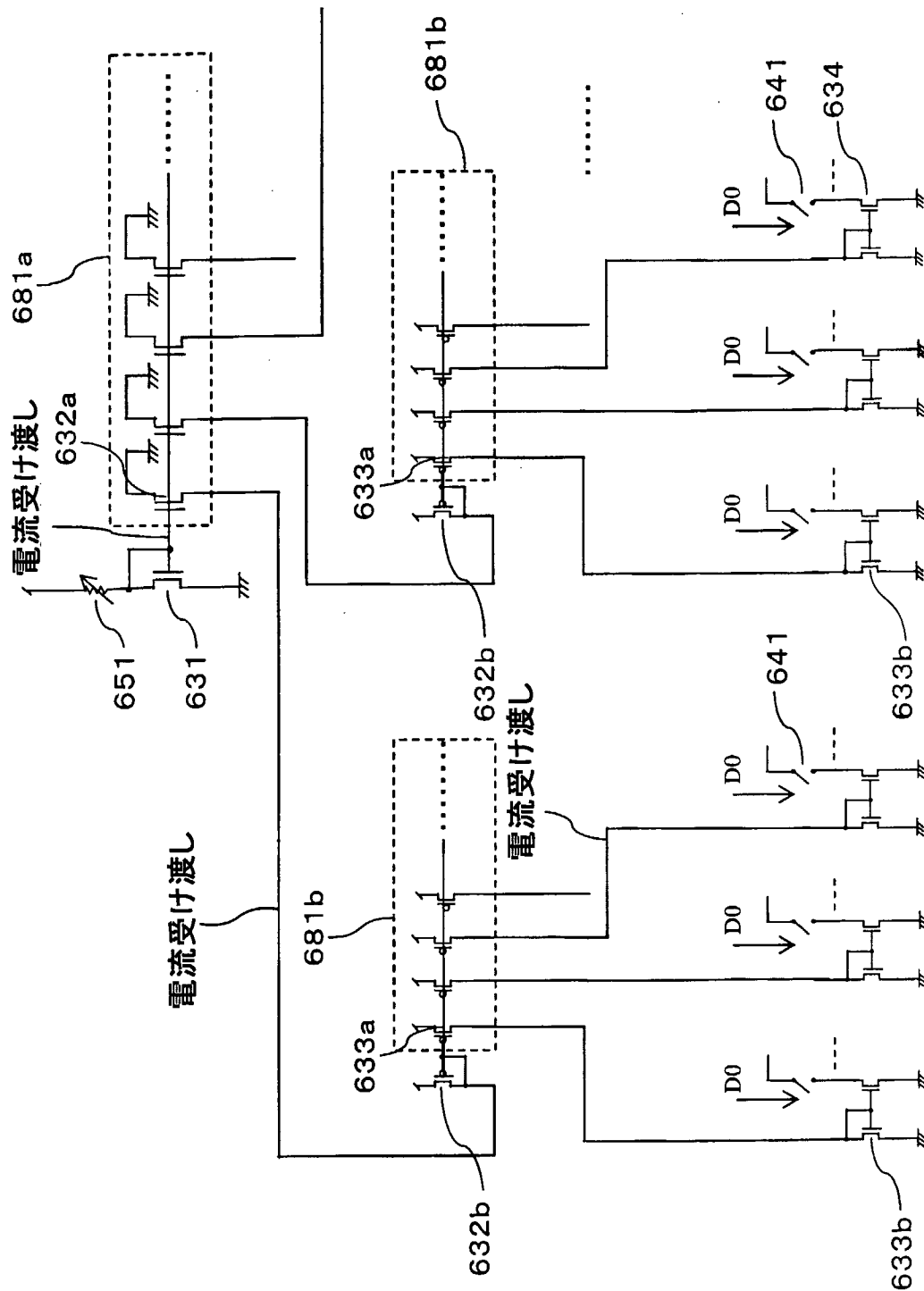


第67図



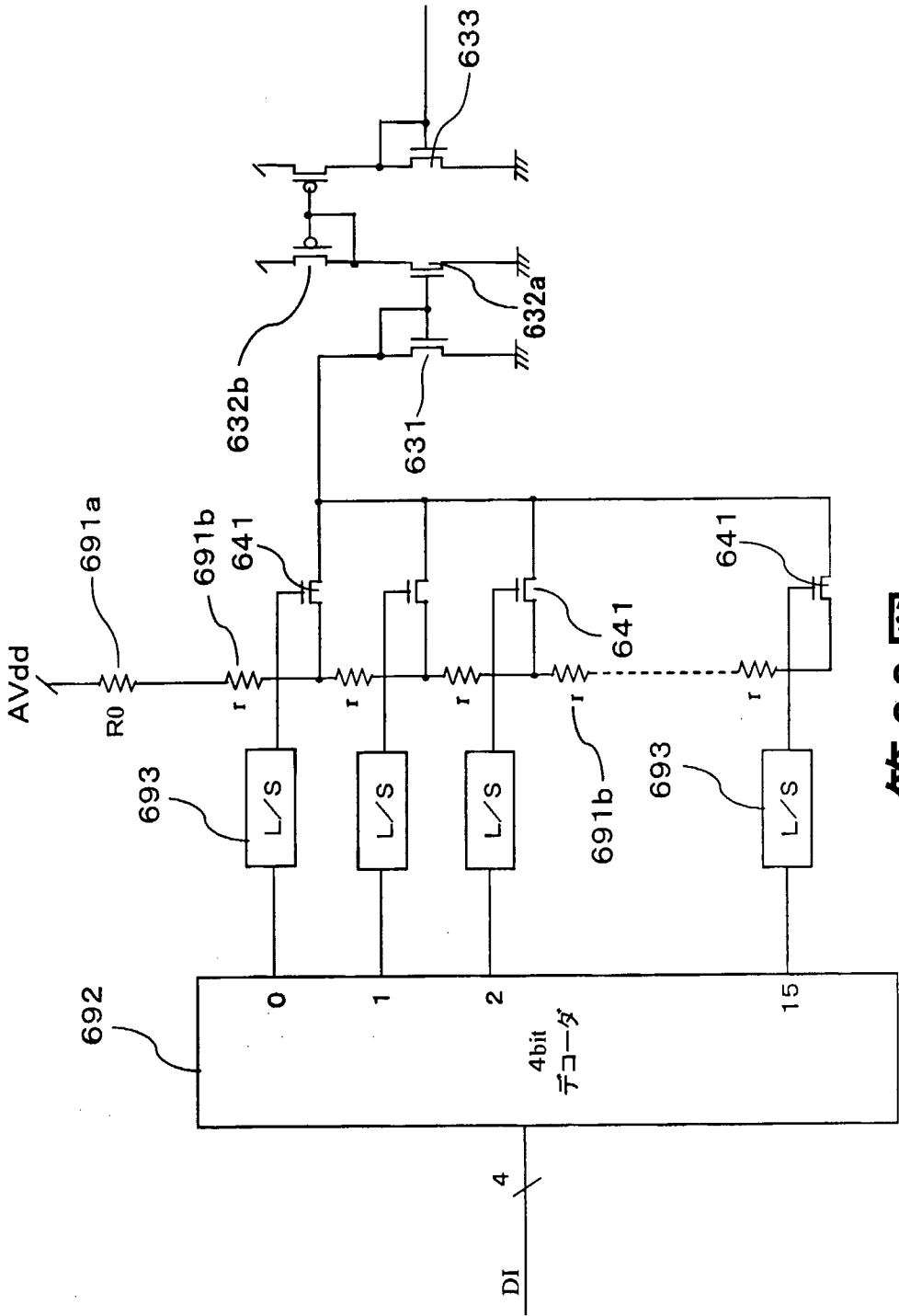
68  
117

681 トランジスタ群



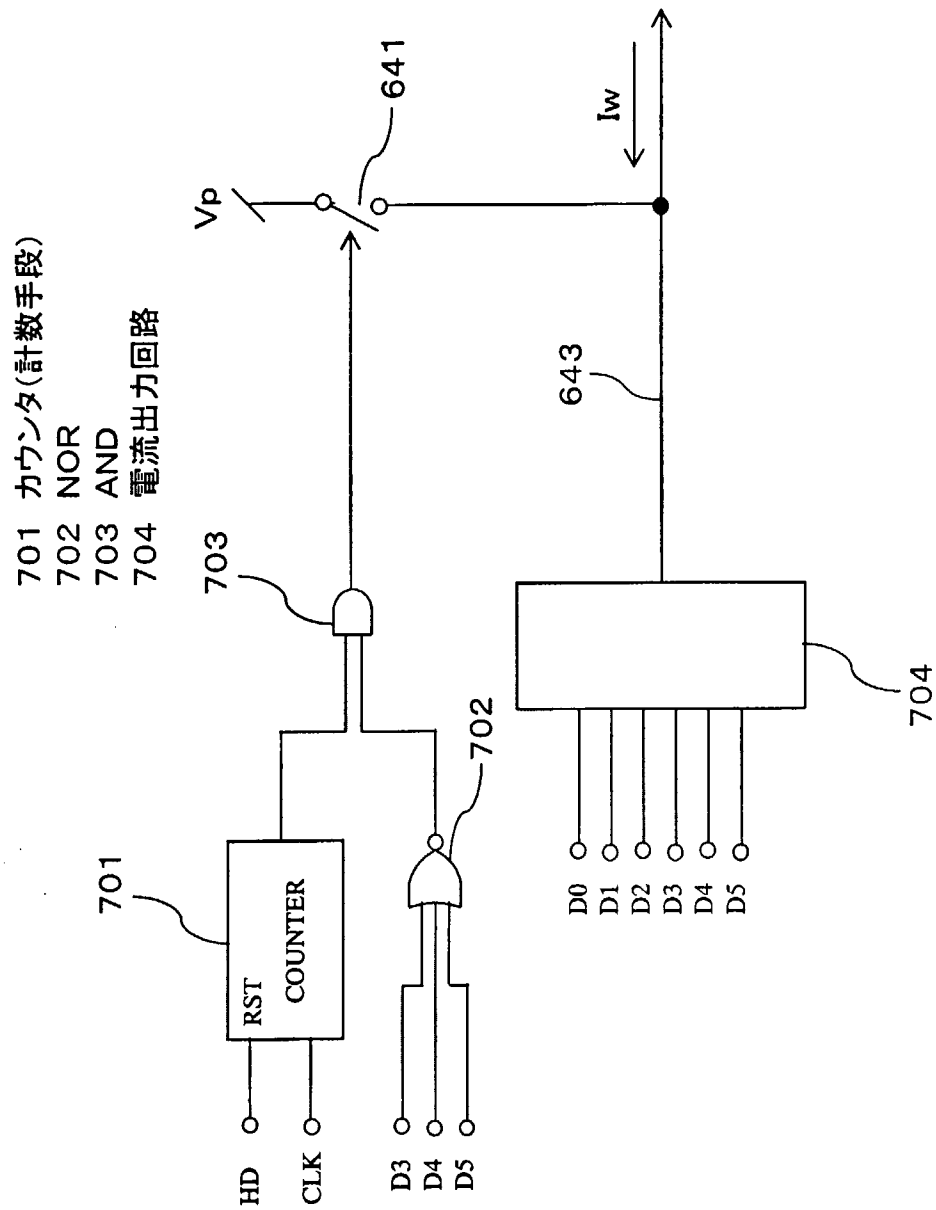
第68図

691 抵抗(電流制限手段、所定電圧発生手段)  
692 デコーダ回路  
693 レベルシフト回路



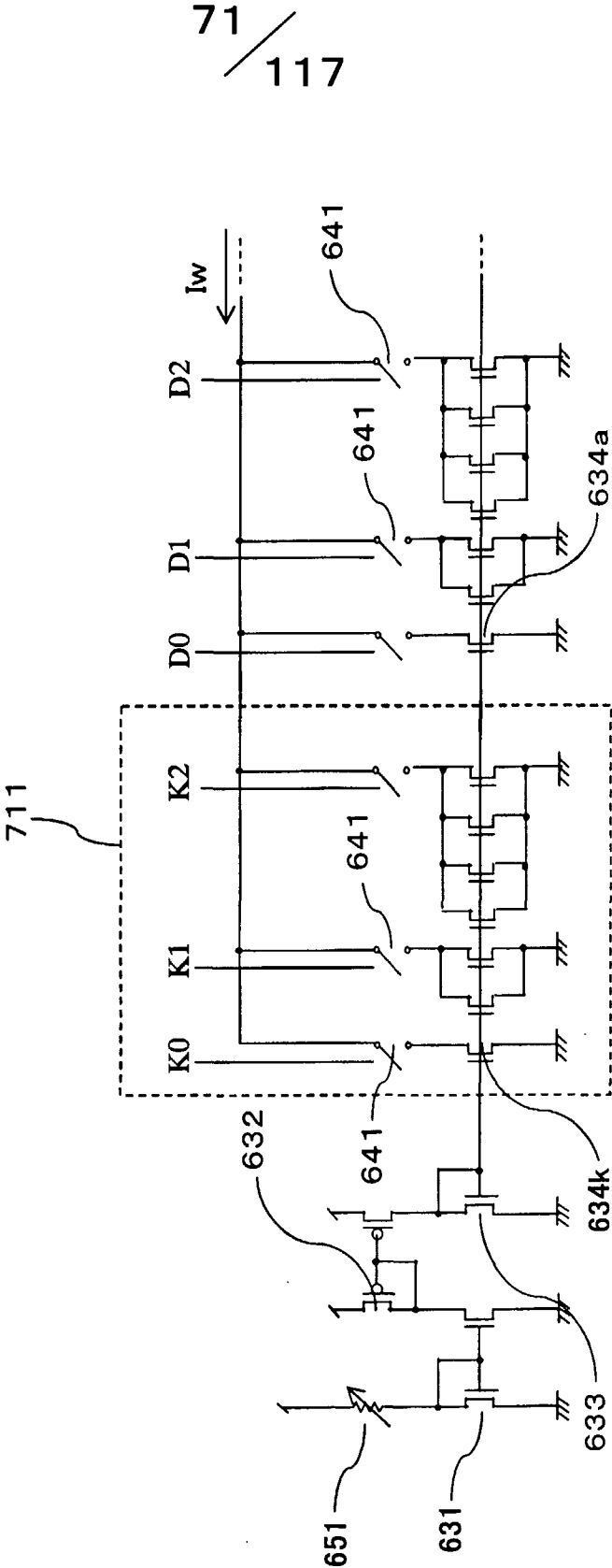
第69図

70 / 117



第70図

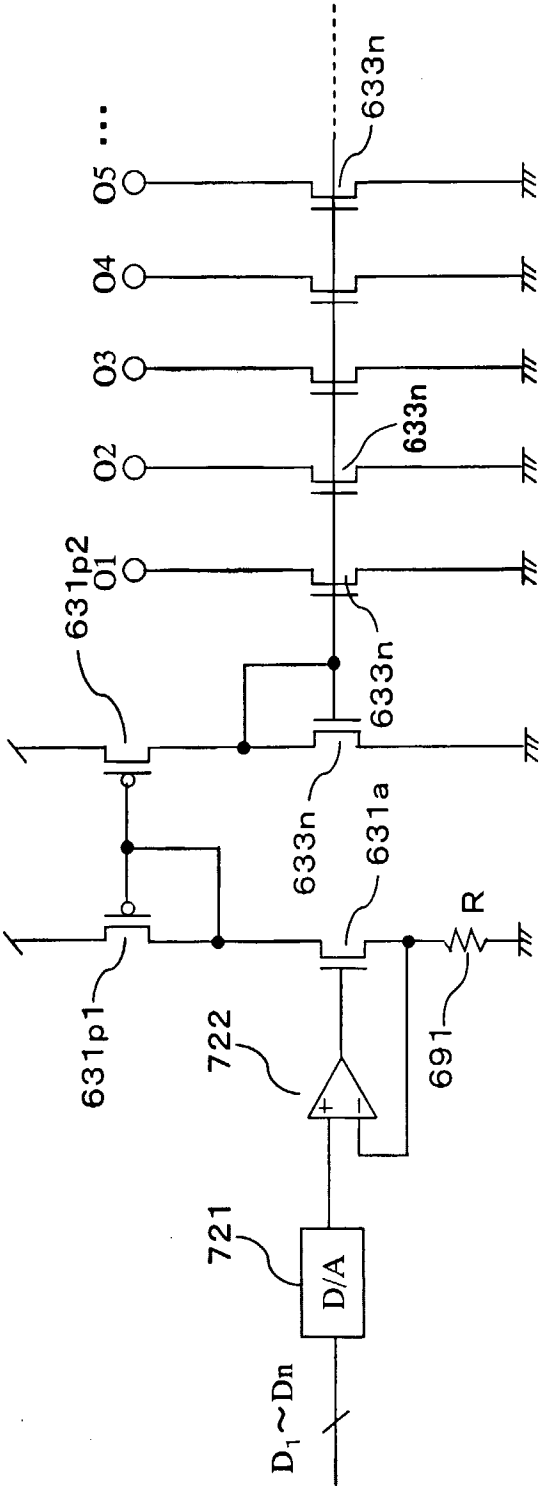
711 嵩上げ回路



第71図

72 / 117

721 D/A変換器  
722 オペアンプ



第72図

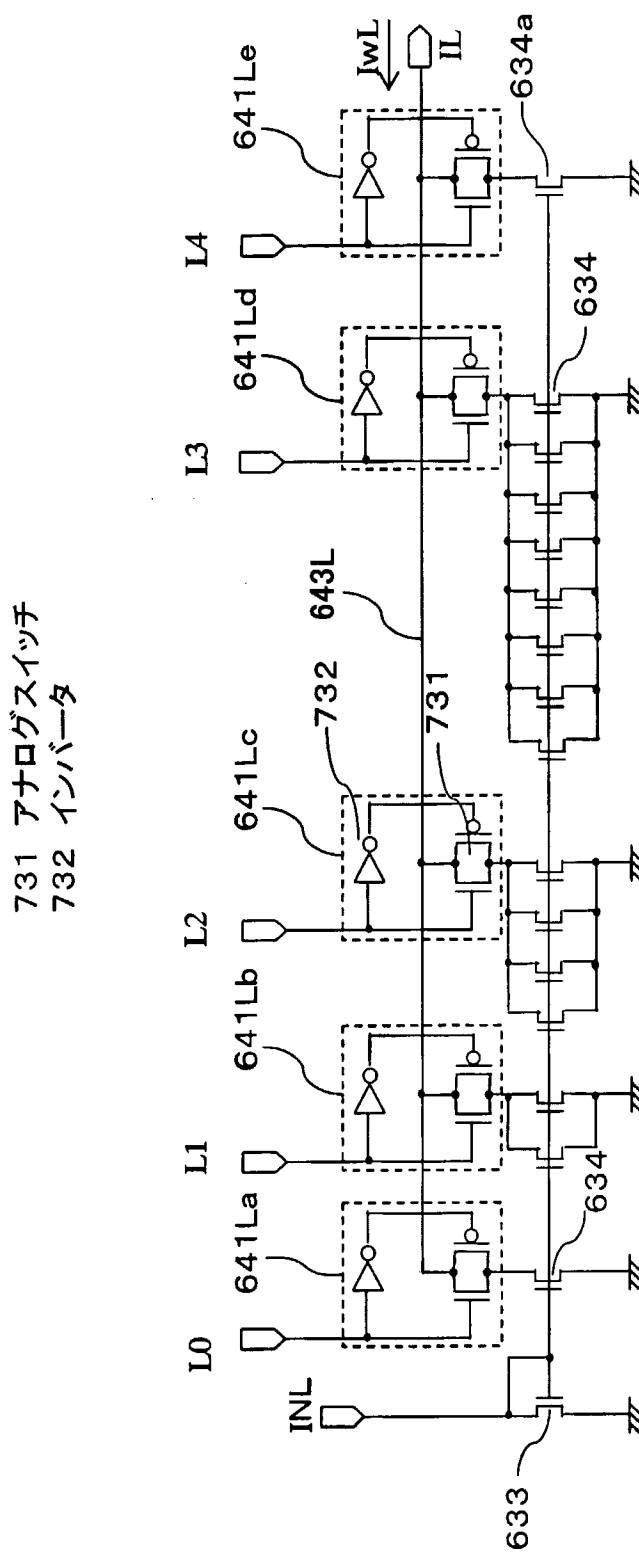
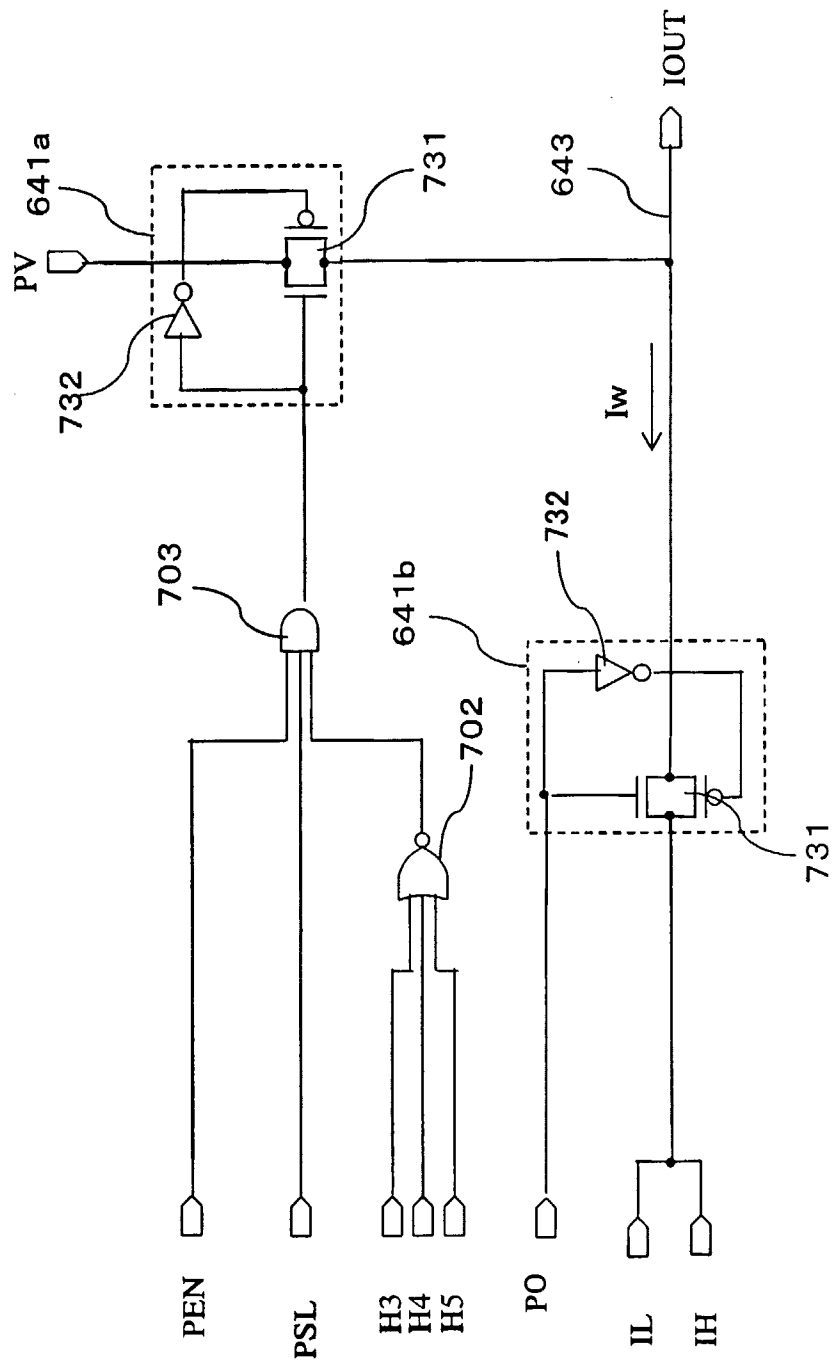


図 73 第 3 図



75 / 117

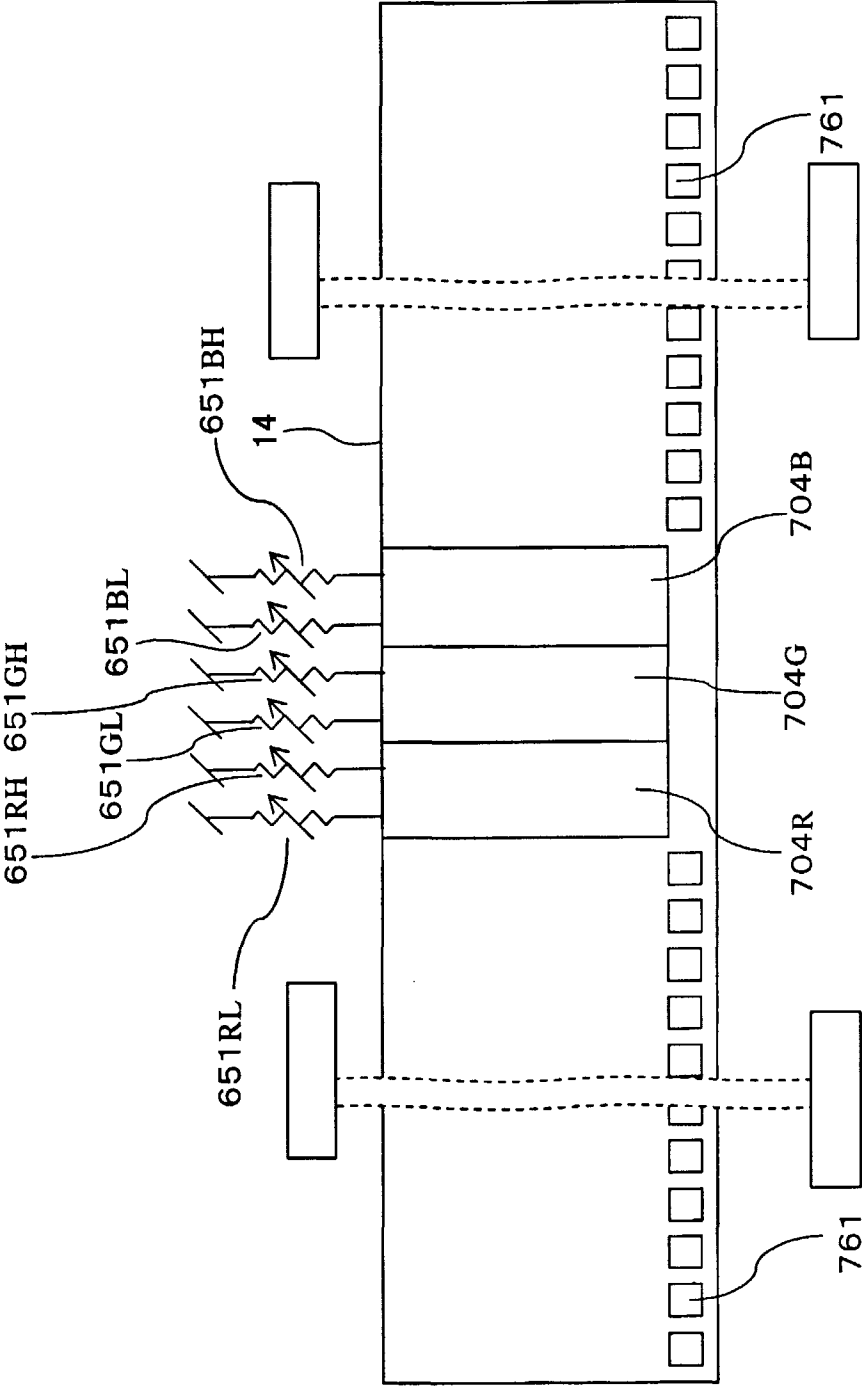


第75図



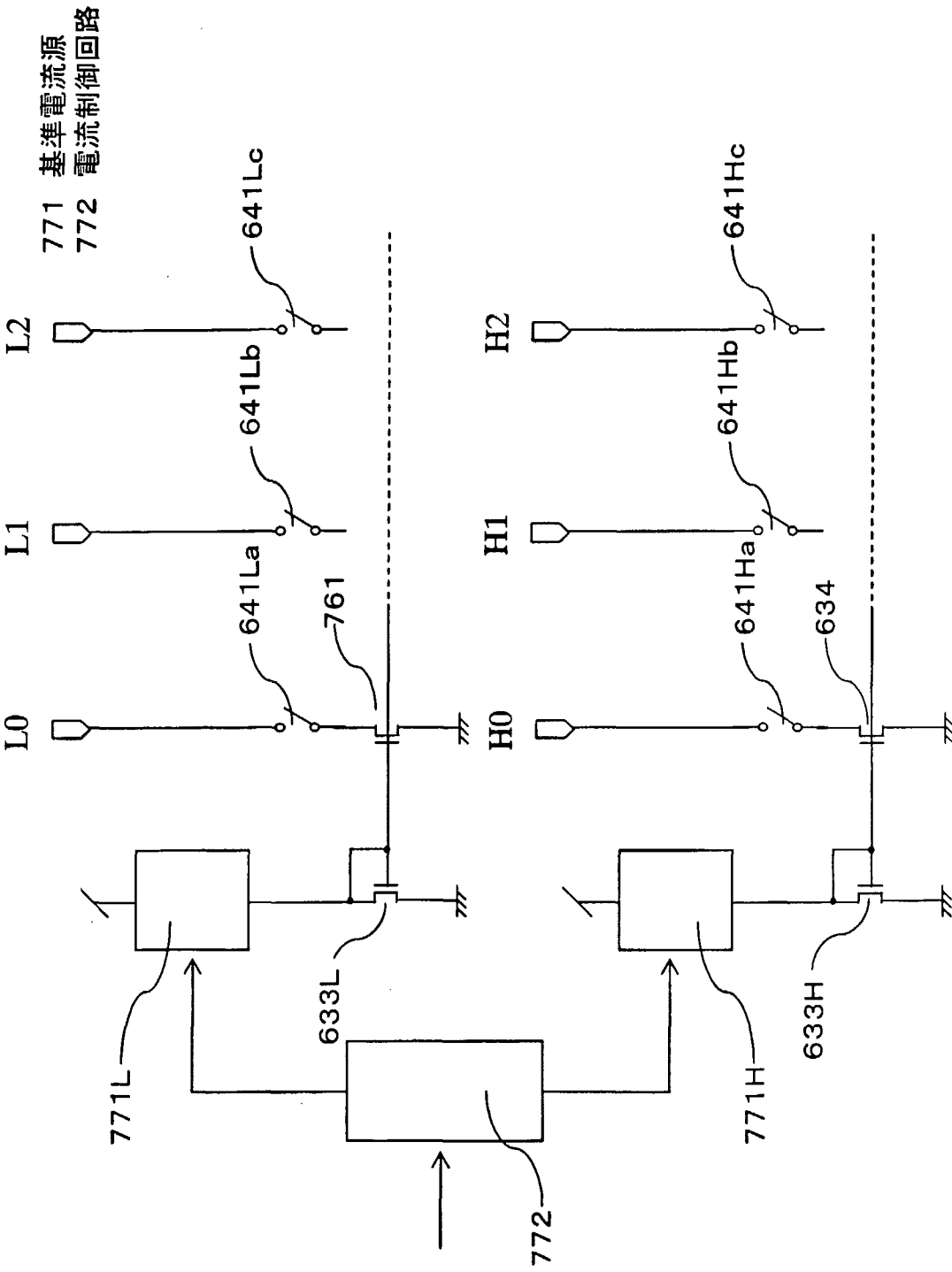
76 / 117

761 入出力パッド(入出力信号端子)



第76図

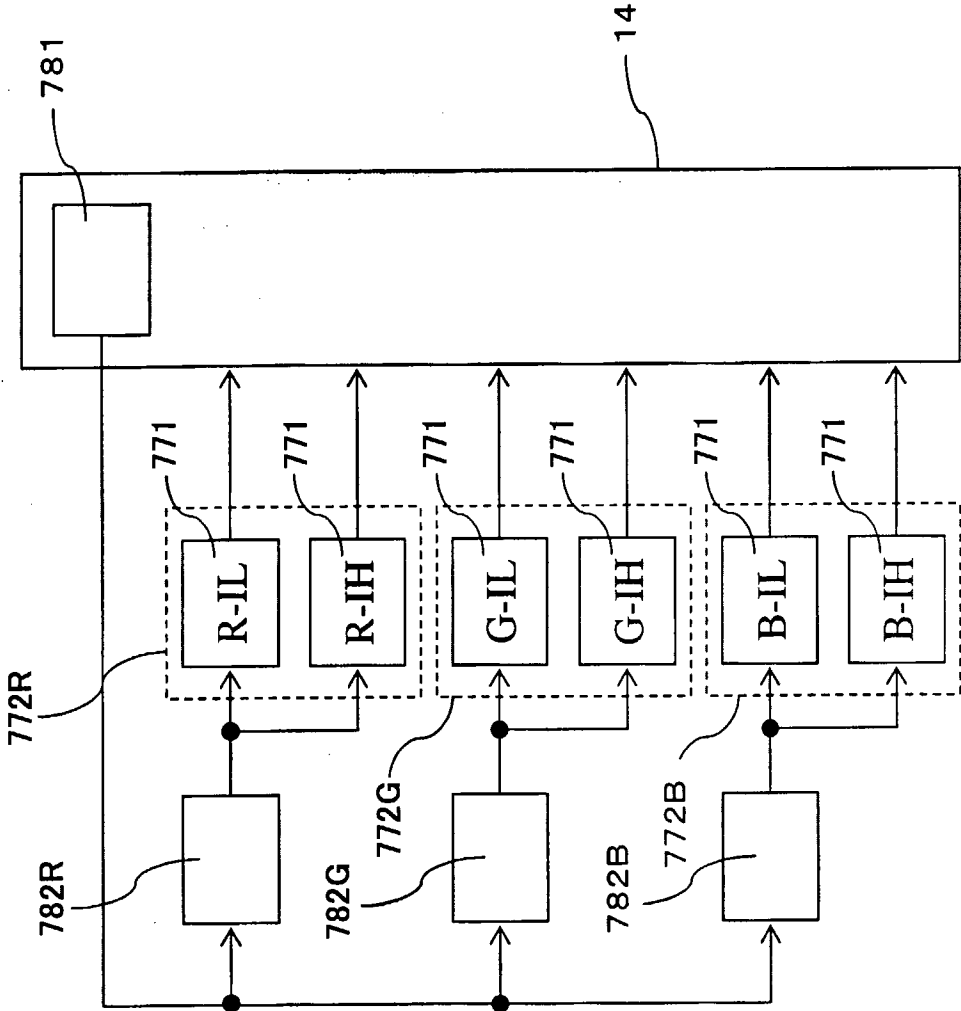
77 / 117



第77図

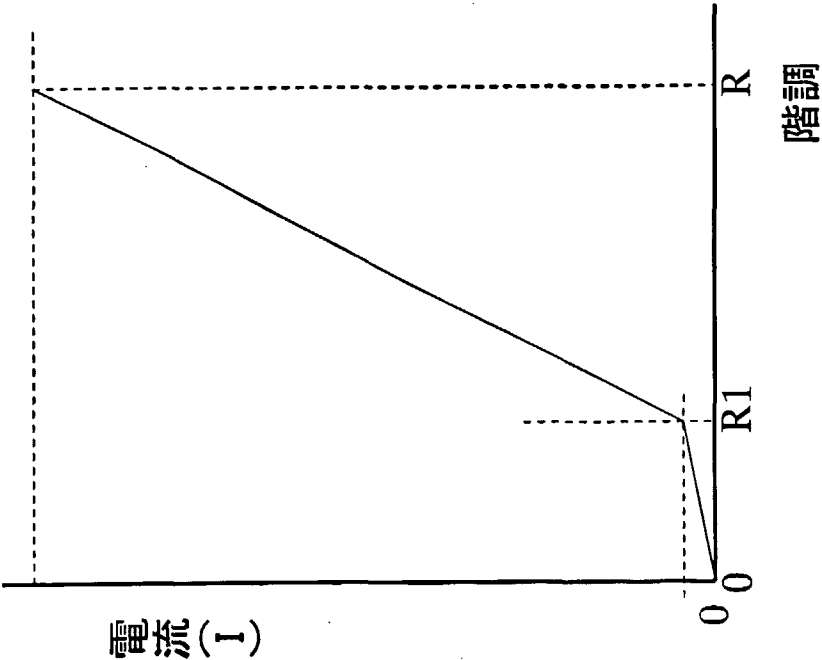
78 / 117

781 温度検出回路  
782 温度制御回路

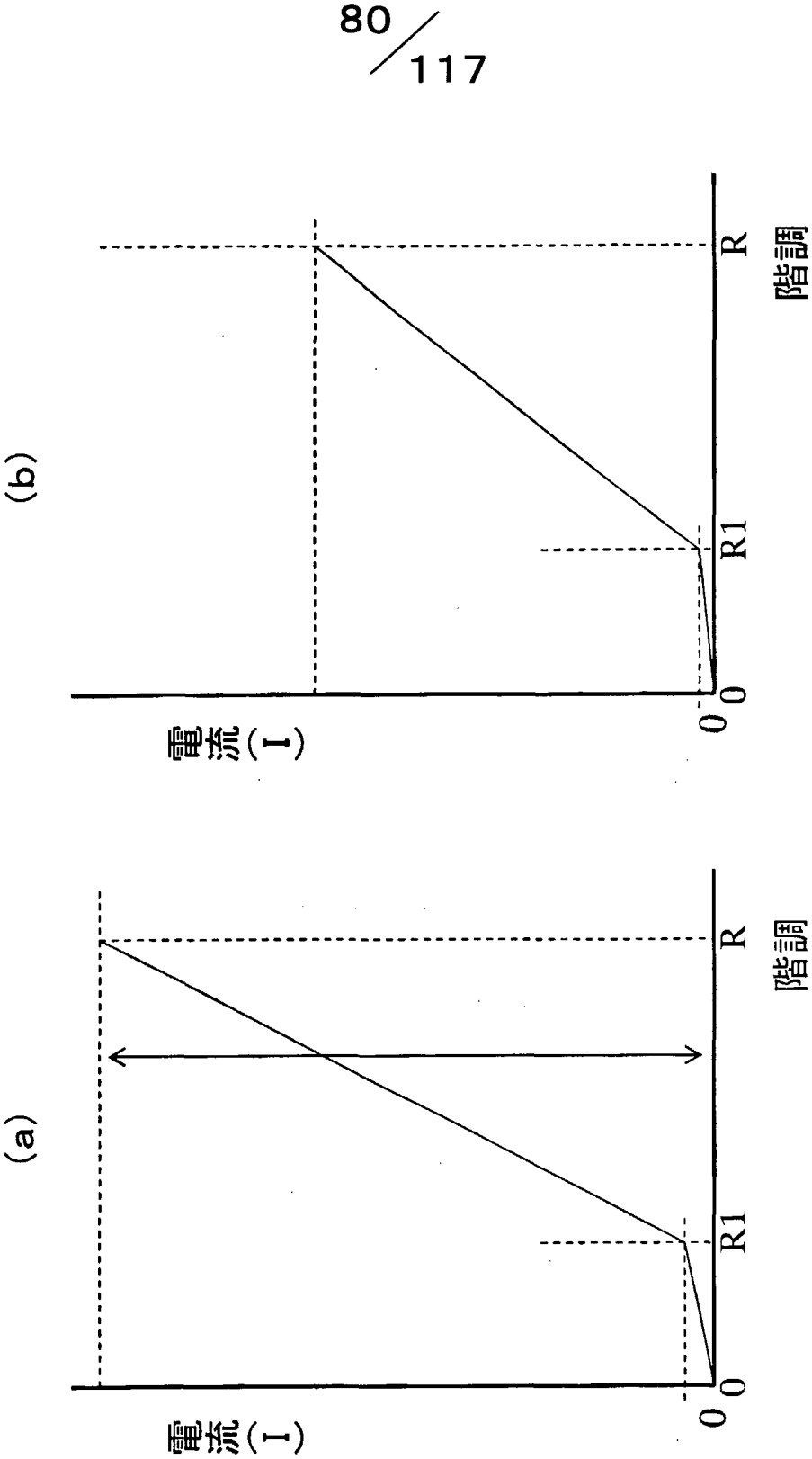


第78図

79 / 117

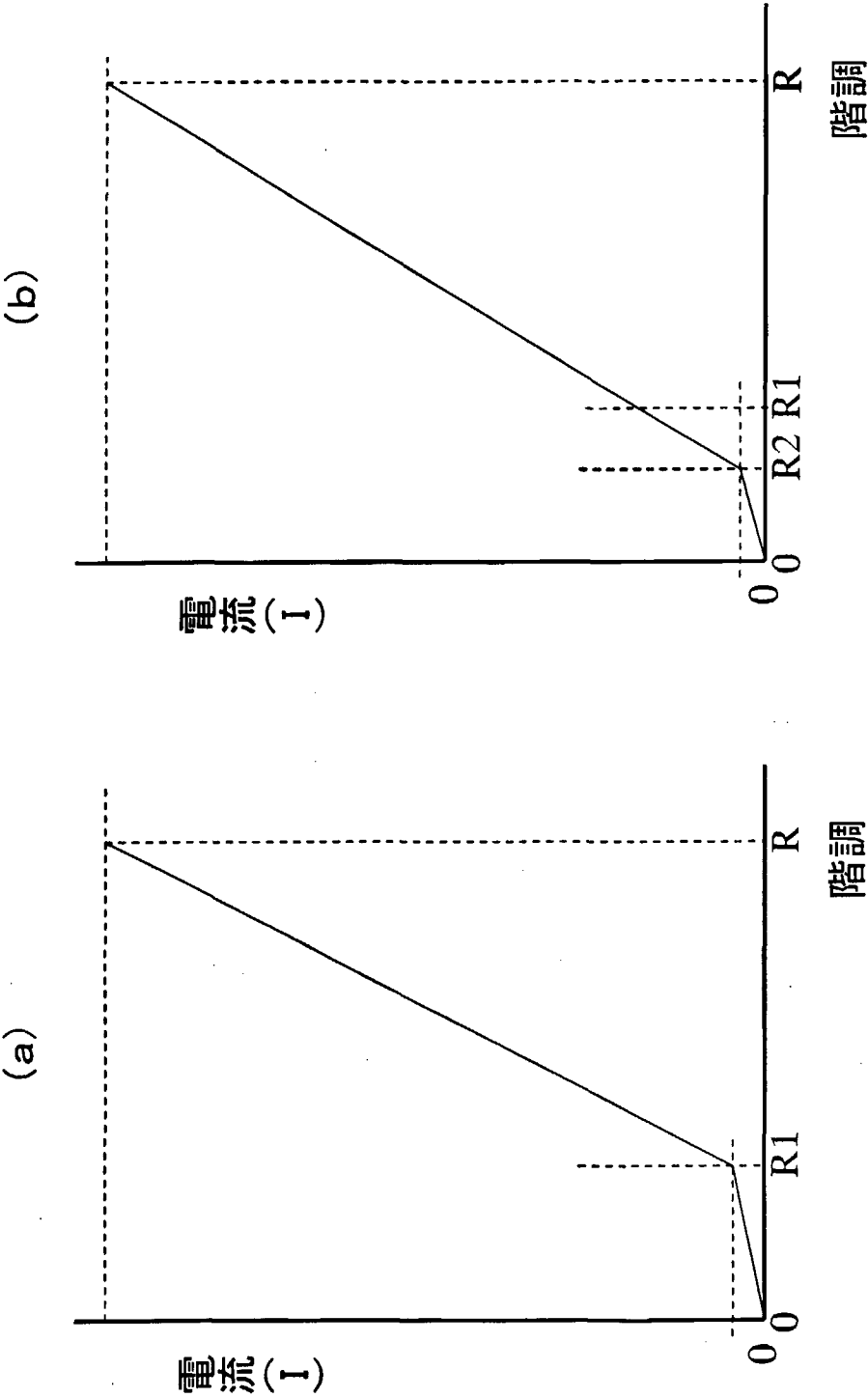


第79図



第80図

81 / 117



第81図

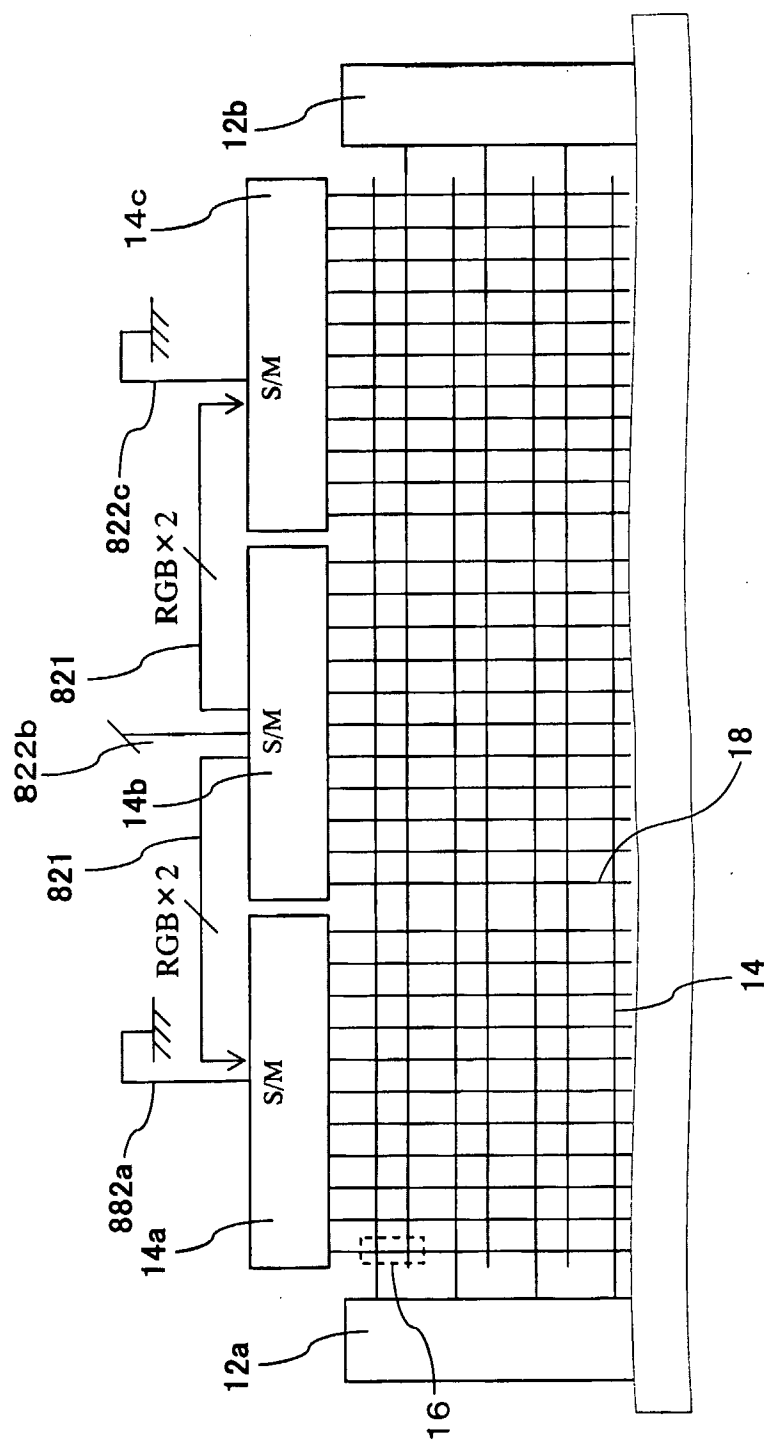
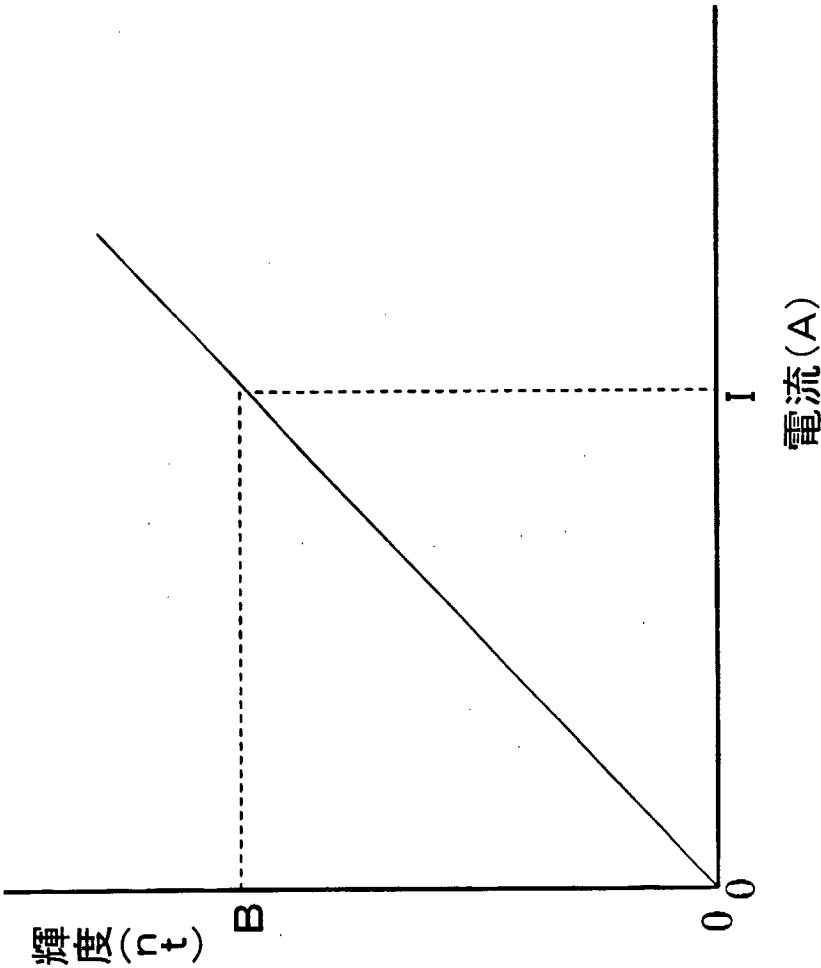
$$\frac{82}{117}$$


図 28 鋼

83 / 117



第83図



84 / 117

階調	L0	L1	L2	L3	L4	H0	H1	H2	H3	H4	H5
0	0	0	0	0	0	0	0	0	0	0	0
1	1	0	0	0	0	0	0	0	0	0	0
2	0	1	0	0	0	0	0	0	0	0	0
3	1	1	0	0	0	0	0	0	0	0	0
4	1	1	0	0	1	0	0	0	0	0	0
5	1	1	0	0	1	1	0	0	0	0	0
6	1	1	0	0	1	0	1	0	0	0	0
7	1	1	0	0	1	1	1	0	0	0	0
8	1	1	0	0	1	0	0	1	0	0	0
9	1	1	0	0	1	1	0	1	0	0	0
10	1	1	0	0	1	0	1	1	0	0	0
11	1	1	0	0	1	1	1	1	0	0	0
12	1	1	0	0	1	0	0	0	1	0	0
13	1	1	0	0	1	1	0	0	1	0	0
14	1	1	0	0	1	0	1	0	1	0	0
15	1	1	0	0	1	1	1	0	1	0	0
16	1	1	0	0	1	0	0	0	0	1	0
17	1	1	0	0	1	1	0	0	0	1	0
18	1	1	0	0	1	0	1	0	0	1	0
∴	∴	∴	∴	∴	∴	∴	∴	∴	∴	∴	∴

第84図

85 / 117

階調	L0	L1	L2	L3	L4	H0	H1	H2	H3	H4	H5
0	0	0	0	0	0	0	0	0	0	0	0
1	1	0	0	0	0	0	0	0	0	0	0
2	0	1	0	0	0	0	0	0	0	0	0
3	1	1	0	0	0	0	0	0	0	0	0
4	0	0	1	0	0	0	0	0	0	0	0
5	1	0	1	0	0	0	0	0	0	0	0
6	0	1	1	0	0	0	0	0	0	0	0
7	1	1	1	0	0	0	0	0	0	0	0
8	1	1	1	0	1	0	0	0	0	0	0
9	1	1	1	0	1	1	0	0	0	0	0
10	1	1	1	0	1	0	1	0	0	0	0
11	1	1	1	0	1	1	1	0	0	0	0
12	1	1	1	0	1	0	0	1	0	0	0
13	1	1	1	0	1	1	0	1	0	0	0
14	1	1	1	0	1	0	1	1	0	0	0
15	1	1	1	0	1	1	1	1	0	0	0
16	1	1	1	0	1	0	0	0	1	0	0
17	1	1	1	0	1	1	0	0	1	0	0
18	1	1	1	0	1	0	1	0	1	0	0
∴	∴	∴	∴	∴	∴	∴	∴	∴	∴	∴	∴

第85図

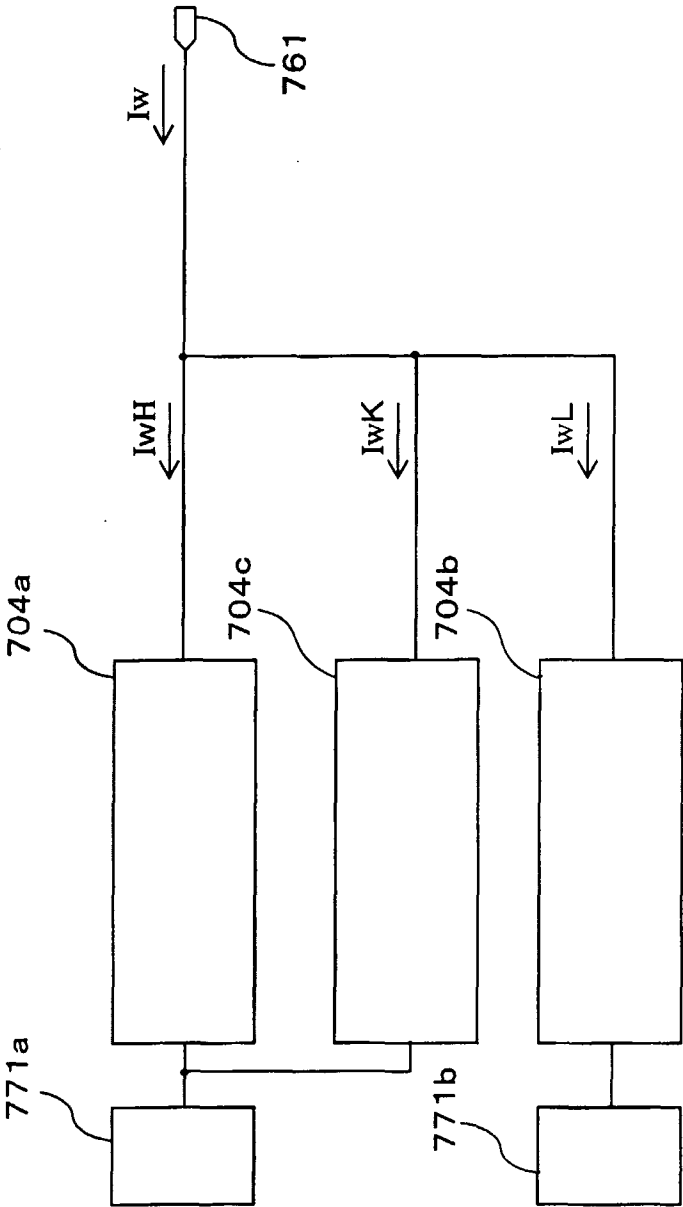
86 / 117

階調	L0	L1	L2	L3	L4	H0	H1	H2	H3	H4	H5
0	0	0	0	0	0	0	0	0	0	0	0
1	1	0	0	0	0	0	0	0	0	0	0
2	0	1	0	0	0	0	0	0	0	0	0
3	1	1	0	0	0	0	0	0	0	0	0
4	0	0	1	0	0	0	0	0	0	0	0
5	1	0	1	0	0	0	0	0	0	0	0
6	0	1	1	0	0	0	0	0	0	0	0
7	1	1	1	0	0	0	0	0	0	0	0
8	0	0	0	1	0	0	0	0	0	0	0
9	1	0	0	1	0	0	0	0	0	0	0
10	0	1	0	1	0	0	0	0	0	0	0
11	1	1	0	1	0	0	0	0	0	0	0
12	0	0	1	1	0	0	0	0	0	0	0
13	1	0	1	1	0	0	0	0	0	0	0
14	0	1	1	1	0	0	0	0	0	0	0
15	1	1	1	1	0	0	0	0	0	0	0
16	1	1	1	1	1	0	0	0	0	0	0
17	1	1	0	0	1	1	0	0	0	0	0
18	1	1	0	0	1	0	1	0	0	0	0
⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮

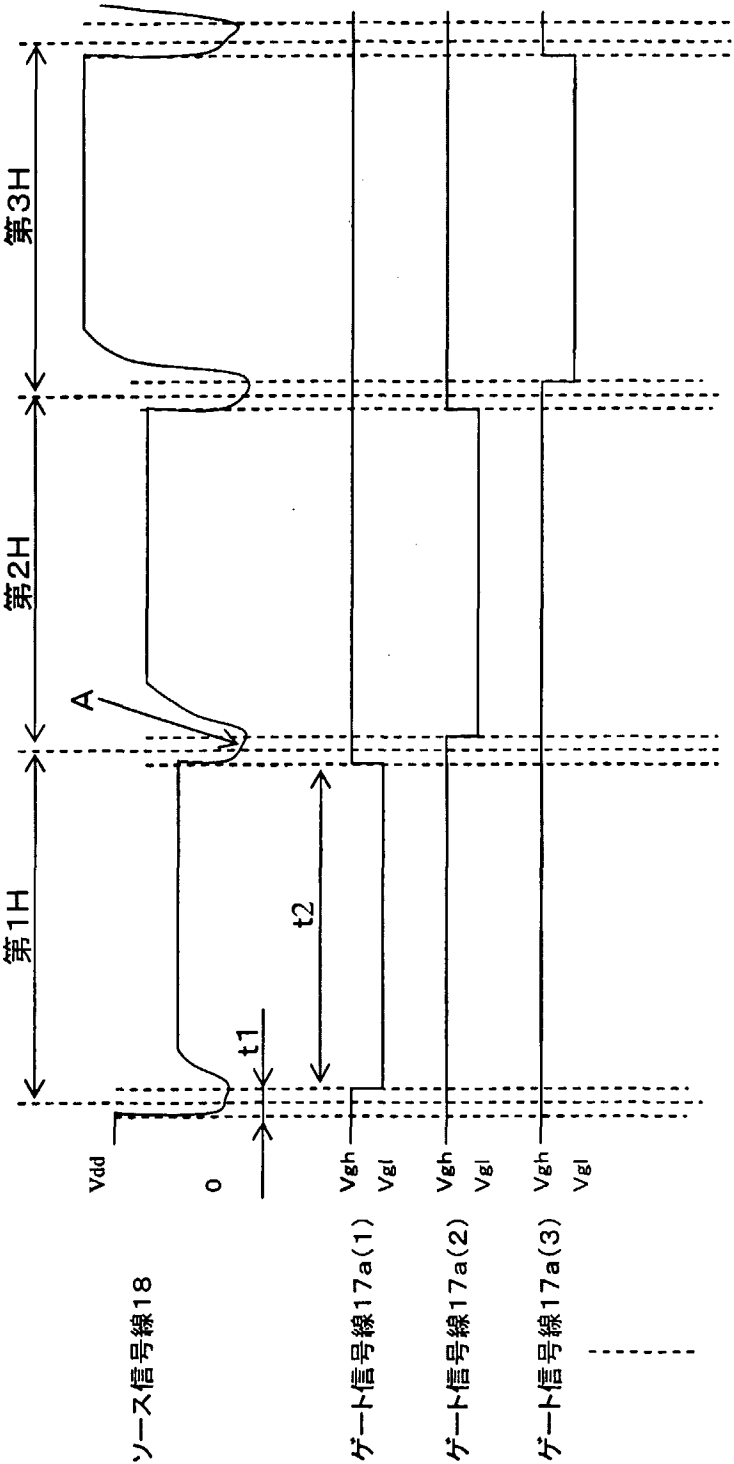
第86図

87 / 117

704a 高電流領域電流出力回路  
704b 低電流領域電流出力回路  
704c 電流嵩上げ電流出力回路



第87図



第88図

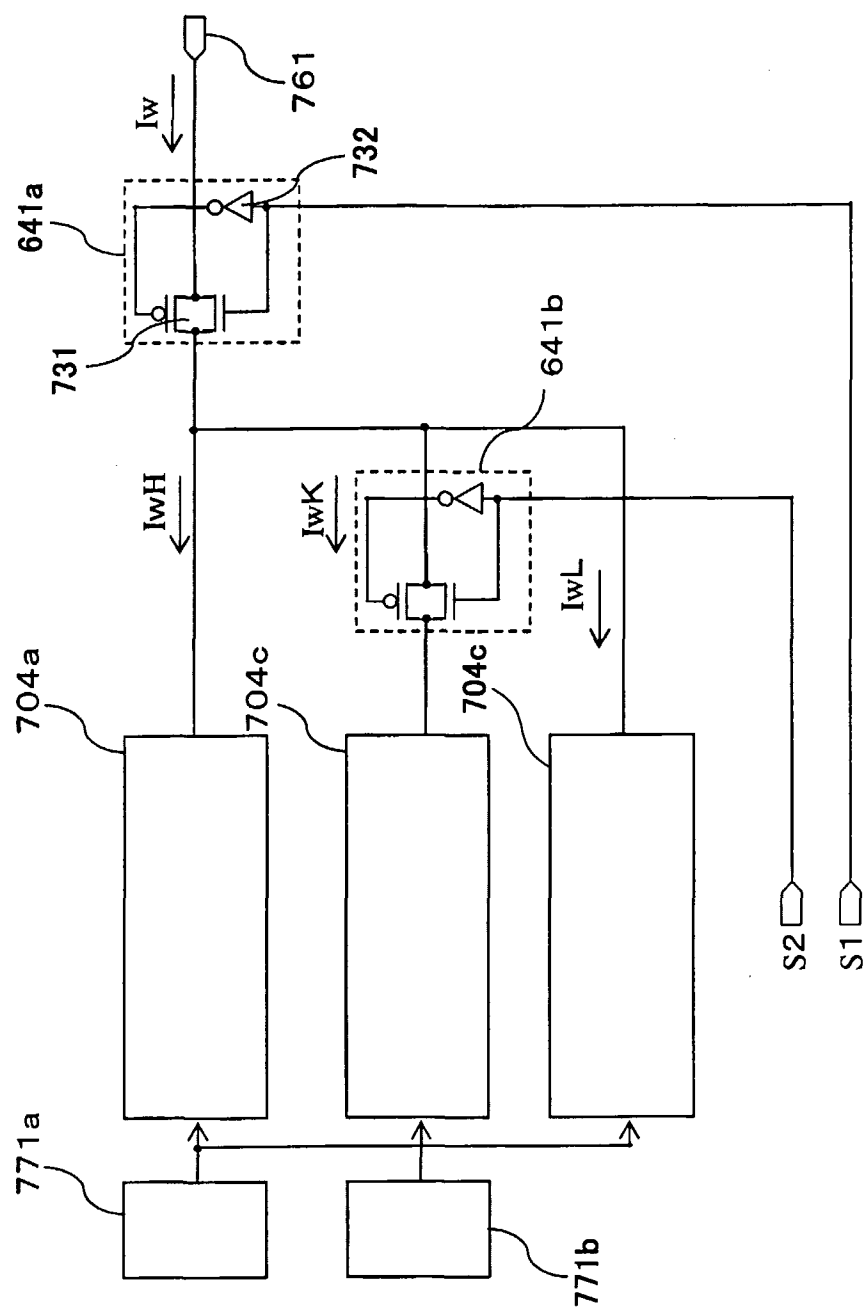
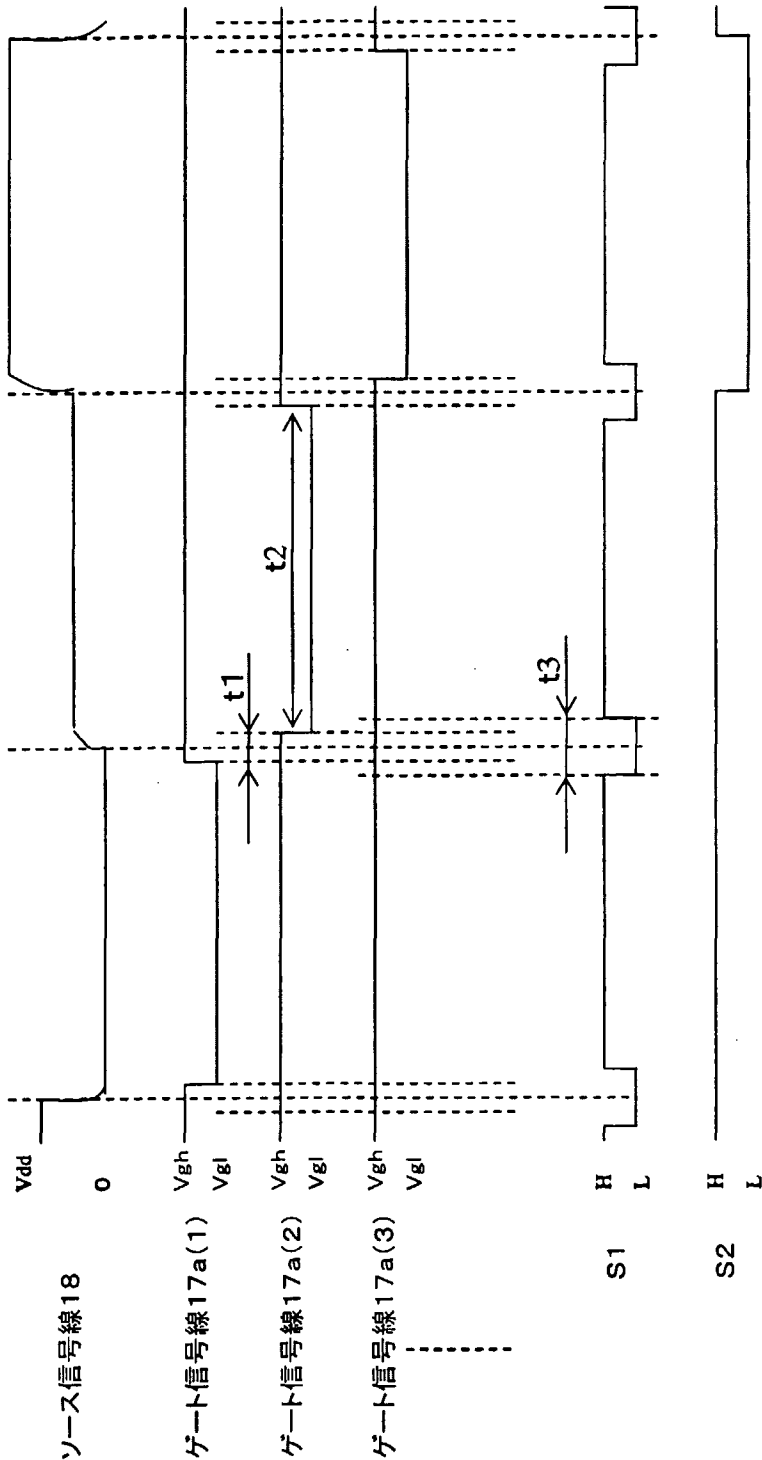
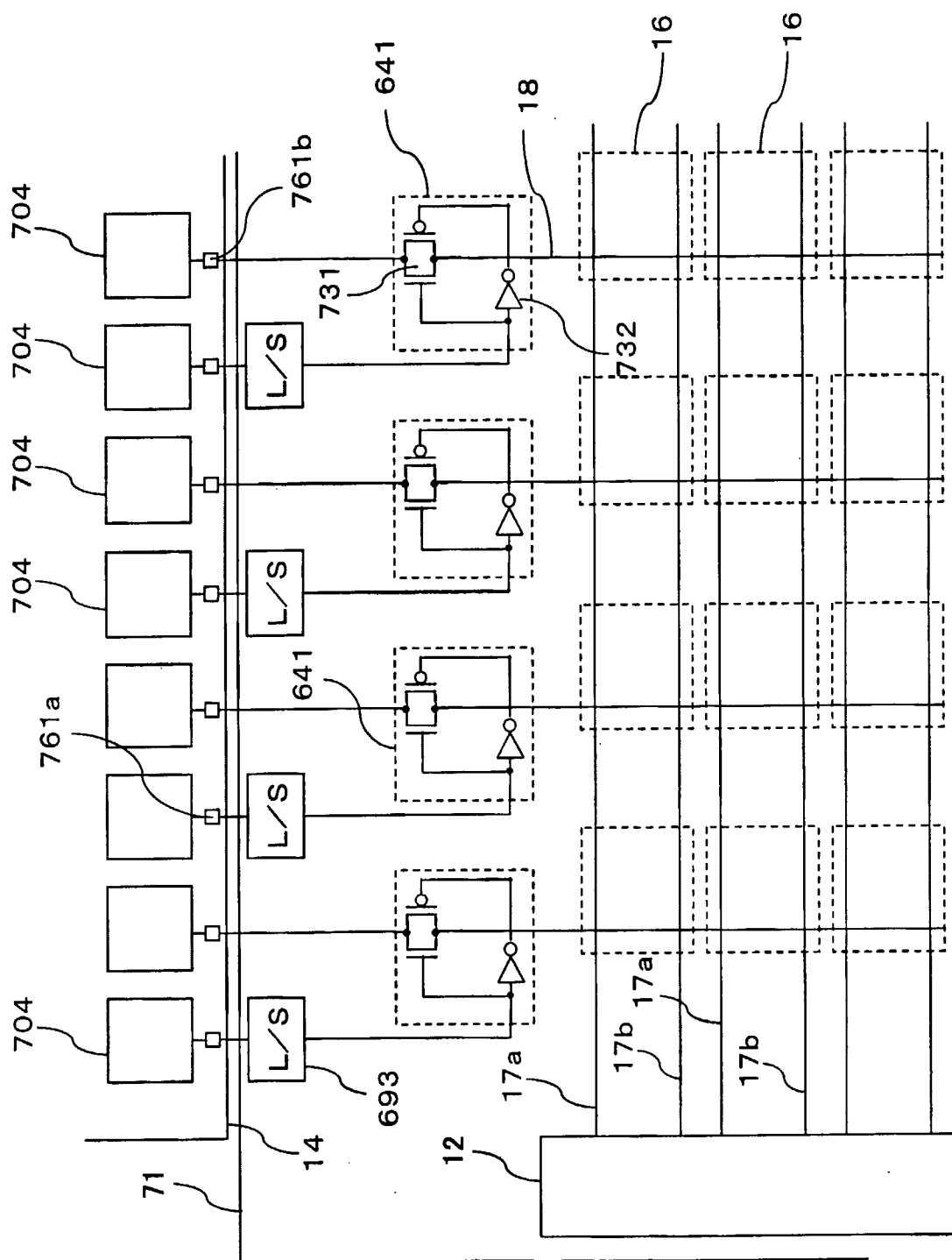
$$\frac{89}{117}$$


図 8 鋼

90 / 117



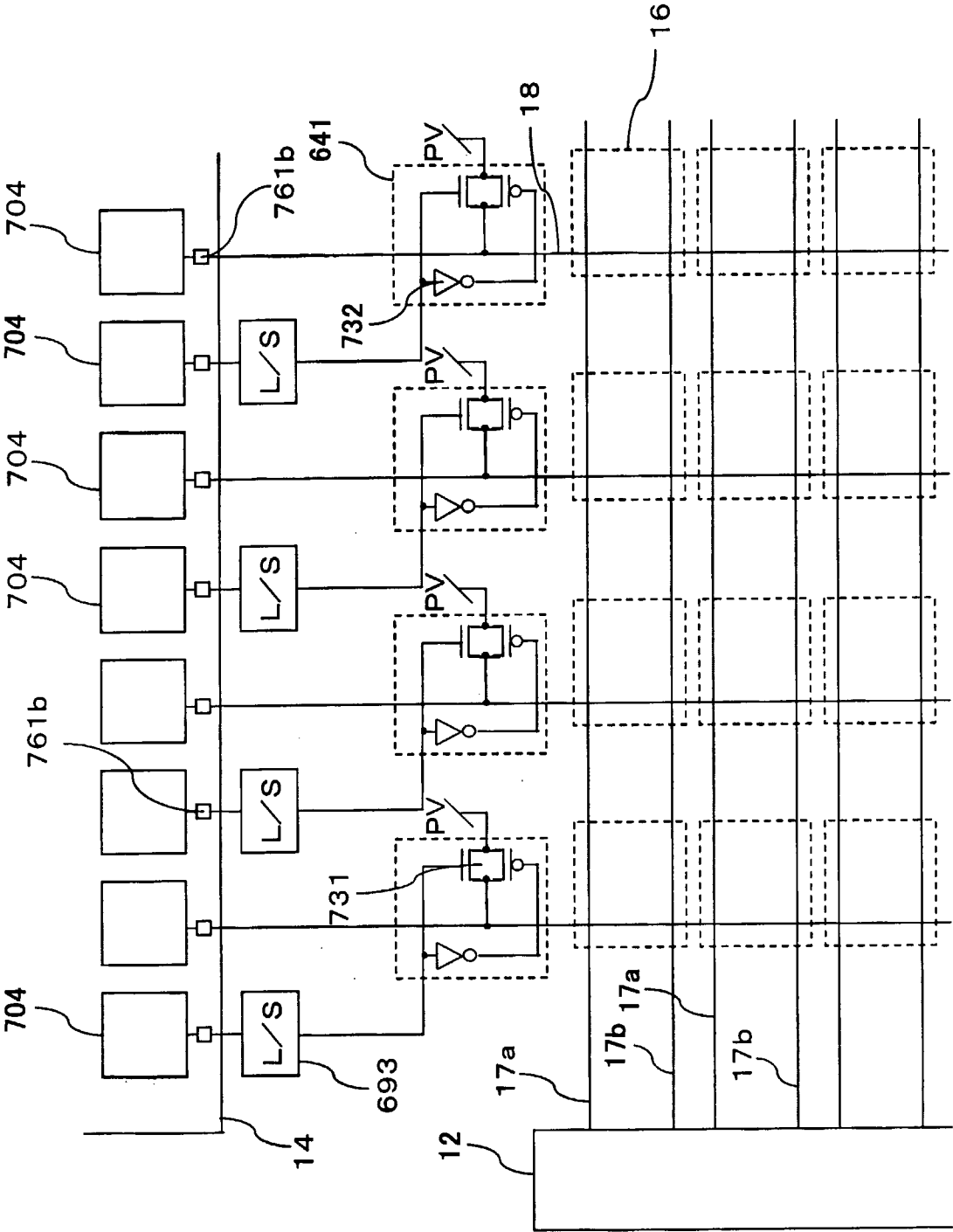
第90図



第 91 圖

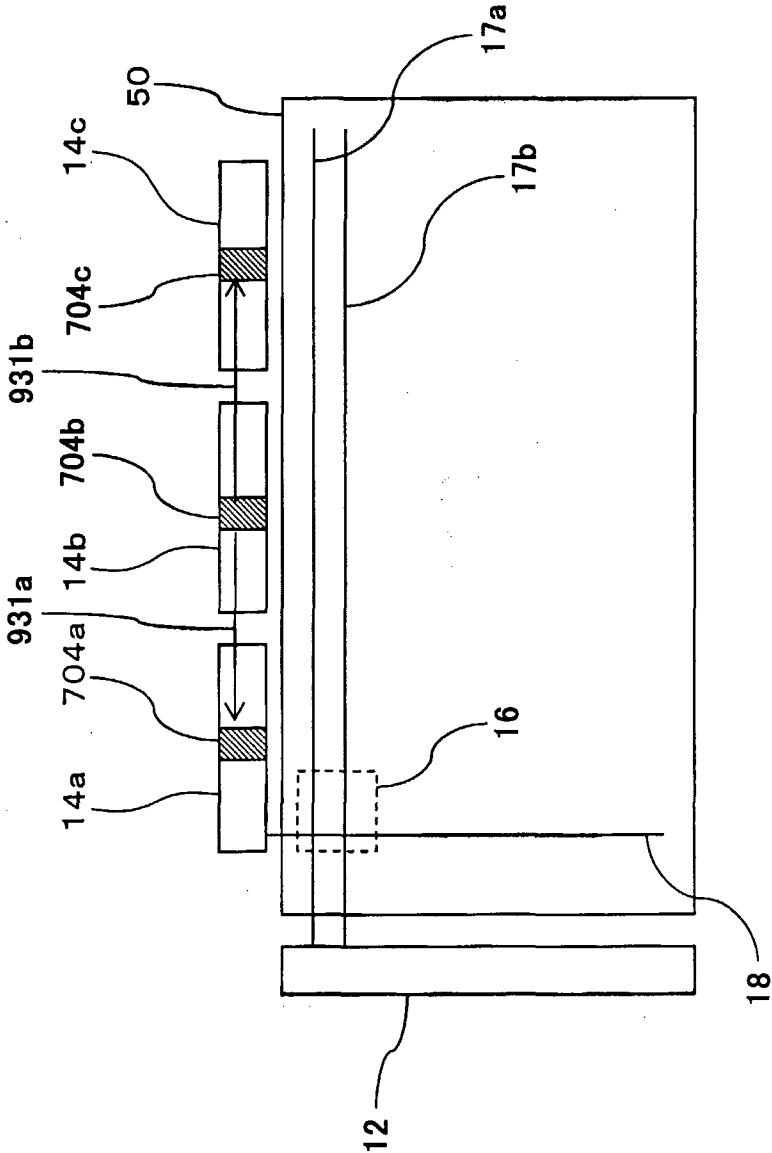


92 / 117



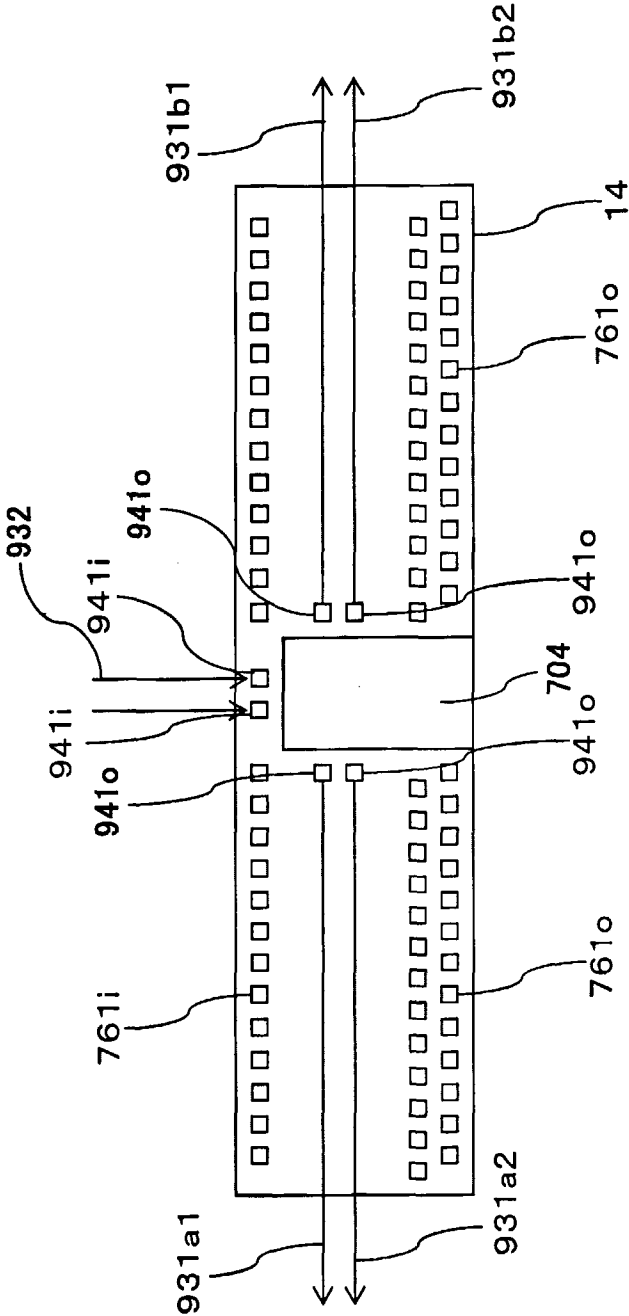
第92図

931 カスケード電流接続線



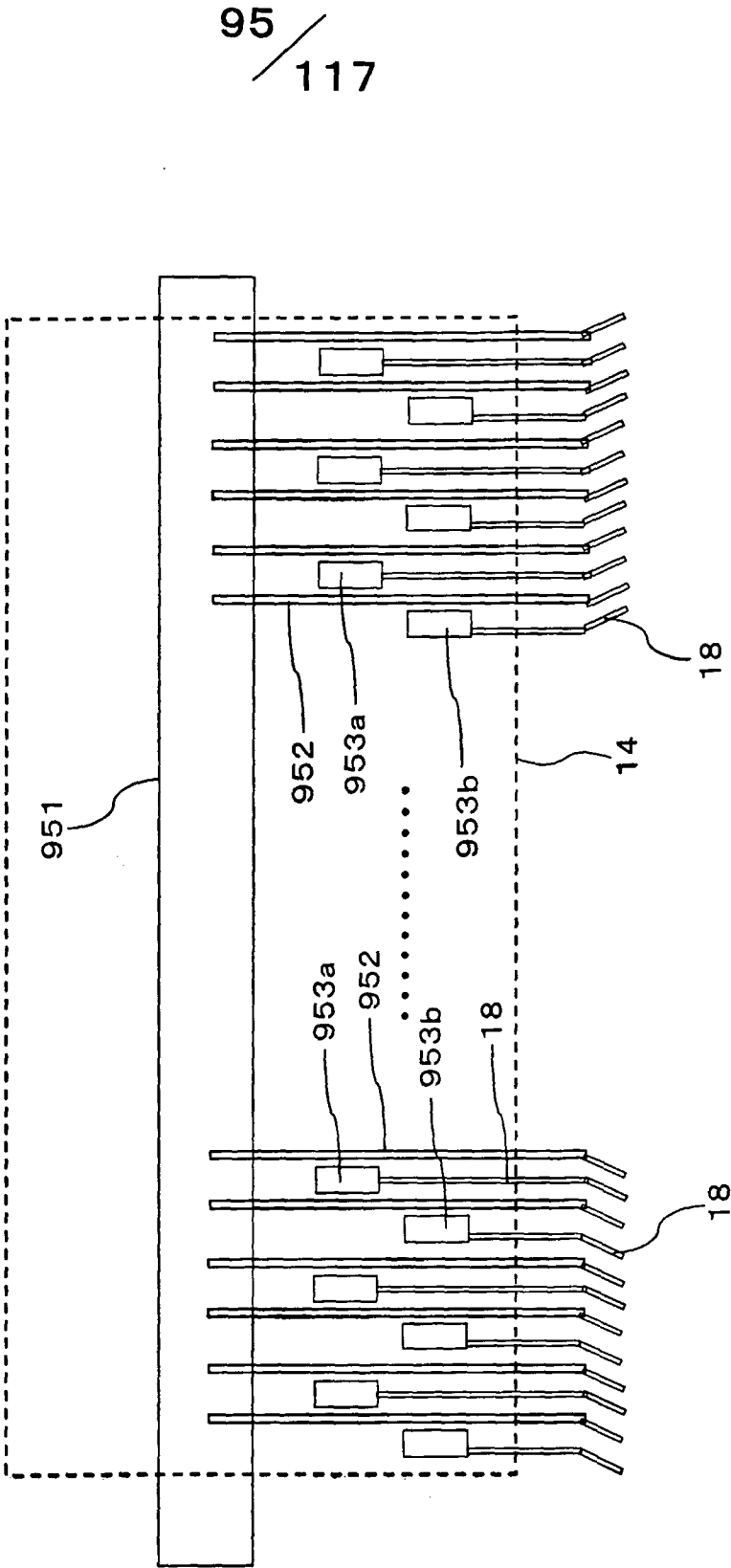
第93図

932 基準電流信号線  
941i 電流入力端子  
941o 電流出力端子



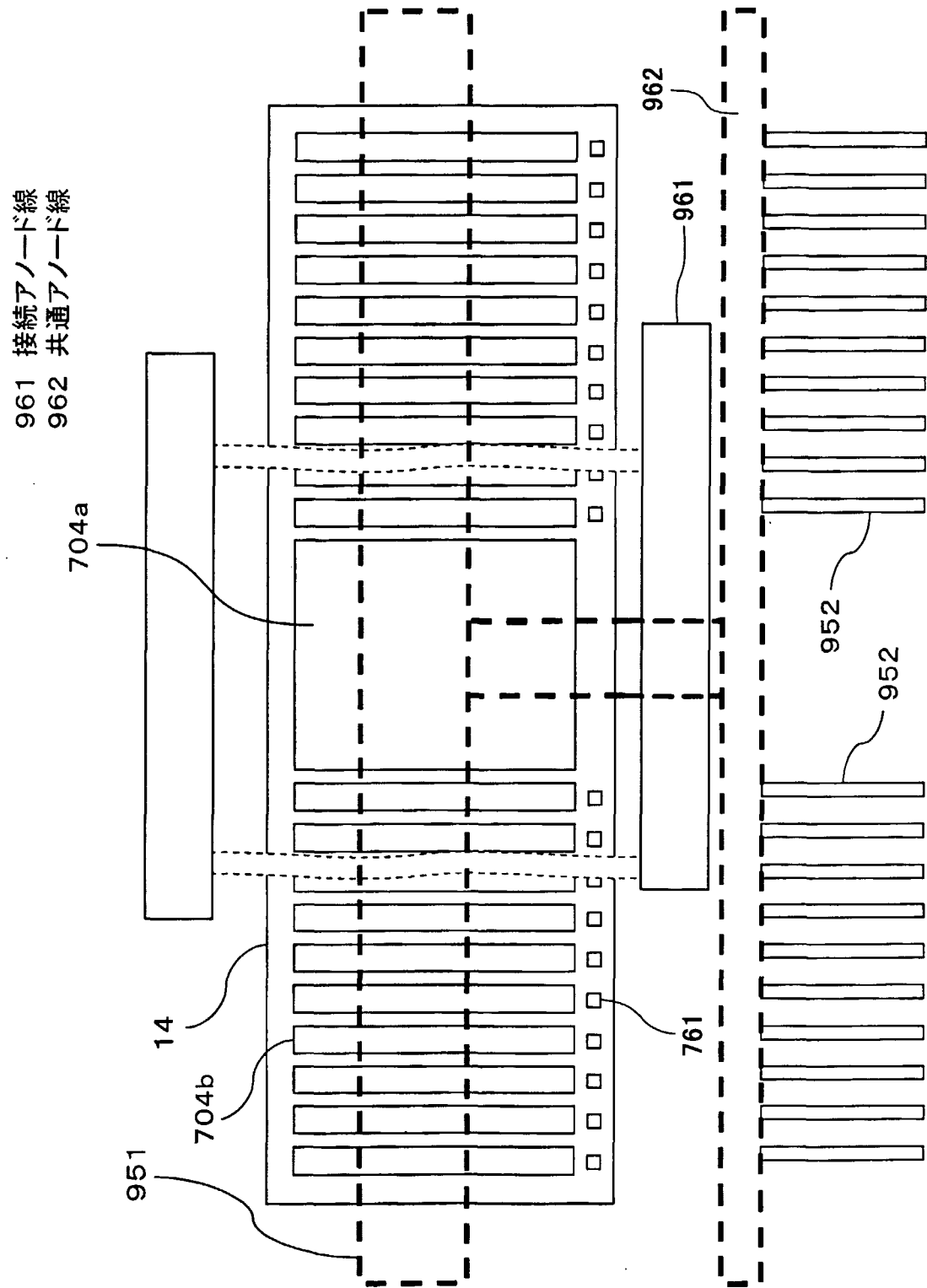
第94図

951 ベースアノード線(アノード電圧線、基幹アノード線)  
952 アノード配線  
953 接続端子



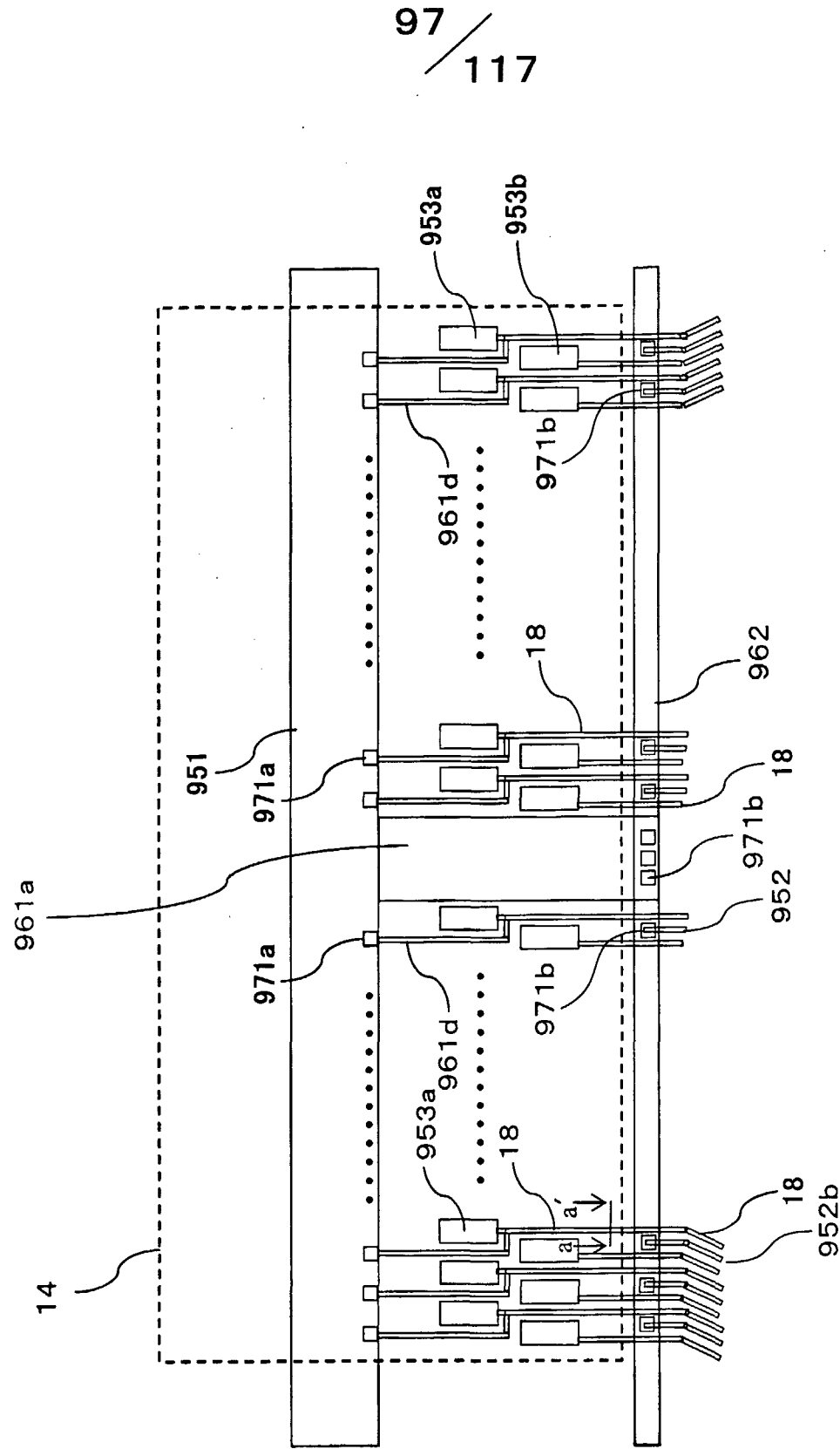
第95図

96 / 117



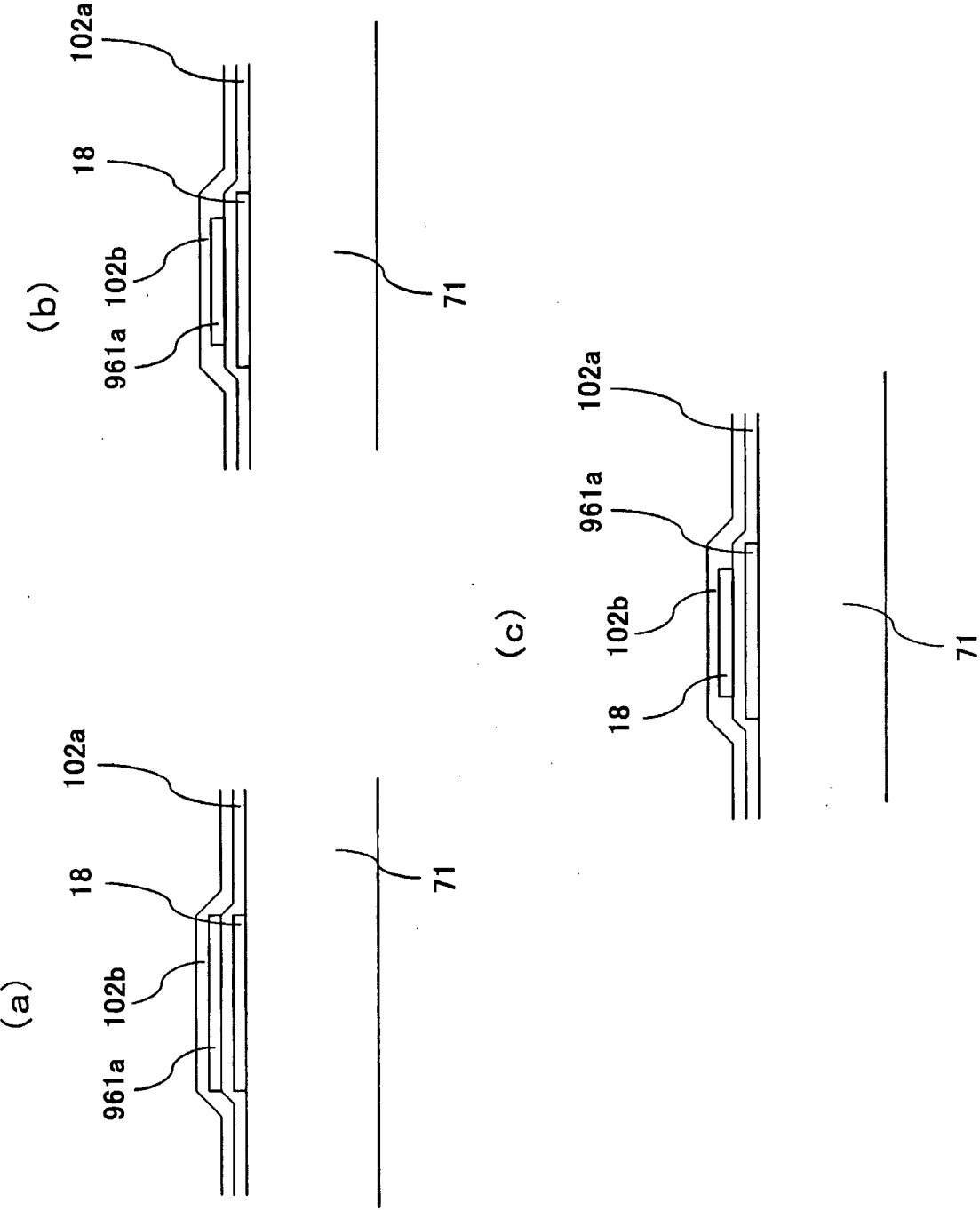
第96図

971   コンタクトホール



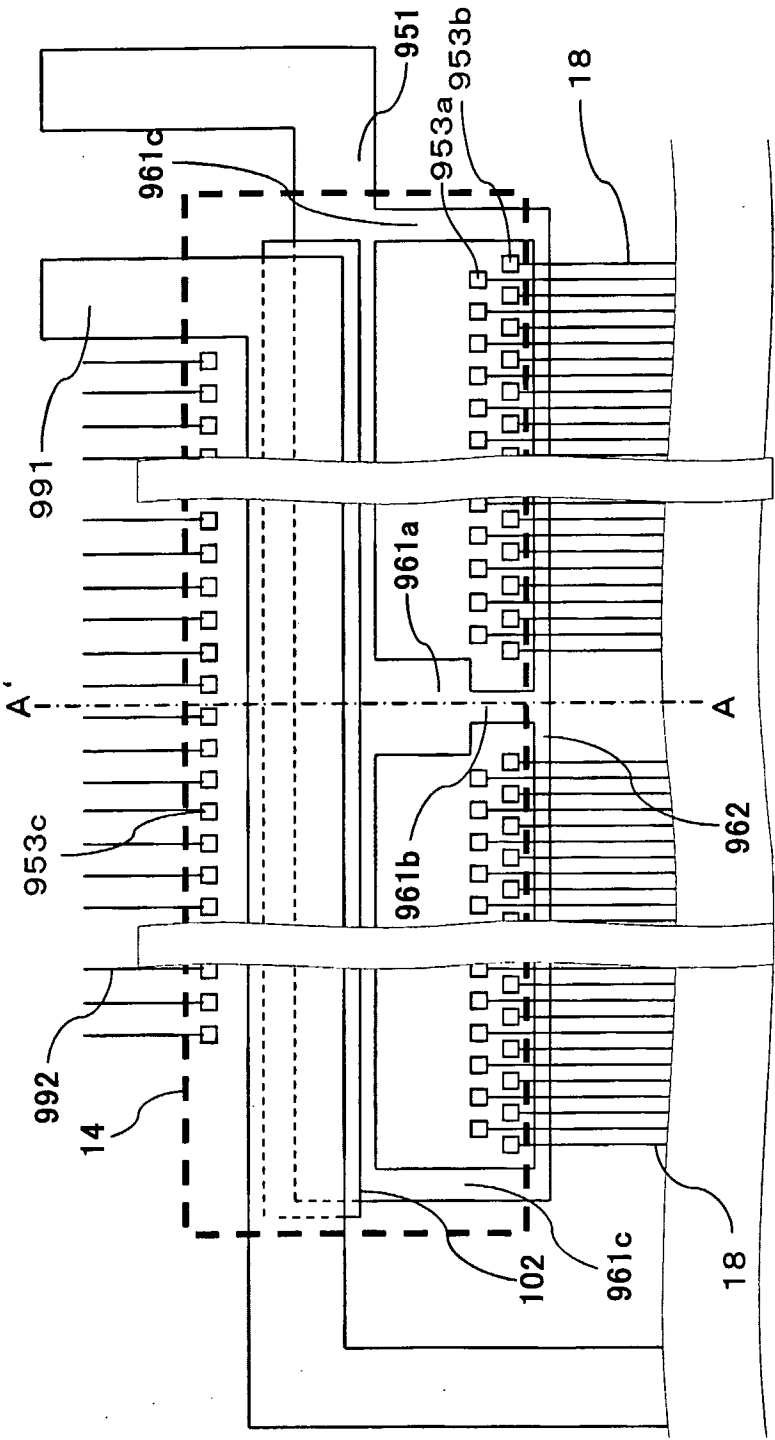
第97図

98 / 117



第98図

991 ベースカソード線  
992 入力信号線

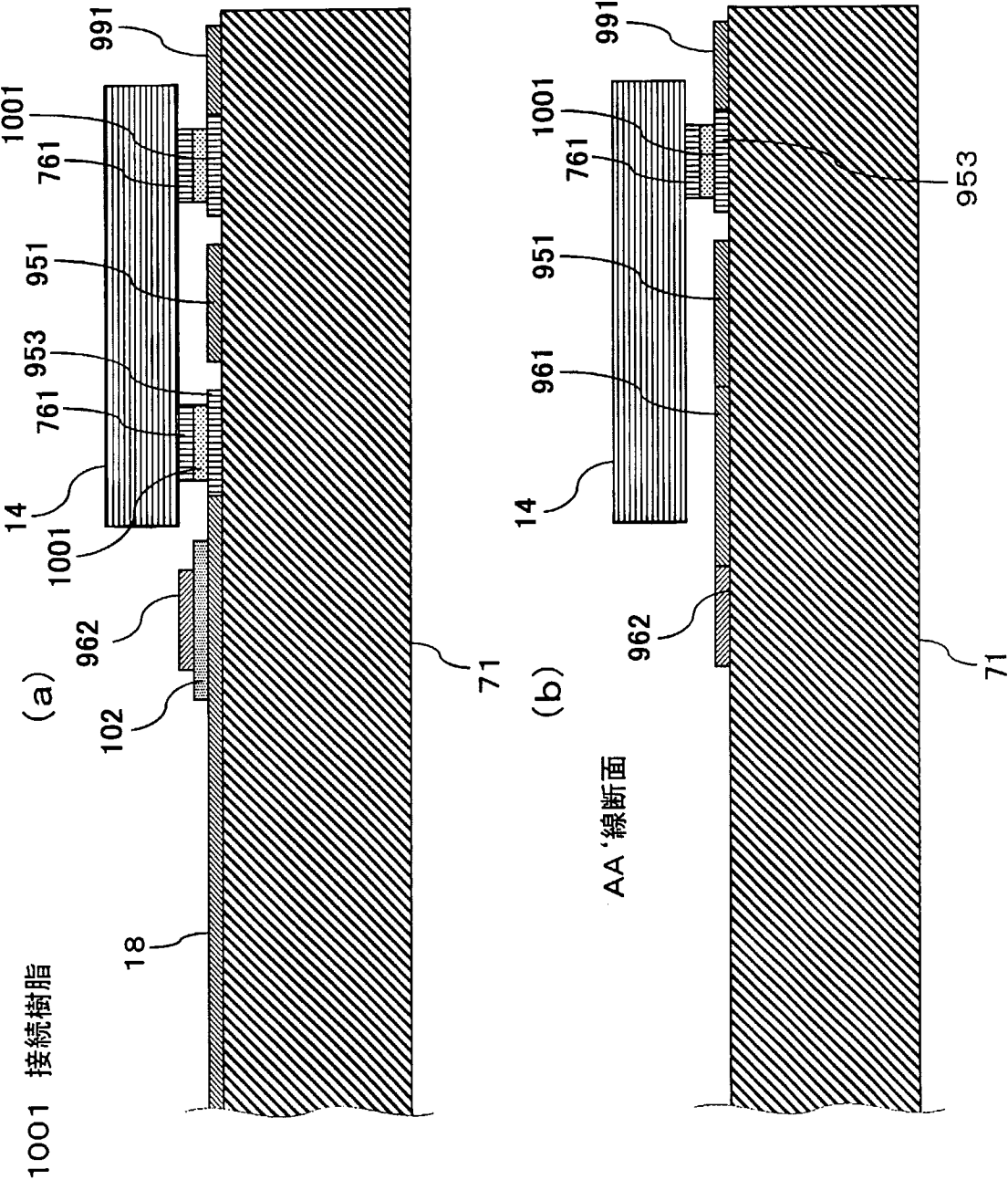


99 / 117

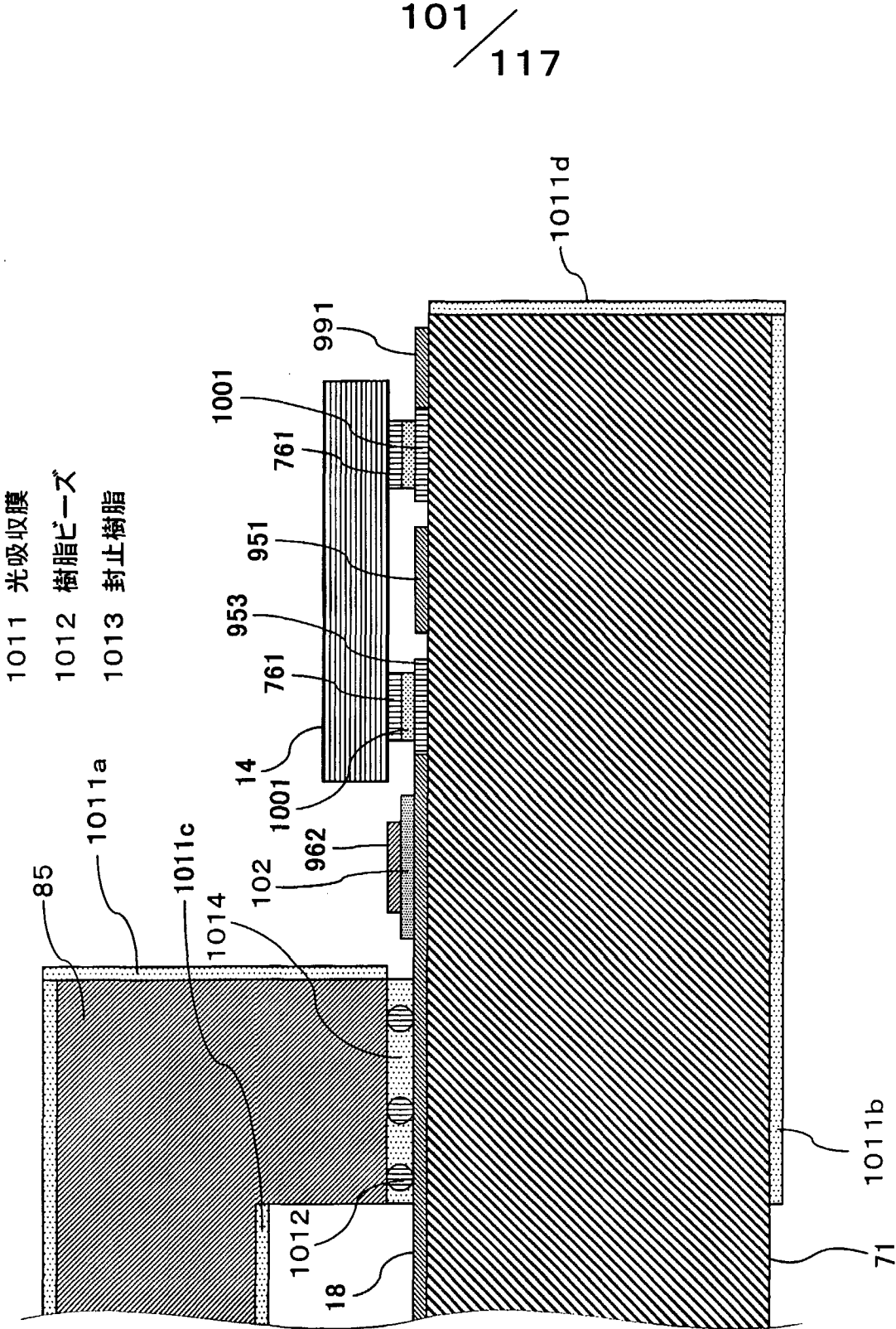
第99図



100  
/ 117



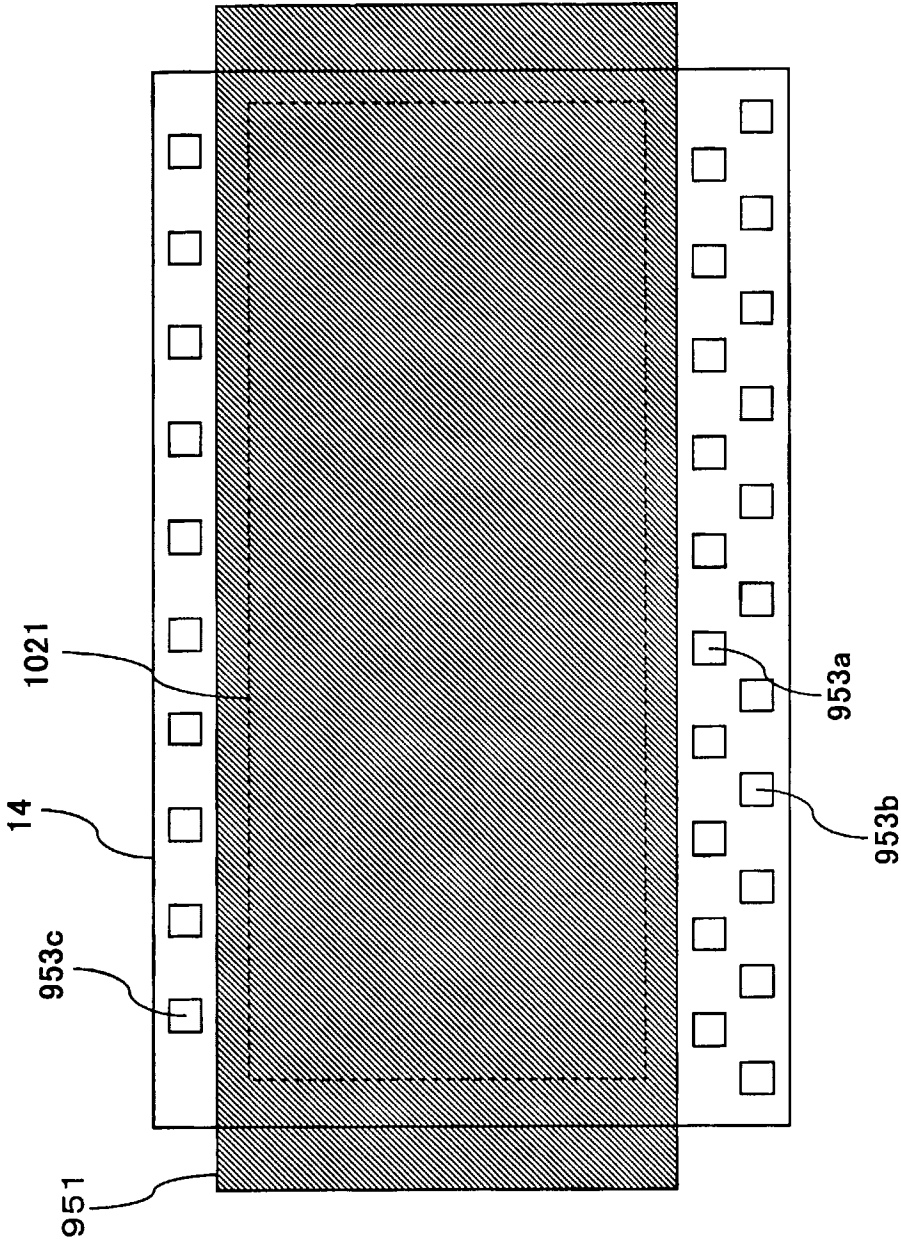
第100図



第101図

102 / 117

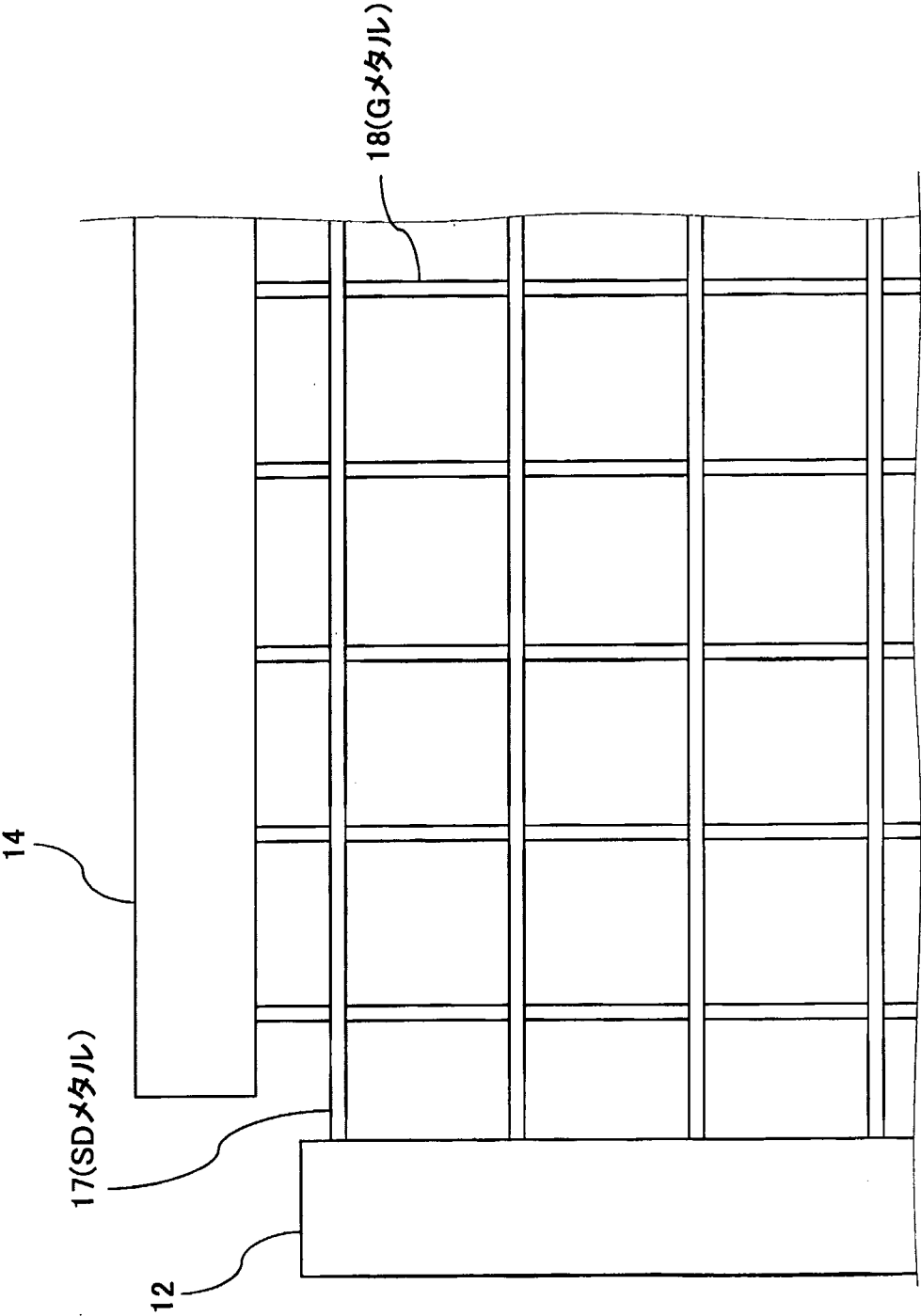
1021 回路形成部



第102図

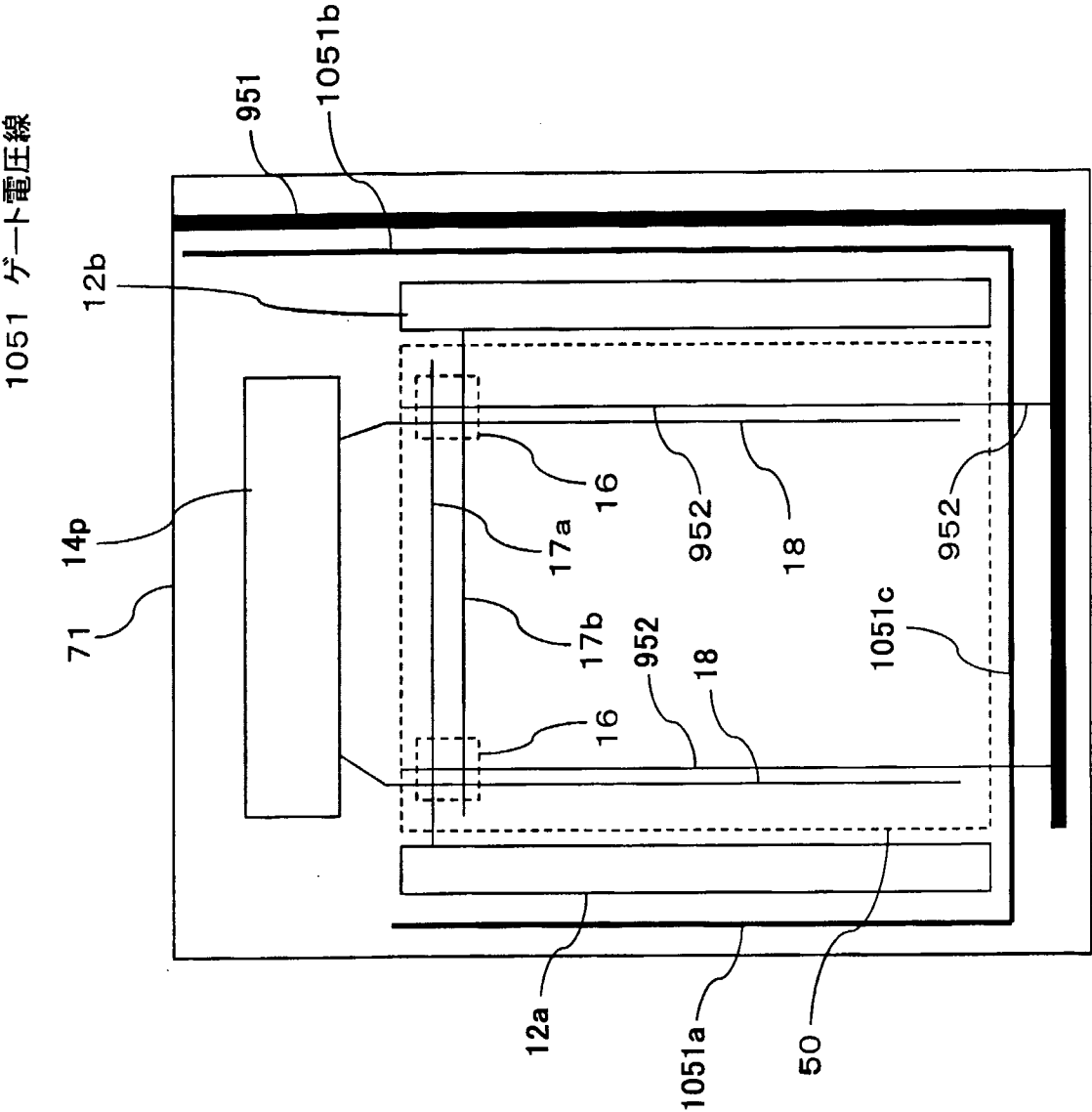


104 / 117



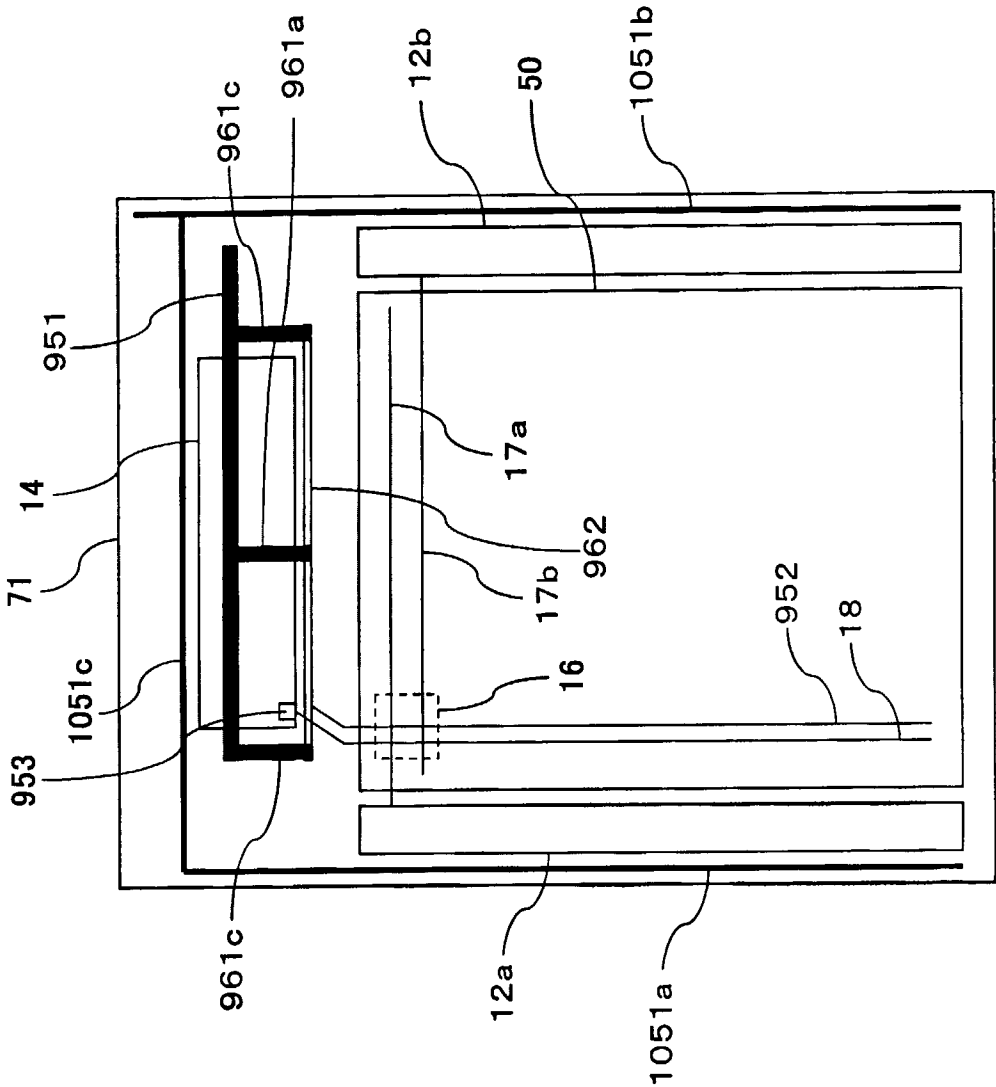
第104図

105  
117



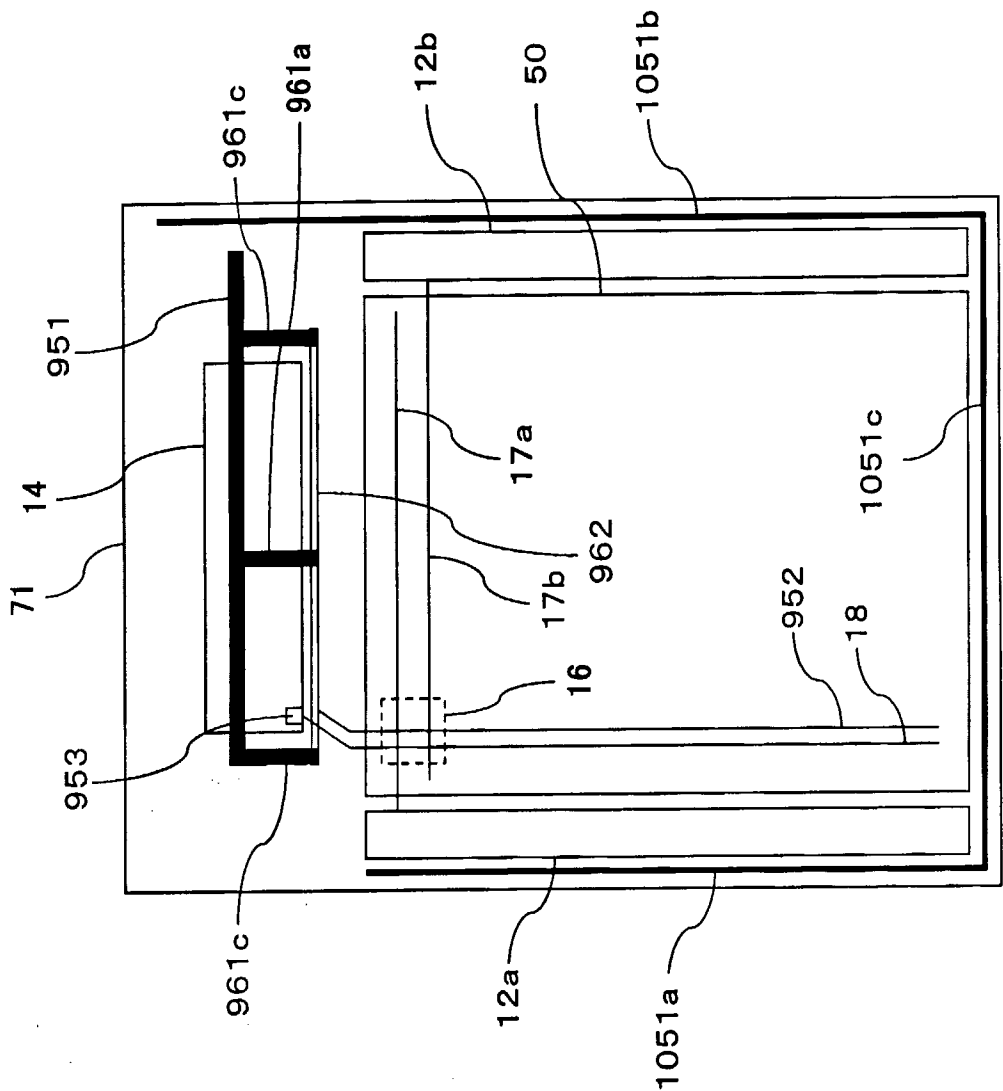
第105図

106 / 117



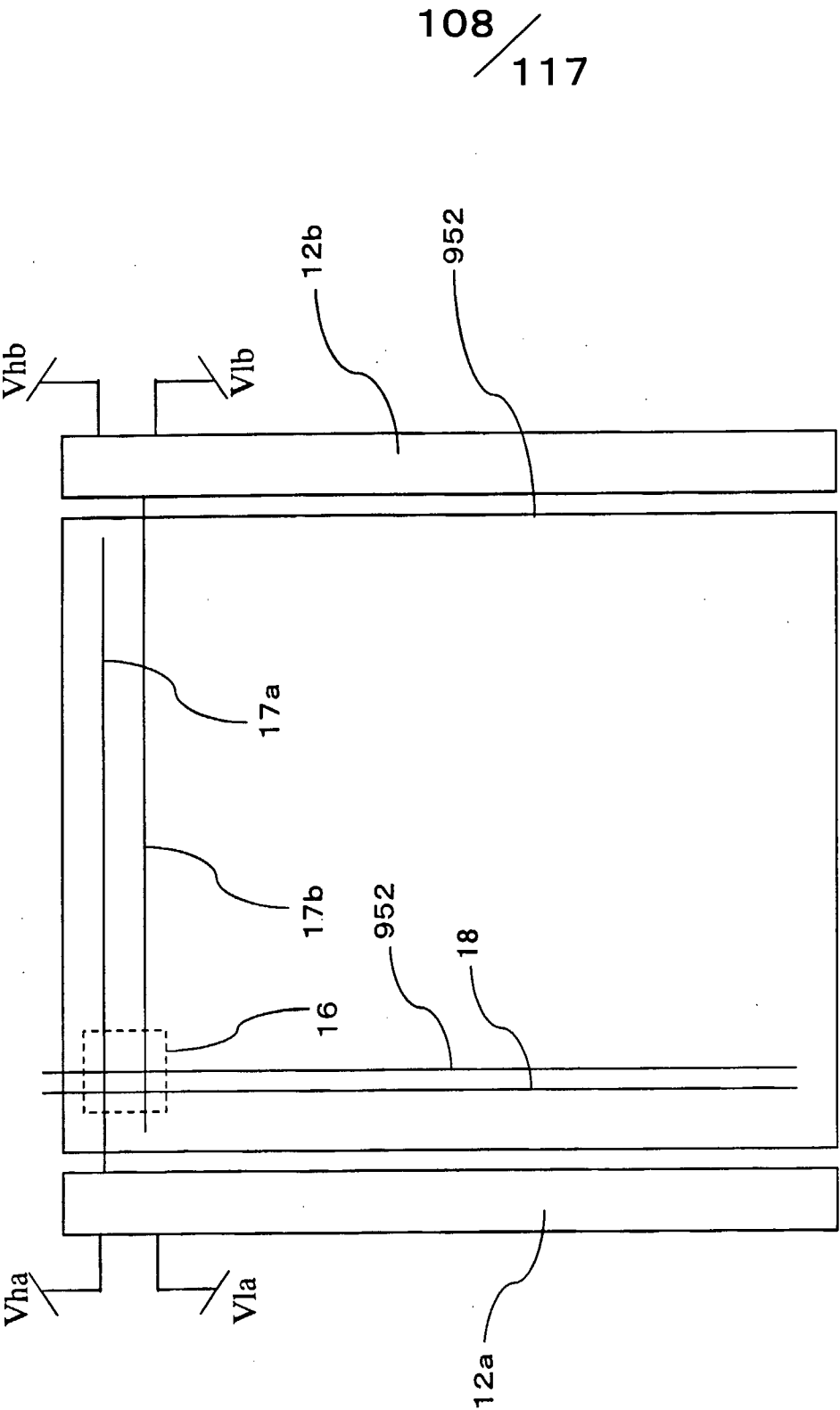
第106図

107 / 117



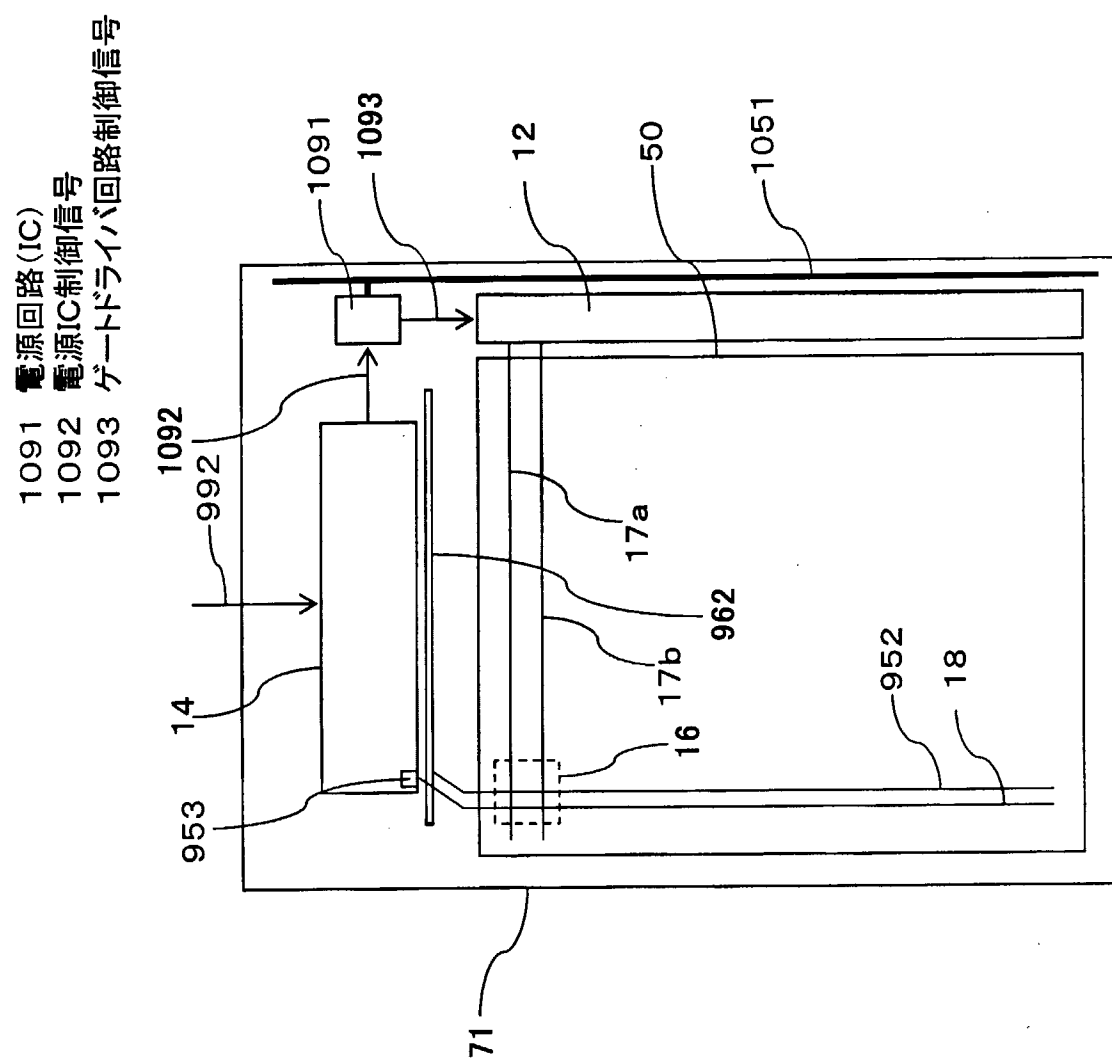
第107図





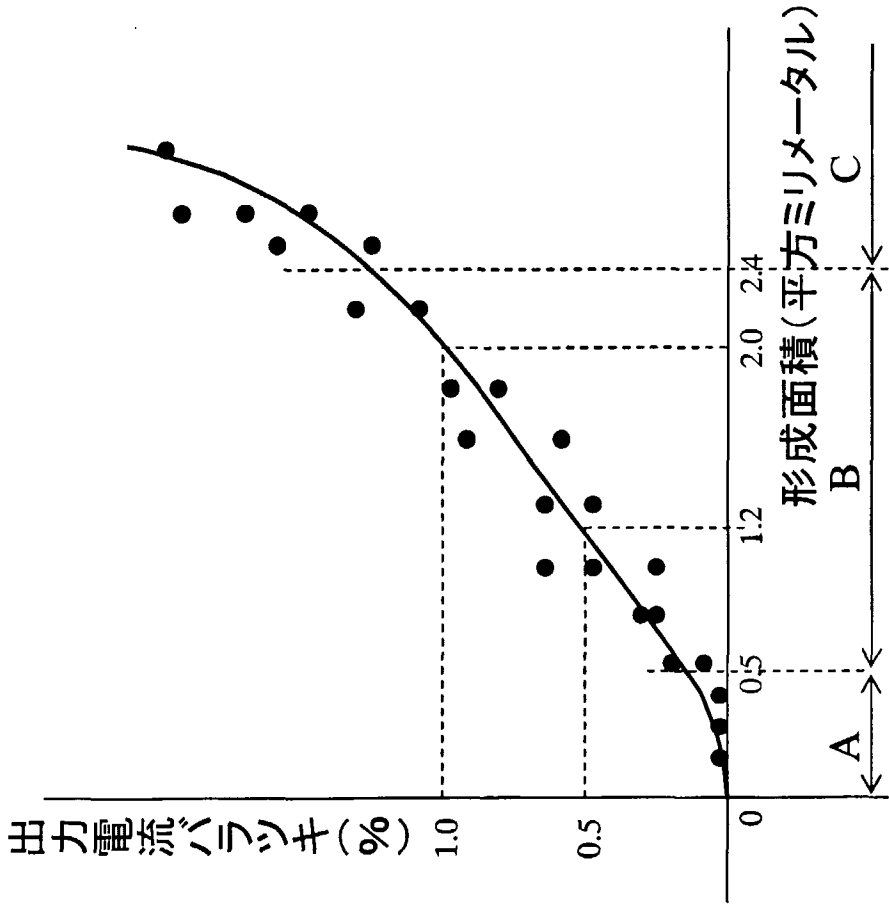
第108図

109 / 117



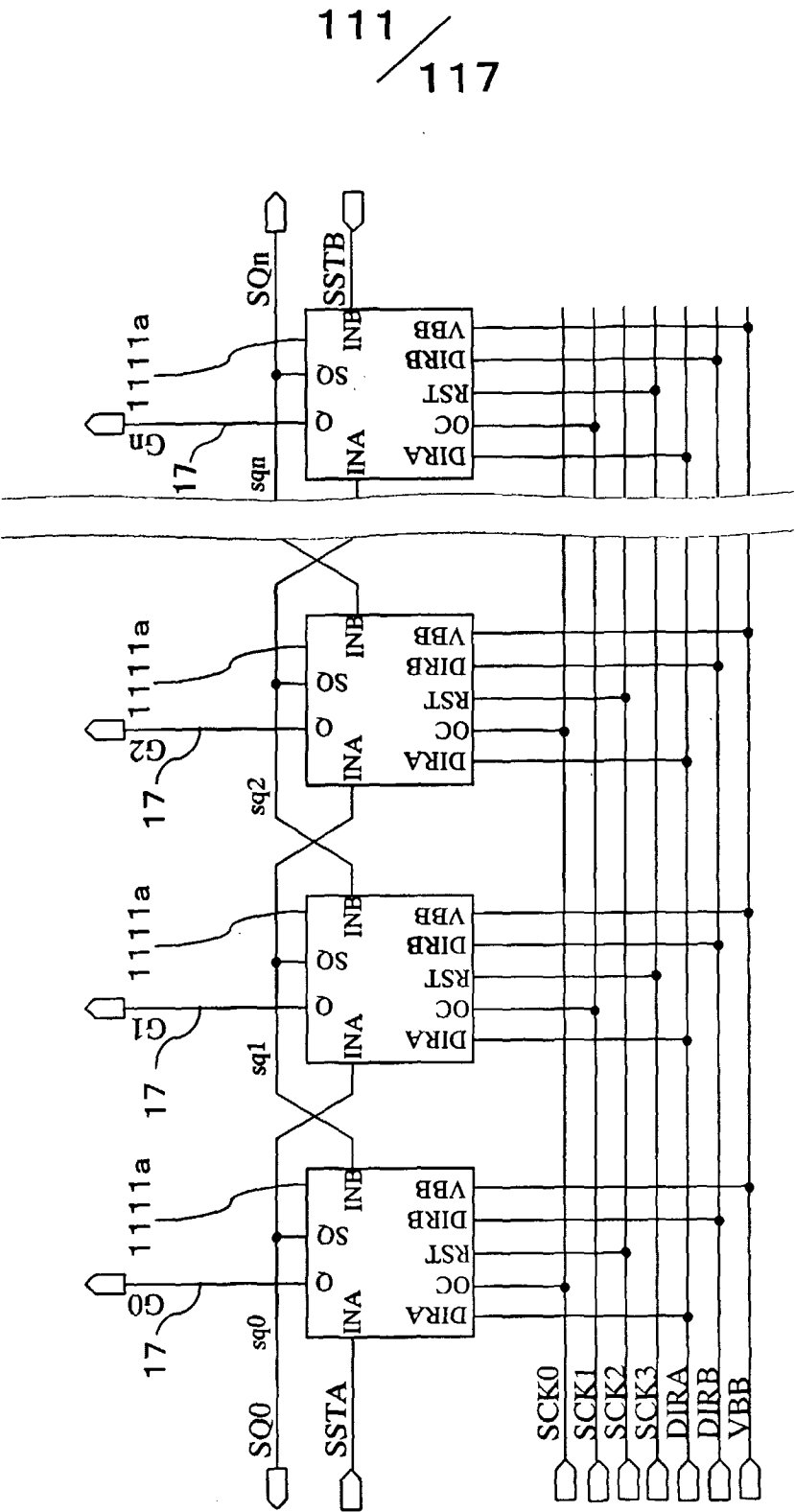
## 第109図

110 / 117



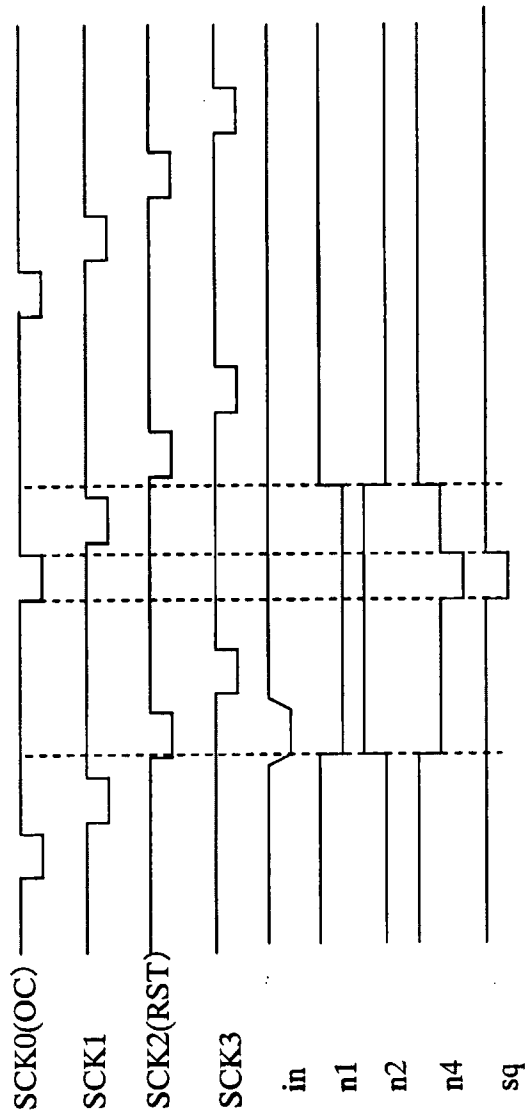
第110図

1111 単位ゲート出力回路



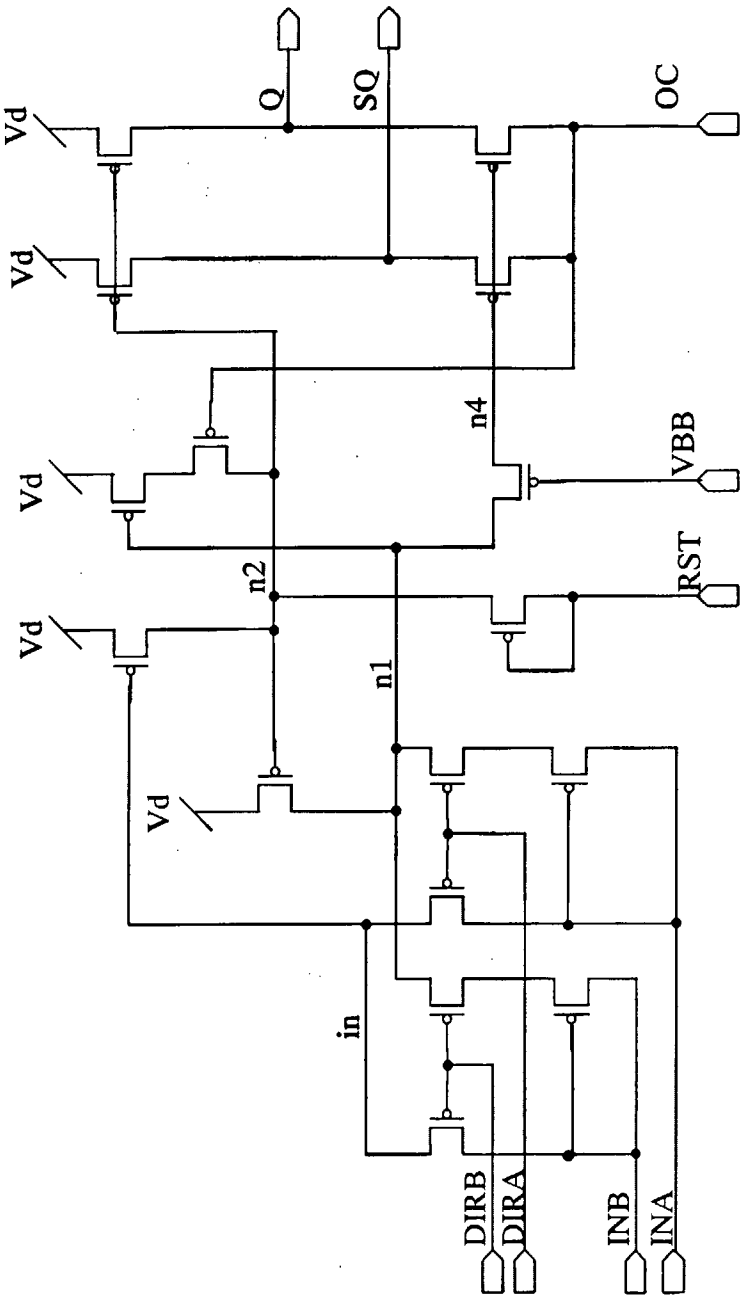
第1111図

112 / 117



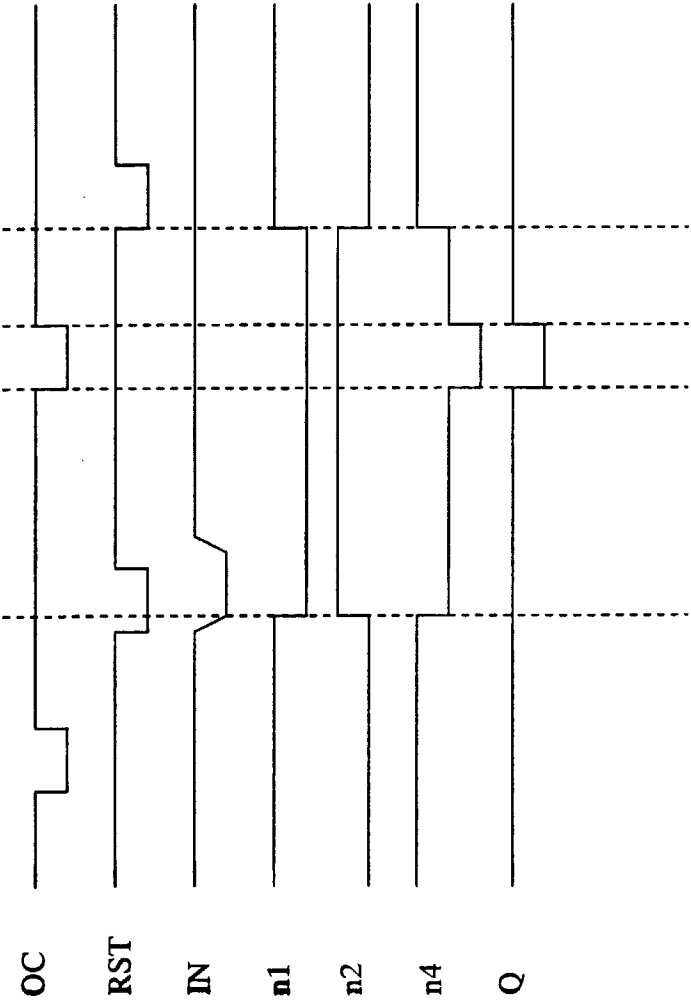
第112図

113 / 117



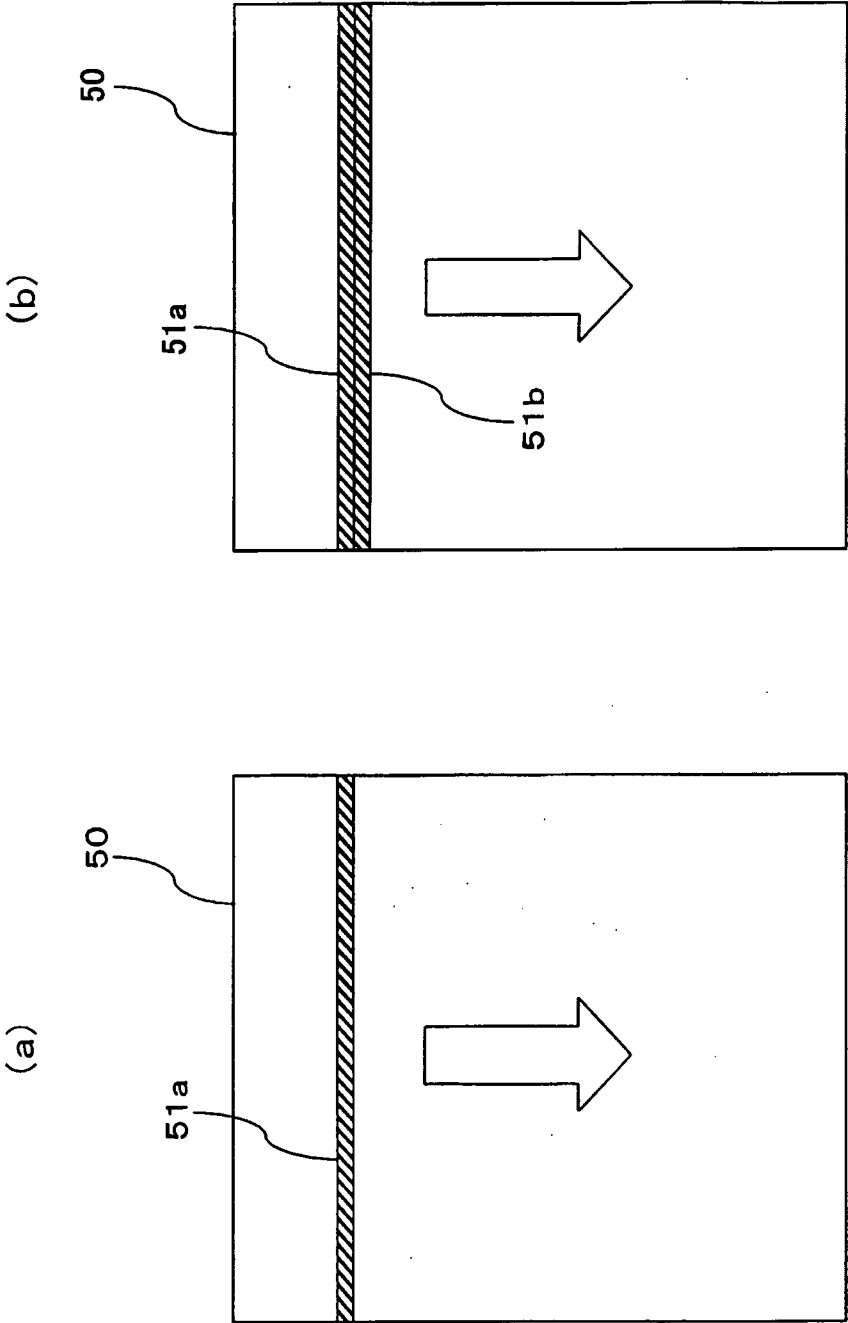
第113図

114  
117



第114図

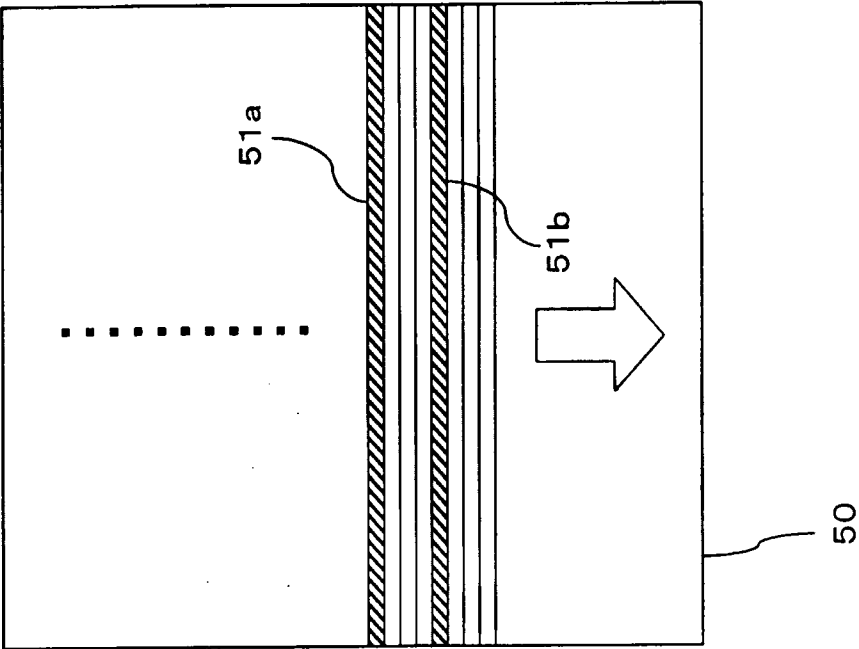
115 / 117



第115図

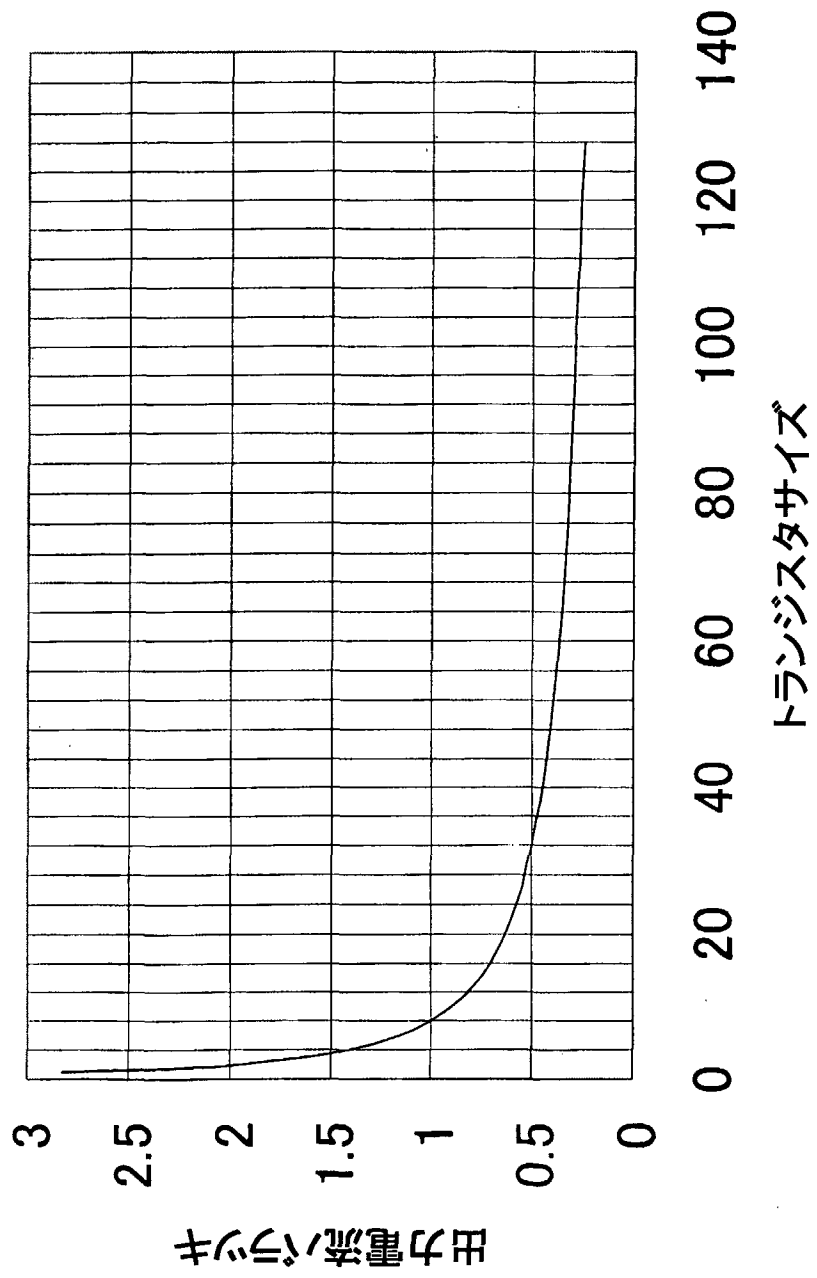


116 / 117



第116図

117 / 117



第117図

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP02/09668

## A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl<sup>7</sup> G09G3/30, 3/20, H03M1/74

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl<sup>7</sup> G09G3/30, 3/20, H03M1/74

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Toroku Jitsuyo Shinan Koho	1994-2002
Kokai Jitsuyo Shinan Koho	1971-2002	Jitsuyo Shinan Toroku Koho	1996-2002

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	US 6091203 A (NEC corp.), 18 Jury, 2000 (18.07.00), Full text; all drawings & JP 11-282419 A	1-4, 9-12, 14-16 5-8
Y	WO 99/65011 A2 (KONINKLIJKE PHILIPS ELECTRONICS N.V.), 16 December, 1999 (16.12.99), Full text; all drawings & JP 2002-517806 A	1-4, 9-12, 14-16
Y	JP 8-340243 A (Canon Inc.), 24 December, 1996 (24.12.96), Column 2, line 16 to column 4, line 19 (Family: none)	1-4, 9-12, 14-16

☒ Further documents are listed in the continuation of Box C.
 ☐ See patent family annex.

\* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search  
19 November, 2002 (19.11.02)Date of mailing of the international search report  
03 December, 2002 (03.12.02)Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP02/09668

## C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 4-42619 A (Fujitsu Ltd.), 13 February, 1992 (13.02.92), Page 2, upper right column, line 10 to page 4, upper right column, line 17; Figs. 1, 2, 4 to 6 (Family: none)	1-4, 9-12, 14-16
Y	JP 6-314977 A (NEC IC Miconsystem Kabushiki Kaisha), 08 November, 1994 (08.11.94), Column 1, line 30 to column 2, line 32 (Family: none)	1-4, 9-12, 14-16
X	JP 11-202295 A (Seiko Epson Corp.), 30 July, 1999 (30.07.99), Column 19, line 2 to column 21, line 16; column 23, lines 16 to 43; column 27, lines 24 to 29; Figs. 17 to 20 (Family: none)	13 14-16
X	JP 2001-134217 A (TDK Kabushiki Kaisha), 18 May, 2001 (18.05.01), Column 1, line 1 to column 6, line 41; Figs. 1 to 3, 14 (Family: none)	13 14-16
A	JP 2001-195014 A (TDK Kabushiki Kaisha), 19 July, 2001 (19.07.01), Full text; all drawings (Family: none)	13-16

**Box I Observations where certain claims were found unsearchable (Continuation of item 1 of first sheet)**

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. ☐ Claims Nos.:

because they relate to subject matter not required to be searched by this Authority, namely:

2. ☐ Claims Nos.:

because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:

3. ☐ Claims Nos.:

because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

**Box II Observations where unity of invention is lacking (Continuation of item 3 of first sheet)**

This International Searching Authority found multiple inventions in this international application, as follows:

An EL display apparatus having a source driver is not novel (see JP 11- 282419 A (NEC Corp.) 1999. 10. 15). This subject matter does not overcome the prior art and is therefore not a special technical feature in the meaning of the second sentence of PCT Rule 13. 2. Claims 1-4, 9 define the invention "a source driver comprising a first current source for outputting a reference signal generated by a reference signal generating means in the form of current and a second current source so constituted as to deliver the reference signal outputted by the first power source". Claims 5-8 define the invention " a device comprising a first current output circuit which includes unit transistors (continued to extra sheet)

1. ☒ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.

2. ☐ As all searchable claims could be searched without effort justifying an additional fee, this Authority did not invite payment of any additional fee.

3. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:

4. ☐ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:

**Remark on Protest** ☐ The additional search fees were accompanied by the applicant's protest.

☒ No protest accompanied the payment of additional search fees.

Continuation of Box No.II of continuation of first sheet(1)

each for outputting a first unit current and outputs a desired current to an EL device by combining the first unit currents and a second current output circuit which includes unit transistors each for outputting a second unit current larger than the first unit current and outputs a desired current to the EL device by combining the second unit currents". Claim 10 defines the invention "a source driver having unit transistors for outputting unit currents when selected according to an inputted video signal. Claims 11, 12 define the invention "a source driver having a group of transistors comprising a first transistor and a second transistor current-mirror-connected to the first transistor". Claims 13-16 define the invention "comprising a display area with a matrix of pixels having EL devices, transistor devices formed in the pixels, gate drivers for on-off control of the transistor devices, and source drivers for supplying video signals to the transistor devices". These five groups of inventions are not so linked as to form a single general inventive concept.

## A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl<sup>7</sup> G09G3/30, 3/20, H03M1/74

## B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl<sup>7</sup> G09G3/30, 3/20, H03M1/74

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2002年
日本国登録実用新案公報	1994-2002年
日本国実用新案登録公報	1996-2002年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

## C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	US 6091203 A (NEC corp.) 2000. 07. 18、 全文全図 & JP 11-282419 A	1-4、9- 12、14- 16
A		5-8
Y	WO 99/65011 A2 (KONINKLIJKE PHILIPS ELECTRONIC S N.V.) 1999. 12. 16、全文全図 & JP 2002- 517806 A	1-4、9- 12、14- 16

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの  
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの  
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)  
「O」 口頭による開示、使用、展示等に言及する文献  
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの  
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの  
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの  
「&」 同一パテントファミリー文献

国際調査を完了した日

19. 11. 02

国際調査報告の発送日

03.12.02

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

鈴野 幹夫

2G

8621

電話番号 03-3581-1101 内線 6489

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	J P 8-340243 A (キャノン株式会社) 1996. 1 2. 24、第2欄第16行-第4欄第19行 (ファミリー無し)	1-4、9- 12、14- 16
Y	J P 4-42619 A (富士通株式会社) 1992. 02. 1 3、第2頁右上欄第10行-第4頁右上欄第17行、第1図、第2 図、第4図-第6図 (ファミリー無し)	1-4、9- 12、14- 16
Y	J P 6-314977 A (日本電気アイシーマイコンシステム 株式会社) 1994. 11. 08、第1欄第30行-第2欄第32 行 (ファミリー無し)	1-4、9- 12、14- 16
X	J P 11-202295 A (セイコーエプソン株式会社) 19 99. 07. 30、第19欄第2行-第21欄第16行、第23欄	13
Y	第16行-第43行、第27欄第24行-第29行、図17-20 (ファミリー無し)	14-16
X	J P 2001-134217 A (ティーディーケイ株式会社) 2001. 05. 18、第1欄第1行-第6欄第41行、図1-	13
Y	3、図 14 (ファミリー無し)	14-16
A	J P 2001-195014 A (ティーディーケイ株式会社) 2001. 07. 19、全文全図 (ファミリー無し)	13-16



## 第Ⅰ欄 請求の範囲の一部の調査ができないときの意見 (第1ページの2の続き)

法第8条第3項 (PCT17条(2)(a)) の規定により、この国際調査報告は次の理由により請求の範囲の一部について作成しなかった。

1. ☐ 請求の範囲 \_\_\_\_\_ は、この国際調査機関が調査することを要しない対象に係るものである。つまり、
2. ☐ 請求の範囲 \_\_\_\_\_ は、有意義な国際調査をすることができる程度まで所定の要件を満たしていない国際出願の部分に係るものである。つまり、
3. ☐ 請求の範囲 \_\_\_\_\_ は、従属請求の範囲であってPCT規則6.4(a)の第2文及び第3文の規定に従って記載されていない。

## 第Ⅱ欄 発明の単一性が欠如しているときの意見 (第1ページの3の続き)

次に述べるようにこの国際出願に二以上の発明があるところの国際調査機関は認めた。

ソースドライバを有したEL表示装置は新規ではなく (JP 11-282419 A (日本電気株式会社) 1999. 10. 15 等参照)、当該構成は先行技術の域を出ないから、PCT規則13.2の第2文の意味において、当該構成は特別な技術的特徴ではない。請求項1-4、9 は「基準信号生成手段によって生成された基準信号を電流にて出力する第1電流源と、前記第1電流源によって出力された基準信号を電圧にて受け渡すように構成された第2電流源を具備したソースドライバ」に関する発明であり、請求項5-8は「第1単位電流を出力する複数の単位トランジスタを含んでなり、前記第1単位電流を組み合わせることにより所望の電流をEL素子に出力する第1電流出力回路と、第1単位電流よりも大きい第2単位電流を出力する複数の単位トランジスタを含んでなり、前記第2単位電流を組み合わせることにより所望の電流をEL素子に出力する第2電流出力回路を具備」する発明であり、請求項10は「入力された映像信号に対応して選択された場合に単位電流を出力する単位トランジスタを複数有するソースドライバ」に関する発明であり、請求項11、12は「第1のトランジスタと、前記第1のトランジスタとカレントミラー接続された複数の第2のトランジスタからなるトランジスタ群を有するソースドライバ」に関する発明であり、請求項13-16は「EL素子を有する画素がマトリックス状に形成された表示領域と、前記画素に形成されたトランジスタ素子と、前記トランジスタ素子をオンオフ制御するゲートドライバと、前記トランジスタ素子に映像信号を供給するソースドライバとを具備」する発明であり、これら5つの発明群が単一の一般的発明概念を形成するように連関している一連の発明であるとは認められない。

1. ☒ 出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求の範囲について作成した。
2. ☐ 追加調査手数料を要求するまでもなく、すべての調査可能な請求の範囲について調査することができたので、追加調査手数料の納付を求めなかった。
3. ☐ 出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったため、この国際調査報告は、手数料の納付のあった次の請求の範囲のみについて作成した。
4. ☐ 出願人が必要な追加調査手数料を期間内に納付しなかったため、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求の範囲について作成した。

追加調査手数料の異議の申立てに関する注意

- ☐ 追加調査手数料の納付と共に出願人から異議申立てがあった。  
☒ 追加調査手数料の納付と共に出願人から異議申立てがなかった。

# EL DISPLAY PANEL AND EL DISPLAY APPARATUS COMPRISING IT

**Publication number:** WO03027998

**Publication date:** 2003-04-03

**Inventor:** YAMANO ATSUHIRO (JP); TAKAHARA HIROSHI (JP); TSUGE HITOSHI (JP)

**Applicant:** MATSUSHITA ELECTRIC IND CO LTD (JP); YAMANO ATSUHIRO (JP); TAKAHARA HIROSHI (JP); TSUGE HITOSHI (JP)

**Classification:**

**- international:** **G09G3/32**; H01L27/32; **G09G3/32**; H01L27/28; (IPC1-7): G09G3/30; G09G3/20; H03M1/74

**- European:** G09G3/32; H01L27/32C4B

**Application number:** WO2002JP09668 20020920

**Priority number(s):** JP20010291598 20010925; JP20010332196 20011030; JP20020136157 20020510

## Also published as:

EP1450341 (A1)  
US2005057580 (A)  
CN1559064 (A)

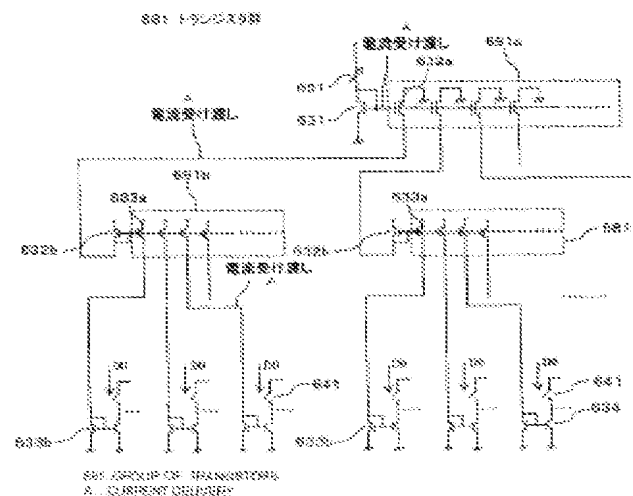
## Cited documents:

US6091203  
WO9965011  
JP8340243  
JP4042619  
JP6314977  
more >>

[Report a data error here](#)

## Abstract of WO03027998

In a source driver 14 which an EL display apparatus comprises, the gate voltage of the first-stage current source by a transistor 631 is impressed on the gate of an adjacent transistor 632a of the second-stage current source. As a result, a current flowing through the transistor 632a is delivered to a transistor 632b of the second-stage current source. The gate voltage by the transistor 632b of the second-stage current source is impressed on the gate of a transistor 633a of the third-stage current source. As a result, a current flowing through the transistor 633a is delivered to a transistor 633b of the third-stage current source. The gate of the transistor 633b of the third-stage current source is provided with many current sources 634 according to a necessary number of bits. In a source driver (14) which an EL display apparatus comprises, the gate voltage of the first-stage current source by a transistor (631) is impressed on the gate of an adjacent transistor (632a) of the second-stage current source. As a result, a current flowing through the transistor (632a) is delivered to a transistor (632b) of the second-stage current source. The gate voltage by the transistor (632b) of the second-stage current source is impressed on the gate of a transistor (633a) of the third-stage current source. As a result, a current flowing through the transistor (633a) is delivered to a transistor (633b) of the third-stage current source. The gate of the transistor (633b) of the third-stage current source is provided with many current sources (634) according to a necessary number of bits.



Data supplied from the **esp@cenet** database - Worldwide